



## FSPs der Zero Field Control (ab FW 7.0.x)

Version vom: Mittwoch, 4. Mai 2022, 12:18:00

## Inhaltsverzeichnis

1. Änderungsliste .....	1
2. ACU_ZeroFieldControl .....	2
FSP001_ModuleStatus .....	3
0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub> .....	
FSP002_ModuleWarnings .....	5
0x02 <sub>H</sub> /2 <sub>D</sub> /0x3032 <sub>ASCII</sub> .....	
FSP003_ModuleErrors .....	6
0x03 <sub>H</sub> /3 <sub>D</sub> /0x3033 <sub>ASCII</sub> .....	
FSP004_ModuleInterlocks .....	7
0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub> .....	
FSP005_InterlocksEnable .....	8
0x05 <sub>H</sub> /5 <sub>D</sub> /0x3035 <sub>ASCII</sub> .....	
FSP006_InterlocksArrivalSequence .....	9
0x06 <sub>H</sub> /6 <sub>D</sub> /0x3036 <sub>AS</sub> .....	
FSP009_ModuleSerialNumber .....	10
0x09 <sub>H</sub> /9 <sub>D</sub> /0x3039 <sub>ASCII</sub> .....	
FSP010_ModuleCommands .....	11
0x0A <sub>H</sub> /10 <sub>D</sub> /0x3041 <sub>ASCII</sub> .....	
FSP011_ModuleInterlocksMask_n .....	12
0x0B <sub>H</sub> /11 <sub>D</sub> /0x3042 <sub>ASCII</sub> .....	
FSP012_USIConfig .....	14
0x0C <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub> .....	
FSP013_PeripheralConfig .....	15
0x0D <sub>H</sub> /13 <sub>D</sub> /0x3044 <sub>ASCII</sub> .....	
FSP020_ActualValue_A .....	16
0x14 <sub>H</sub> /20 <sub>D</sub> /0x3134 <sub>ASCII</sub> .....	
FSP030_SetValue_A .....	17
0x1E <sub>H</sub> /30 <sub>D</sub> /0x3145 <sub>ASCII</sub> .....	
FSP031_SetValue_B .....	18
0x1F <sub>H</sub> /31 <sub>D</sub> /0x3146 <sub>ASCII</sub> .....	
FSP040_RemoteUpdateStatus .....	19
0x28 <sub>H</sub> /40 <sub>D</sub> /0x3238 <sub>ASCII</sub> .....	
FSP041_RemoteUpdateCommands .....	20
0x29 <sub>H</sub> /41 <sub>D</sub> /0x3239 <sub>ASCII</sub> .....	
FSP042_RemoteUpdateData .....	21
0x2A <sub>H</sub> /42 <sub>D</sub> /0x3241 <sub>ASCII</sub> .....	
FSP043_FSP_Image_Generator .....	23
0x2B <sub>H</sub> /43 <sub>D</sub> /0x3242 <sub>ASCII</sub> .....	
FSP044_FSP_Image_Status .....	24
0x2C <sub>H</sub> /44 <sub>D</sub> /0x3243 <sub>ASCII</sub> .....	
FSP045_AlteraRemoteUpdateCmd .....	25
0x2D <sub>H</sub> /45 <sub>D</sub> /0x3244 <sub>ASCII</sub> .....	
FSP046_AlteraRemoteUpdateStatus .....	26
0x2E <sub>H</sub> /46 <sub>D</sub> /0x3245 <sub>ASCII</sub> .....	
FSP050_ADC_PowerSupplyValues .....	27
0x32 <sub>H</sub> /50 <sub>D</sub> /0x3332 <sub>ASCII</sub> .....	
FSP051_FieldActValueCompThrs .....	28
0x33 <sub>H</sub> /51 <sub>D</sub> /0x3333 <sub>ASCII</sub> .....	
FSP052_FieldActValueCompInputs .....	29
0x34 <sub>H</sub> /52 <sub>D</sub> /0x3334 <sub>ASCII</sub> .....	
FSP053_OnBoardTemperatures .....	30
0x35 <sub>H</sub> /53 <sub>D</sub> /0x3335 <sub>ASCII</sub> .....	
FSP054_ModuleTemperaturesComparisonThresholds .....	31
0x36 <sub>H</sub> /54 <sub>D</sub> /0x3336 <sub>ASCII</sub> .....	
FSP058_ParameterChecksumValue .....	32
0x3A <sub>H</sub> /58 <sub>D</sub> /0x3341 <sub>ASCII</sub> .....	
FSP059_ParameterChecksumValueCalculated .....	33
0x3B <sub>H</sub> /59 <sub>D</sub> /0x3342 <sub>ASCII</sub> .....	
FSP060_MainADC_Configuration .....	34
0x3C <sub>H</sub> /60 <sub>D</sub> /0x3343 <sub>ASCII</sub> .....	
FSP061_MainADCCalibrationGAIN .....	35
0x3D <sub>H</sub> /61 <sub>D</sub> /0x3344 <sub>ASCII</sub> .....	
FSP062_MainADCCalibrationOFFSET .....	36
0x3E <sub>H</sub> /62 <sub>D</sub> /0x3345 <sub>ASCII</sub> .....	
FSP063_MainADC_AverageValue .....	37

0x3F <sub>H</sub> /63 <sub>D</sub> /0x3346 <sub>ASCII</sub>	
FSP064_GenericADC_Values .....	38
0x40 <sub>H</sub> /64 <sub>D</sub> /0x3430 <sub>ASCII</sub>	
FSP065_CompThrs .....	39
0x41 <sub>H</sub> /65 <sub>D</sub> /0x3431 <sub>ASCII</sub>	
FSP066_DACxSourceSelectionMultiplexer.....	40
0x42 <sub>H</sub> /66 <sub>D</sub> /0x3432 <sub>ASCII</sub>	
FSP067_DACGain_Offset.....	42
0x43 <sub>H</sub> /67 <sub>D</sub> /0x3433 <sub>ASCII</sub>	
FSP069_GenericADC_AverageValues .....	43
0x45 <sub>H</sub> /69 <sub>D</sub> /0x3435 <sub>ASCII</sub>	
FSP070_HS_BackCH_MuxSel.....	44
0x46 <sub>H</sub> /70 <sub>D</sub> /0x3436 <sub>ASCII</sub>	
FSP071_HS_IncomCH_MuxSel.....	45
0x47 <sub>H</sub> /71 <sub>D</sub> /0x3437 <sub>ASCII</sub>	
FSP072_ICJX_WR_Config.....	46
0x48 <sub>H</sub> /72 <sub>D</sub> /0x3438 <sub>ASCII</sub>	
FSP073_ICJX_RD_Data .....	47
0x49 <sub>H</sub> /73 <sub>D</sub> /0x3439 <sub>ASCII</sub>	
FSP074_PI_ContrInSelMux.....	48
0x4A <sub>H</sub> /74 <sub>D</sub> /0x3441 <sub>ASCII</sub>	
FSP075_Controller_1_DifferenceCalculatorMultiplier .....	50
0x4B <sub>H</sub> /75 <sub>D</sub> /0x3442 <sub>ASCII</sub>	
FSP076_PI_Controller_PI_Settings .....	51
0x4C <sub>H</sub> /76 <sub>D</sub> /0x3443 <sub>ASCII</sub>	
FSP077_PI_Controller_Limits .....	52
0x4D <sub>H</sub> /77 <sub>D</sub> /0x3444 <sub>ASCII</sub>	
FSP078_PI_Controller_ComparatorLimits.....	53
0x4E <sub>H</sub> /78 <sub>D</sub> /0x3445 <sub>ASCII</sub>	
FSP079_PI_Controller_Values .....	54
0x4F <sub>H</sub> /79 <sub>D</sub> /0x3446 <sub>ASCII</sub>	
FSP080_AdderSourceSelectionMultiplexer .....	55
0x50 <sub>H</sub> /80 <sub>D</sub> /0x3530 <sub>ASCII</sub>	
FSP081_AdderLimits .....	57
0x51 <sub>H</sub> /81 <sub>D</sub> /0x3531 <sub>ASCII</sub>	
FSP082_PWM_Settings .....	58
0x52 <sub>H</sub> /82 <sub>D</sub> /0x3532 <sub>ASCII</sub>	
FSP083_Walter_PWM_Settings.....	59
0x53 <sub>H</sub> /83 <sub>D</sub> /0x3533 <sub>ASCII</sub>	
FSP084_PWM_SoftSwitch_Settings.....	60
0x54 <sub>H</sub> /84 <sub>D</sub> /0x3534 <sub>ASCII</sub>	
FSP085_PWM_CorrectionTime.....	61
0x55 <sub>H</sub> /85 <sub>D</sub> /0x3535 <sub>ASCII</sub>	
FSP087_ZFC_CmdGen_HystThrs .....	62
0x57 <sub>H</sub> /87 <sub>D</sub> /0x3537 <sub>ASCII</sub>	
FSP088_ZFC_CmdGen_InMuxSel .....	63
0x58 <sub>H</sub> /88 <sub>D</sub> /0x3538 <sub>ASCII</sub>	
FSP089_ZFC_CmdGen_DelCfg.....	64
0x59 <sub>H</sub> /89 <sub>D</sub> /0x3539 <sub>ASCII</sub>	
FSP090_ZFCModuleInterlocks .....	65
0x5A <sub>H</sub> /90 <sub>D</sub> /0x3541 <sub>ASCII</sub>	
FSP091_GenericADC_AverageCfg.....	67
0x5B <sub>H</sub> /91 <sub>D</sub> /0x3542 <sub>ASCII</sub>	

**1. Änderungsliste**

Datum	Name	Kommentar
31.03.2022	D. Schupp	Dokument erstellt aus ACU-FSP mUSIc TFT

## **2. ACU\_ZeroFieldControl**

Dieses Kapitel behandelt modulspezifische FSPs des Zero Field Control Module (ZFC).

Name	<b>FSP001_ModuleStatus</b>
Adresse	<b>0x01<sub>H</sub>/1<sub>D</sub>/0x3031<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

- [23] Reserved for future features
- [22] Main Power converter state is OFF (active high)
- [21] Zero Field Control interna tripline status
- [20] Controller Enabled
- [19..16] Reserved for future features
- [15..12] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

- [11] Reserviert  
Reserviert für zukünftige Anwendungen
- [10] OutputEnable: ACU\_ZFCCCommandGeneration output
- [9] ThyristorFiringSignal: ACU\_ZFCCCommandGeneration output
- [8] ACU\_ZFCCCommandGeneration input 1 status
- [7] ACU\_ZFCCCommandGeneration input 2 status
- [6] USIIsHighSpeed
- [5] NoInterlocks  
wenn ,1' stehen keine Interlocks an  
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors  
wenn ,1' ist Modul fehlerfrei  
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings  
wenn ,1' ist Modul ohne Warnungen  
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady  
wenn ,1' ist Modul betriebsbereit  
Das Modul ist voll betriebsbereit
- [1] ChecksumOK  
wenn ,1' Parameter Checksumme OK  
Die Prüfsumme für die Modulparameter ist bestätigt.

[0] ParametersLoaded  
wenn ,1' sind die Parameter geladen  
Das Modul hat seine Konfigurationsparameter geladen.

Name	<b>FSP002_ModuleWarnings</b>
Adresse	<b>0x02<sub>H</sub>/2<sub>D</sub>/0x3032<sub>ASCII</sub></b>
Tiefe	modulabhängig
I/O	3 Byte / 24 Bit
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt ( z.B. Temperatur des Moduls zu hoch ).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] das FSP001\_ModuleStatus = ,0'.

[23..0]      n.u., immer ,1'



Name	<b>FSP003_ModuleErrors</b>
Adresse	<b>0x03<sub>H</sub>/3<sub>D</sub>/0x3033<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] das FSP001\_ModuleStatus = ,0'.

[23..0]      n.u., immer ,1'

Name	<b>FSP004_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4<sub>D</sub>/0x3034<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

In order to avoid that the Nios controller in the MFU detects interlocks coming from the Zero Field Control power converter, shutting off the main power converter, this FSP is stuck to all ones.

The FSP090ZFModuleInterlocks is for this project the FSP where the interlocks are collected.

Name	<b>FSP005_InterlocksEnable</b>
Adresse	<b>0x05<sub>H</sub>/5<sub>D</sub>/0x3035<sub>ASCII</sub></b>
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP sind alle Interlock Enable Informationen des Moduls abgebildet sofern darüber Informationen zur Verfügung gestellt werden. I.d.R. werden auf Modulen z.B. Jumperstellungen bzgl. der Zulässigkeit von Interlocks abgefragt und deren Einstellungen hier abgelegt.

Ist ein Interlock aktiviert (also zugelassen) ist das korrespondierende Bit in diesem FSP gesetzt, nicht zugelassene, also dauerhaft gesperrte Interlocks werden durch eine ,0' dargestellt.

[39..0]            n.u., immer ,1'

Name	<b>FSP006_InterlocksArrivalSequence</b>
Adresse	<b>0x06<sub>H</sub>/6<sub>D</sub>/0x3036<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Byte
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

Name	<b>FSP009_ModuleSerialNumber</b>
Adresse	<b>0x09<sub>H</sub>/9<sub>D</sub>/0x3039<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

[47..0]      ZeroFieldControlCard\_ID

Name	<b>FSP010_ModuleCommands</b>
Adresse	<b>0x0A<sub>H</sub>/10<sub>D</sub>/0x3041<sub>ASCII</sub></b>
Tiefe	1 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

[7..5] n.u.

[4] Wenn ,1' → V5\_On\_V6\_Off aktiv

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

Name	<b>FSP011_ModuleInterlocksMask_n</b>
Adresse	<b>0x0B<sub>H</sub>/11<sub>D</sub>/0x3042<sub>ASCII</sub></b>
Tiefe	9 Byte / 72 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000 <sub>H</sub>

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

#### **Zugelassene Interlocks nach der Reglerfreigabe**

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschutz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschutz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

- [71..70] n.u., immer ,1'
- [69] FieldActValueExceedsNegThr: it comes from an analog comparator
- [68] FieldActValueExceedsPosThr: it comes from an analog comparator
- [67] ZF\_ActVal\_ExceedsThrs: 13 bits FieldActValue exceeds thresholds.It comes from a digital hysteresis comparator.
- [66] I\_Load\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [65] InADC\_Val\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [64] U\_ZW\_\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [63] TriplineIn: it comes from ICJX chip input
- [62] Fehler H-Brücke: it comes from ICJX chip input
- [61] Fehler hallsonde: it comes from ICJX chip input
- [60] Fehler abschaltung: it comes from ICJX chip input
- [59..56] n.u. always 1
- [55] Optischer Eingang: it comes from ICJX chip input
- [54] Fehler Extern: it comes from ICJX chip input
- [53] Freischaltung: it comes from ICJX chip input
- [52] Reserved in: it comes from ICJX chip input
- [51..48] n.u. always 1

#### **Gespeicherte Interlocks**

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

- [47..46] n.u., immer ,1'
- [45] FieldActValueExceedsNegThr: it comes from an analog comparator
- [44] FieldActValueExceedsPosThr: it comes from an analog comparator
- [43] ZF\_ActVal\_ExceedsThrs: 13 bits FieldActValue exceeds thresholds.It comes from a digital hysteresis comparator.
- [42] I\_Load\_ExceedsThrs: It comes from a digital hysteresis comparator.

- [41] InADC\_Val\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [40] U\_ZW\_\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [39] TriplineIn: it comes from ICJX chip input
- [38] Fehler H-Brücke: it comes from ICJX chip input
- [37] Fehler hallsonde: it comes from ICJX chip input
- [36] Fehler abschaltung: it comes from ICJX chip input
- [35..32] n.u. always 1
- [31] Optischer Eingang: it comes from ICJX chip input
- [30] Fehler Extern: it comes from ICJX chip input
- [29] Freischaltung: it comes from ICJX chip input
- [28] Reserved in: it comes from ICJX chip input
- [27..24] n.u. always 1

#### **Aktuell anstehende Interlocks**

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [23..22] n.u., immer ,1‘
- [21] FieldActValueExceedsNegThr: it comes from an analog comparator
- [20] FieldActValueExceedsPosThr: it comes from an analog comparator
- [19] ZF\_ActVal\_ExceedsThrs: 13 bits FieldActValue exceeds thresholds. It comes from a digital hysteresis comparator.
- [18] I\_Load\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [17] InADC\_Val\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [16] U\_ZW\_\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [15] TriplineIn: it comes from ICJX chip input
- [14] Fehler H-Brücke: it comes from ICJX chip input
- [13] Fehler hallsonde: it comes from ICJX chip input
- [12] Fehler abschaltung: it comes from ICJX chip input
- [11..8] n.u. always 1
- [7] Optischer Eingang: it comes from ICJX chip input
- [6] Fehler Extern: it comes from ICJX chip input
- [5] Freischaltung: it comes from ICJX chip input
- [4] Reserved in: it comes from ICJX chip input
- [3..0] n.u. always 1



Name	<b>FSP012_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

[7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3] n.u.

[2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	<b>FSP013_PeripheralConfig</b>
Adresse	<b>0x0D<sub>H</sub>/13<sub>D</sub>/0x3044<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80 <sub>H</sub>

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

ZFC

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058\_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt.  
Das Löschen dieses Bit löscht die „alte“ im AIM errechnete Prüfsumme.

- [6..0] n.u.

Name	<b>FSP020_ActualValue_A</b>
Adresse	<b>0x14<sub>H</sub>/20<sub>D</sub>/0x3134<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Über diesen FSP kann der FieldActValue\_AverageVal gelesen werden. I.d.R. ist dies der Stromistwert des Hallsensoren.

[23..0]            Vorzeichenbehafteter 20 Bit Wert

Name	<b>FSP030_SetValue_A</b>
Adresse	<b>0x1E<sub>H</sub>/30<sub>D</sub>/0x3145<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes\_A an diverse Ziele.

[23..0]      20 Bit Sollwert\_A, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_A vorgegeben.

Name	<b>FSP031_SetValue_B</b>
Adresse	<b>0x1F<sub>H</sub>/31<sub>D</sub>/0x3146<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes\_B an diverse Ziele.

[23..0]      20 Bit Sollwert\_B, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_B vorgegeben.

Name	<b>FSP040_RemoteUpdateStatus</b>
Adresse	<b>0x28<sub>H</sub>/40<sub>D</sub>/0x3238<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042\_Busy  
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042\_ReadyToSendData,  
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042\_ReadyToReceiveData,  
wenn ,1' können Daten vom Host an FSP42 gesendet werden

Name	<b>FSP041_RemoteUpdateCommands</b>
Adresse	<b>0x29<sub>H</sub>/41<sub>D</sub>/0x3239<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init

Name	<b>FSP042_RemoteUpdateData</b>
Adresse	<b>0x2A<sub>H</sub>/42<sub>D</sub>/0x3241<sub>ASCII</sub></b>
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

**Achtung:** Dieses FSP ist besonders im Hinblick auf Lesen und Schreiben. Da das FSP ein nachgeschaltetes serielles Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

#### Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

#### Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

#### Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ASCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.



**Abbrechen/Beenden**

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

Name	<b>FSP043_FSP_Image_Generator</b>
Adresse	<b>0x2B<sub>H</sub>/43<sub>D</sub>/0x3242<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_00_00 <sub>H</sub>

Über diesen FSP wird ein FSP Image erzeugt und im seriellen Flash gespeichert, bzw. die Images der FSPs aus dem seriellen Flash geladen. Der serielle Flash ist hierdurch auch löschtbar. Statusrückmeldungen gibt das „FSP044\_FSP\_Image\_Status“.

#### Hinweis

Zwischen den Funktionen „FSPImgLoadImage“, „FSPImgMakelImage“ und „FSPImgEraseAll“ dürfen die Bitwechsel nicht unmittelbar erfolgen. D.h. sofern eine der Funktion benutzt wurde, muss das zugehörige Bit zuerst gelöscht werden, bevor das Bit einer anderen Funktion gesetzt wird.

- [23..16] FSPImgSectorAddress, sofern FSPImgUseSectorAddress; = ,1' wird der hier angegebene Sektor im ext. seriellen Flash gelöscht, zur Sicherung, bzw. zum Laden von FSP Daten genutzt.
- [15..8] FSPImgFSPNumber, gibt die FSP Nummer an, die mittels ,FSPImgMakelImage' ins ext. serielle Flash gesichert werden soll.
- [7..4] n.u.
- [3] FSPImgUseSectorAddress, wenn ,1' wird das Image in den ,FSPImgSectorAddress' Sektor geschrieben, wenn ,0' wird die Startadresse aus dem ,M25P\_Access' Modulgeneric ,gFSPImgStartAddress' verwendet.
- [2] FSPImgEraseAll, wenn ,1' wird ein Sektor im ext. seriellen Flash gelöscht. Dieser ist abhängig von , FSPImgUseSectorAddress' und , FSPImgSectorAddress' oder ,gFSPImgStartAddress'. Zum Starten des Löschvorgangs muss ein ,0' → ,1' Übergang erfolgen.
- [1] FSPImgMakelImage, wenn ,1' wird der Inhalt des FSP , FSPImgFSPNumber' ins ext. serielle Flash gesichert. Zum Starten des Sicherungsvorgangs muss ein ,0' → ,1' Übergang erfolgen. Sollen mehrere FSP gesichert werden ist , FSPImgMakelImage' mehrfach zu aktivieren und die jeweilige FSP Nummer in , FSPImgFSPNumber' anzugeben.
- [0] FSPImgLoadImage, wenn ,1' wird der Inhalt des ext. seriellen Flashs in die FSPs geladen. Sind zuvor mehrere FSP gesichert worden, werden alle Sicherungen geladen. Zum Starten des Ladevorgangs muss ein ,0' → ,1' Übergang erfolgen.

Name	<b>FSP044_FSP_Image_Status</b>
Adresse	<b>0x2C<sub>H</sub>/44<sub>D</sub>/0x3243<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert Statusrückmeldungen bzgl. des Sicherungsvorgangs von FSP Daten. Die Sicherung wird über FSP043 gesteuert.

[7..1] n.u., immer ,0'

[0] FSPImgReady, ist ,1' wenn das ext. Flash Zugriffe zum sichern/laden von FSP Daten gestattet, ist ,0' wenn Daten gesichert oder gelesen werden, bzw. ein Löschvorgang durchgeführt wird. Ist diese Bit ,0' und mittels FSP043 werden Zugriffe auf das ext. Flash gestartet ist das Ergebnis undefiniert.

Name	<b>FSP045_AlteraRemoteUpdateCmd</b>
Adresse	<b>0x2D<sub>H</sub>/45<sub>D</sub>/0x3244<sub>ASCII</sub></b>
Tiefe	6/7 Byte / 48/56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0 <sub>H</sub>

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

#### Imagetyyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyyp.

#### Imagetyyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

**Für CycloneV ändert sich dieses FSP inhaltlich leicht.**

**Die Startadresse wandert um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)**

#### Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

#### Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

#### Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read\_n\_Write\_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	<b>FSP046_AlteraRemoteUpdateStatus</b>
Adresse	<b>0x2E<sub>H</sub>/46<sub>D</sub>/0x3245<sub>ASCII</sub></b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

[79..72]	ReconfTriggerCondition
[71..69]	Force Osc_int n.u.
[68]	Force Osc_int
[67..44]	Boot Address
[43..41]	Wachdog Enable n.u.
[40]	Wachdog Enable
[39..8]	Wachdog timeout
[7..5]	Cd_early n.u.
[4]	Cd_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
[3..2]	MSM State n.u.
[1..0]	MSM State ('00' = Factory Image, '11' = Application Image)

Name	<b>FSP050_ADC_PowerSupplyValues</b>
Adresse	<b>0x32<sub>H</sub>/50<sub>D</sub>/0x3332<sub>ASCII</sub></b>
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -15 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 15 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

Name	<b>FSP051_FieldActValueCompThrs</b>
Adresse	<b>0x33<sub>H</sub>/51<sub>D</sub>/0x3333<sub>ASCII</sub></b>
Tiefe	4Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

With this thresholds set via hardware resistors on the PCB, FieldActValue\_ExceedsPosThr and FieldActValue\_ExceedsNegThr interlocks are generated .

[31..16]      FieldActValueCompNegThr[15..0]

[15..0]      FieldActValueCompPosThr[15..0]

Name	<b>FSP052_FieldActValueCompInputs</b>
Adresse	<b>0x34<sub>H</sub>/52<sub>D</sub>/0x3334<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

These values are the Comparator input signals involved in the FieldActValue\_ExceedsPosThr and FieldActValue\_ExceedsNegThr interlocks generations. They work with the data content of FSP051\_FieldActValueCompThrs.

[31..16]      FieldActValueCompNegInput[15..0]

[15..0]      FieldActValueCompPosInput[15..0]



Name	<b>FSP053_OnBoardTemperatures</b>
Adresse	<b>0x35<sub>H</sub>/53<sub>D</sub>/0x3335<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

[31..24] Alarm\_Info

[7..0]	Bedeutung
0x00	n.u., Resetzustand
0x01	Device 1 nicht bereit
0x02	Device 2 nicht bereit
0x04	Device 3 nicht bereit
0x08	DeviceSearchRunDone
0x10	Device 1 Grenze überschritten
0x20	Device 2 Grenze überschritten
0x40	Device 3 Grenze überschritten
0x80	Alarm Interrupt wenn Grenze bei einem Device überschritten

[23..16] Sensor 3: Temperatur Modul Mitte (8 Bit)

[15..8] Sensor 2: Temperatur FPGA (8 Bit)

[7..0] Sensor 1: Temperatur DC-DC Wandler (8 Bit)

Die Schwellen der Temperaturgrenzen werden im „FSP054\_ModuleTemperaturesComparationThresholds“ festgelegt.

Name	<b>FSP054_ModuleTemperaturesComparisonThresholds</b>
Adresse	<b>0x36<sub>H</sub>/54<sub>D</sub>/0x3336<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x46_46_46 <sub>H</sub>

Stellt die vorzeichenbehafteten Vergleichswerte zur Verfügung bei denen die Temperatursensoren Alarm auslösen sollen, sofern die Temperatur überschritten wurde.

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

Als Standardwert ist 70° Celsius (70<sub>D</sub> = 46<sub>H</sub>) gewählt.

[23..16] Sensor 3: Temperatur Modul Mitte (8 Bit)

[15..8] Sensor 2: Temperatur FPGA (8 Bit)

[7..0] Sensor 1: Temperatur DC-DC Wandler (8 Bit)

Name	<b>FSP058_ParameterChecksumValue</b>
Adresse	<b>0x3A<sub>H</sub>/58<sub>D</sub>/0x3341<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Repräsentiert die Vergleichs-Prüfsumme der vom Modul empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „**Fehler! Verweisquelle konnte nicht gefunden werden.**“ verglichen.

[23..0]      Checksumme der Datenübertragung zum Modul.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUSIc (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

Name	<b>FSP059_ParameterChecksumValueCalculated</b>
Adresse	<b>0x3B<sub>H</sub>/59<sub>D</sub>/0x3342<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0]       errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.

Name	<b>FSP060_MainADC_Configuration</b>
Adresse	<b>0x3C<sub>H</sub>/60<sub>D</sub>/0x3343<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	Lesen / schreiben
Reset	0x00 <sub>H</sub>

Repräsentiert verschiedene Konfigurationszustände des ADC Moduls.

[7..6] n.u.

[5] ADC\_ExternalConStartSignal\_Enable, wenn ,1' wird der ADC über den HighSpeedReceiver getriggert, andernfalls läuft er frei. D.h. jedes Mal wenn vom Host ein neuer HighSpeed Wert am ADC Module ankommt und erfolgreich ausdekodiert wurde, also im Modul zur Verfügung steht, startet eine neue ADC Messung.

[4] Remove Outliers, wenn ,1' werden der größte und der kleinste Wert bei der Mittelwertbildung ausgeblendet. Wenn ,0' werden alle Werte zur Mittelwertbildung (sofern diese nicht abgeschaltet ist) heran gezogen.

[3..0] ADC Mittelwertbildung

[3..0]	Mittelwertbildung
0x0	Mittelwertbildung aus
0x1	2fach Mittelung
0x2	4fach Mittelung
0x3	8fach Mittelung
0x4	16fach Mittelung

Name	<b>FSP061_ MainADCCalibrationGAIN</b>
Adresse	<b>0x3D<sub>H</sub>/61<sub>D</sub>/0x3344<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x4010E4 <sub>H</sub>

Wird als Hilfs-FSP zur Kalibrierung des ADC Moduls verwendet. Enthält die Verstärkungskorrektur (Skalierungsfaktor) des ADC, der über PowerConfigAdvanced beim Kalibriervorgang ermittelt und dann nicht flüchtig im ADC Modul gespeichert wird. Nach dem Einschalten der Spannungsversorgung wird dieses FSP im Falle einer durchgeführten Kalibrierung mit dem gespeicherten Kalibrierwert geladen. Der Resetwert wird dabei überschrieben.

[23..0] Vorzeichenbehafteter 18 Bit Skalierungswert zur Korrektur der ADC Verstärkung

Name	<b>FSP062_MainADCCalibrationOFFSET</b>
Adresse	<b>0x3E<sub>H</sub>/62<sub>D</sub>/0x3345<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000EC9 <sub>H</sub>

Wird als Hilfs-FSP zur Kalibrierung des ADC Moduls verwendet. Enthält die Offsetkorrektur des ADC, der über PowerConfigAdvanced beim Kalibriervorgang ermittelt und dann nicht flüchtig im ADC Moduls gespeichert wird. Nach dem Einschalten der Spannungsversorgung wird dieses FSP im Falle einer durchgeführten Kalibrierung mit dem gespeicherten Kalibrierwert geladen. Der Resetwert wird dabei überschrieben.

[23..0]      Vorzeichenbehaftete 18 Bit Offsetkorrektur des ADC

Name	<b>FSP063_MainADC_AverageValue</b>
Adresse	<b>0x3F<sub>H</sub>/63<sub>D</sub>/0x3346<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Gibt den gleitenden Mittelwert des ADC zurück (FAV: Floating Average Value). Der ADC läuft frei und erfasst permanent Werte. Diese werden bis zu 16fach gemittelt (siehe: „FSP060\_MainADC\_Configuration“)

[23..0]      Vorzeichenbehafteter ADC Wert (20 Bit), bis zu 16fach gemittelt



Name	<b>FSP064_GenericADC_Values</b>
Adresse	<b>0x40<sub>H</sub>/64<sub>D</sub>/0x3430<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Converted signals coming from the backplane

[63..48] ZeroField\_ActValue\_13b(16b)

[47..32] I\_Load(16b)

[31..16] IncomingADC\_Value(16b)

[15..0] U\_ZW(16b)

Name	<b>FSP065_CompThrs</b>
Adresse	<b>0x41<sub>H</sub>/65<sub>D</sub>/0x3431<sub>ASCII</sub></b>
Tiefe	20 Byte / 160 Bit
I/O	lesen / schreiben
Reset	0x00_0000_0000_00_0000_0000_00_0000_0000_00_0000_0000

Digital Comparator enable and thresholds configurations:

[159..153] n.u.  
 [152] ZF\_ActVal\_Comp\_En (active high) .  
 [151..136] ZF\_ActVal\_CompTh\_Neg (16b)  
 [135..120] ZF\_ActVal\_CompTh\_Pos (16b)  
 [119..113] n.u.  
 [112] ZF\_ActVal\_Comp\_En (active high) .  
 [111..96] ZF\_ActVal\_CompTh\_Neg (16b)  
 [95..80] ZF\_ActVal\_CompTh\_Pos (16b)  
 [79..73] n.u.  
 [72] ZF\_ActVal\_Comp\_En (active high) .  
 [71..56] ZF\_ActVal\_CompTh\_Neg (16b)  
 [55..40] ZF\_ActVal\_CompTh\_Pos (16b)  
 [39..33] n.u.  
 [32] ZF\_ActVal\_Comp\_En (active high) .  
 [31..16] ZF\_ActVal\_CompTh\_Neg (16b)  
 [15..0] ZF\_ActVal\_CompTh\_Pos (16b)

Name	<b>FSP066_DACxSourceSelectionMultiplexer</b>
Adresse	<b>0x42<sub>H</sub>/66<sub>D</sub>/0x3432<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_1234 <sub>H</sub>

It selects the 4 channels DAC input signals

- [23..20] n.u.
- [19] It negates the mux output for the DAC channel 4
- [18] It negates the mux output for the DAC channel 3
- [17] It negates the mux output for the DAC channel 2
- [16] It negates the mux output for the DAC channel 1
- [15..12] DAC channel 4 input selector

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data channel Mux A
0x2	Incoming High Speed Data channel Mux B
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input
0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

- [11..8] DAC channel 3 input selector

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data channel Mux A
0x2	Incoming High Speed Data channel Mux B
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input

0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

## [7..4] DAC channel 2 input selector

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data channel Mux A
0x2	Incoming High Speed Data channel Mux B
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input
0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

## [3..0] DAC channel 1 input selector

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data channel Mux A
0x2	Incoming High Speed Data channel Mux B
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input
0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

Name	<b>FSP067_ DACGain_Offset</b>
Adresse	<b>0x43<sub>H</sub>/67<sub>D</sub>/0x3433<sub>ASCII</sub></b>
Tiefe	24 Byte / 192 Bit
I/O	lesen / schreiben
Reset	0x400000_000000_400000_000000_400000_000000_400000_000000_ <sub>H</sub>

It provides the gain and the offset value for the 4 channels DAC inputs

- [191..173] Channel 4 Gain value (19b)
- [172..168] n.u. (5b)
- [167..150] Channel 4 Offset value(18b)
- [149..144] n.u. (6b)
- [143..125] Channel 3 Gain value (19b)
- [124..120] n.u. (5b)
- [119..102] Channel 3 Offset value(18b)
- [101..96] n.u. (6b)
- [95..77] Channel 2 Gain value (19b)
- [76..72] n.u. (5b)
- [71..54] Channel 2 Offset value(18b)
- [53..48] n.u. (6b)
- [47..29] Channel 1 Gain value (19b)
- [28..24] n.u. (5b)
- [23..6] Channel 1 Offset value(18b)
- [5..0] n.u. (6b)

Name	<b>FSP069_GenericADC_AverageValues</b>
Adresse	<b>0x45<sub>H</sub>/69<sub>D</sub>/0x3435<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Converted signals coming from the backplane. They can be by averaging affected (see FSP091\_GenericADC\_AverageCfg)

[95..76]	ZeroField_ActValue Average(20b)
[75..72]	always zero
[71..52]	I_Load Average(20b)
[51..48]	always zero
[47..28]	IncomingADC_Value Average(20b)
[27..24]	always zero
[23..4]	U_ZW Average(20b)
[3..0]	always zero

Name	<b>FSP070_HS_BackCH_MuxSel</b>
Adresse	<b>0x46<sub>H</sub>/70<sub>D</sub>/0x3436<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

It selects the High Speed Back Channel data content:

[7..4] High Speed Back Channel Upper data

[3..0]	
0x0	All zeros
0x1	FieldActValue_AverageVal[19..0]
0x2	Incoming High Speed Data channel Mux A
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input
0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

[3..0] High Speed Back Channel Upper data

[3..0]	
0x0	All zeros
0x1	FieldActValue_AverageVal[5..0]
0x2	Incoming High Speed Data channel Mux B
0x3	PI_Controller_SetValueMuxOut
0x4	PI_Controller_ActValueMuxOut
0x5	PI_Controller_MultipliedDeviation
0x6	PI_Controller_P_Part_Output
0x7	PI_Controller_I_Part_Output
0x8	PI_Controller_PI_Part_Output
0x9	FieldActValue_Kalibriert
0xA	FieldActValue Comparator negative input
0xB	FieldActValue Comparator positive input
0xC	U_ZW
0xD	Incomong ADC value
0xE	I_Load
0xF	ZeroField_ActValue_13b

**NOTE!:** For the ADC calibration, the following selection has to be set: [7..4] High Speed Back Channel Upper data = [3..0] High Speed Back Channel Upper data = 0x1

Name	<b>FSP071_HS_IncomCH_MuxSel</b>
Adresse	<b>0x47<sub>H</sub>/71<sub>D</sub>/0x3437<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

It selects the High Speed Incoming Channel data content:

[7..4] High Speed MuxB

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data (20b)
0x2	Incoming High Speed Data upper part
0x3	Incoming High Speed Data lower part
0x4	FSP030_SetValue_A
0x5	FSP031_SetValue_B
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] High Speed MuxA

[3..0]	
0x0	All zeros
0x1	Incoming High Speed Data (20b)
0x2	Incoming High Speed Data upper part
0x3	Incoming High Speed Data lower part
0x4	FSP030_SetValue_A
0x5	FSP031_SetValue_B
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.



Name	<b>FSP072_ICJX_WR_Config</b>
Adresse	<b>0x48<sub>H</sub>/72<sub>D</sub>/0x3438<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

- [23] RD/nWr, wenn ,1' Daten lesen, wenn ,0' Daten schreiben
- [22] Anzahl der zu lesenden oder schreibenden Bytes,  
wenn ,0' = 1 Byte,  
wenn ,1' = 2 Byte
- [21] Mode,  
wenn ,1' - der ICJX wird nur über die FSPs konfiguriert und betrieben  
wenn ,0' - der Chip läuft selbstständig als Interlockkontroller und Schaltsystem.
- [20..16] 5 Bit Register Startadresse
- [15..0] 16 Bit Register Daten beim schreiben; beim Lesen sind diese Bit ,don't care'

**NOTE!:** Don't touch this FSP if you are not a skilled user

Name	<b>FSP073_ICJX_RD_Data</b>
Adresse	<b>0x49<sub>H</sub>/73<sub>D</sub>/0x3439<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Die aus dem ICJX gelesenen Daten

Ist in „FSP072\_ICJX\_WR\_Config [21] = Mode 0 gewählt läuft der ICJX selbstständig als Interlockkontroller und Schaltsystem

**NOTE!:** Don't touch this FSP if you are not a skilled user

Name	<b>FSP074_PI_ContrInSelMux</b>
Adresse	<b>0x4A<sub>H</sub>/74<sub>D</sub>/0x3441<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_00 <sub>H</sub>

This is the selector of the Set and Actual value for the PI controller 1

- [15..10] n.u.
- [9] when it is set to 1, it negates the Actual value mux output.
- [8] when it is set to 1, it negates the Set value mux output.
- [7..4] selector bits for the Actual value mux.

[3..0]	
0x0	All zeros
0x1	ZeroField_ActValue_13b
0x2	FieldActValue_AverageVal
0x3	FieldActValue
0x4	FieldActValue_Kalibriert
0x5	FSP030_SetValue_A
0x6	FSP031_SetValue_B
0x7	Incoming High Speed Data Mux A
0x8	Incoming High Speed Data Mux B
0x9	I Load
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

- [3..0] selector bits for the Set value mux.

[3..0]	
0x0	All zeros
0x1	FSP030_SetValue_A
0x2	FSP031_SetValue_B
0x3	Incoming High Speed Data Mux A
0x4	Incoming High Speed Data Mux B
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.

0xE	n.u.
0xF	n.u.

Name	<b>FSP075_Controller_1_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x4B<sub>H</sub>/75<sub>D</sub>/0x3442<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 <sub>H</sub>

This is the multiplier factor of the difference between Set and Actual value of the PI controller 1

[15..11]     n.u.

[10..0]     multiplier factor value.

Name	<b>FSP076 _PI_Controller_Pi_Settings</b>
Adresse	<b>0x4C<sub>H</sub>/76<sub>D</sub>/0x3443<sub>ASCII</sub></b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 <sub>H</sub>

These are the PI settings for the PI controller 1

[103..99] n.u.

[98] Enable signal for the comparator involved in the P2 part enable action

[97] Enable signal for the comparator involved in the I part disable action

[96] I\_Part\_TimerSlow: it selects two timebase for the I part calculation speed

[95..64] kI Value (32b).

[63..32] kP2 Value (32b).

[31..0] kP1 Value (32b).

Name	<b>FSP077_Pi_Controller_Limits</b>
Adresse	<b>0x4D<sub>H</sub>/77<sub>D</sub>/0x3444<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

These are the PI output max and min values(guard bands)

[47..28]      Max value (upper guard band)

[27..24]      n.u.

[23..4]       Min value (lower guard band)

[3..0]        n.u.

Name	<b>FSP078_PI_Controller_ComparatorLimits</b>
Adresse	<b>0x4E<sub>H</sub>/78<sub>D</sub>/0x3445<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

These are the on and off thresholds for the comparators involved in the I part disable and the P2 part enable actions.

[95..76]	I Part disable OFF threshold (20b)
[75..72]	n.u.
[71..52]	I Part disable ON threshold (20b)
[51..48]	n.u.
[47..28]	P2 Part disable OFF threshold (20b)
[27..24]	n.u.
[23..4]	P2 Part disable ON threshold (20b)
[3..0]	n.u.



Name	<b>FSP079_PI_Controller_Values</b>
Adresse	<b>0x4F<sub>H</sub>/79<sub>D</sub>/0x3446<sub>ASCII</sub></b>
Tiefe	27 Byte / 216 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

PI controller 1 status.

[215..192] Adder output.

[191..168] Adder input 2.

[167..144] Adder input 1.

[143..120] PI Controller PI Part output Value.

[119..96] PI Controller I Part output Value.

[95..72] PI Controller P Part output Value.

[71..48] PI Controller Deviation Value.

[47..24] PI Controller Actual Value.

[23..0] PI Controller Set Value.

Name	<b>FSP080_AdderSourceSelectionMultiplexer</b>
Adresse	<b>0x50<sub>H</sub>/80<sub>D</sub>/0x3530<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_00 <sub>H</sub>

This is the adder inputs selector

- [15..10] n.u.
- [9] when it is set to 1, it negates the AdderInput2 mux output.
- [8] when it is set to 1, it negates the AdderInput1 mux output.
- [7..4] selector bits for the AdderInput2 mux.

[3..0]	
0x0	All zeros
0x1	n.u.
0x2	n.u.
0x3	n.u.
0x4	n.u.
0x5	FSP030_SetValue_A
0x6	FSP031_SetValue_B
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

- [3..0] selector bits for the AdderInput1 mux.

[3..0]	
0x0	All zeros
0x1	PI_Controller_PI_Part_Output
0x2	PI_Controller_P_Part_Output
0x3	PI_Controller_I_Part_Output
0x4	FSP030_SetValue_A
0x5	FSP031_SetValue_B
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.

0xE	n.u.
0xF	n.u.

Name	<b>FSP081 _AdderLimits</b>
Adresse	<b>0x51<sub>H</sub>/81<sub>D</sub>/0x3531<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Über diesen FSP werden die Bereichsgrenzen des Addierers festgelegt.

[47..24]      Adder\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des Addierer.

[23..0]      Adder\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des Addierer.

Name	<b>FSP082_PWM_Settings</b>
Adresse	<b>0x52<sub>H</sub>/82<sub>D</sub>/0x3532<sub>ASCII</sub></b>
Tiefe	5 Byte / 40 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_0000 <sub>H</sub>

Zero Field Control PWM settings.

- [39..33] n.u.
- [32] TrParallel: when 1 => Sy=Syx with y={1,2,3,4}
- [31..24] Dead Time in number of clock cycles (10ns)
- [23..17] n.u.
- [16] PWM Enable
- [15..0] PWM On time in number of clock cycles (10ns)

Name	<b>FSP083 _Walter_PWM_Settings</b>
Adresse	<b>0x53<sub>H</sub>/83<sub>D</sub>/0x3533<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_0000 <sub>H</sub>

Zero Field Control Walter PWM settings.

[23..17] n.u.

[16] Walter PWM Enable

[15..0] Walter PWM On time in number of clock cycles (10ns)

Name	<b>FSP084 _ PWM_SoftSwitch_Settings</b>
Adresse	<b>0x54<sub>H</sub>/84<sub>D</sub>/0x3534<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_00 <sub>H</sub>

Zero Field Control PWM soft switching settings.

[31..23]	n.u.
[24]	PWM soft switch Enable
[23..16]	Transistor Off time, in number of clock cycles (10ns)
[15..8]	Transistor On time 2, in number of clock cycles (10ns)
[7..0]	Transistor On time 1, in number of clock cycles (10ns)

Name	<b>FSP085 _ PWM_CorrectionTime</b>
Adresse	<b>0x55<sub>H</sub>/85<sub>D</sub>/0x3535<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_00 <sub>H</sub>

Zero Field Control PWM correction factor

- [31..24] Correction factor time 4, in number of clock cycles (10ns)
- [23..16] Correction factor time 3, in number of clock cycles (10ns)
- [15..8] Correction factor time 2, in number of clock cycles (10ns)
- [7..0] Correction factor time 1, in number of clock cycles (10ns)



Name	<b>FSP087 _ ZFC_CmdGen_HystThrs</b>
Adresse	<b>0x57<sub>H</sub>/87<sub>D</sub>/0x3537<sub>ASCII</sub></b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x0_0_000000_000000_000000_000000 <sub>H</sub>

Zero Field Control Command generator comparator settings

[103..101] n.u.

[100] I\_ActVal comparator enable (active high)

[99..97] n.u.

[96] I\_SetValSL comparator enable (active high)

[95..72] I\_ActVal Comparator Off threshold (24b)

[71..48] I\_ActVal Comparator On threshold (24b)

[47..24] I\_SetValSL Comparator Off threshold (24b)

[23..0] I\_SetValSL Comparator On threshold (24b)

Name	<b>FSP088 _ ZFC_CmdGen_InMuxSel</b>
Adresse	<b>0x58<sub>H</sub>/88<sub>D</sub>/0x3538<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x0_0 <sub>H</sub>

Zero Field Control Command generator inputs selector

[7..4] Command generator Input 2 selector

[3..0]	
0x0	All zeros
0x1	I_ActValHystComp_Out (standard selected)
0x2	ICJX Input pin [5] (IPM selected)
0x3	I_SetValHystComp_Out
0x4	n.u.
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Command generator Input 1 selector

[3..0]	
0x0	All zeros
0x1	I_SetValHystComp_Out(standard selected)
0x2	ICJX Input pin [5]
0x3	I_ActValHystComp_Out
0x4	n.u.
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP089 _ ZFC_CmdGen_DelCfg</b>
Adresse	<b>0x59<sub>H</sub>/89<sub>D</sub>/0x3539<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

Zero Field Control Command generator inputs rising and falling edges delay

[95..72] Thyristor Firing Signal Falling Edge delay, in clock cycles pulses (10ns)

[71..48] Thyristor Firing Signal rising Edge delay, in clock cycles pulses (10ns)

[47..24] Output Enable Falling Edge delay, in clock cycles pulses (10ns)

[23..0] Output Enable rising Edge delay, in clock cycles pulses (10ns)

**Note!:** when it is set to 0, no delay is applied.

Name	<b>FSP090_ZFCModuleInterlocks</b>
Adresse	<b>0x5A<sub>H</sub>/90<sub>D</sub>/0x3541<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	Lesen / schreiben
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] das FSP001\_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

#### **Gespeicherte Interlocks**

- [47..46] n.u., immer ,1'
- [45] FieldActValueExceedsNegThr: it comes from an analog comparator
- [44] FieldActValueExceedsPosThr: it comes from an analog comparator
- [43] ZF\_ActVal\_ExceedsThrs: 13 bits FieldActValue exceeds thresholds.It comes from a digital hysteresis comparator.
- [42] I\_Load\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [41] InADC\_Val\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [40] U\_ZW\_\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [39] TriplineIn: it comes from ICJX chip input
- [38] Fehler H-Brücke: it comes from ICJX chip input
- [37] Fehler hallsonde: it comes from ICJX chip input
- [36] Fehler abschaltung: it comes from ICJX chip input
- [35..32] n.u. always 1
- [31] Optischer Eingang: it comes from ICJX chip input
- [30] Fehler Extern: it comes from ICJX chip input
- [29] Freischaltung: it comes from ICJX chip input
- [28] Reserved in: it comes from ICJX chip input
- [27..24] n.u. always 1

#### **Aktuell anstehende Interlocks**

- [23..22] n.u., immer ,1'
- [21] FieldActValueExceedsNegThr: it comes from an analog comparator
- [20] FieldActValueExceedsPosThr: it comes from an analog comparator
- [19] ZF\_ActVal\_ExceedsThrs: 13 bits FieldActValue exceeds thresholds.It comes from a digital hysteresis comparator.
- [18] I\_Load\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [17] InADC\_Val\_ExceedsThrs: It comes from a digital hysteresis comparator.

- [16] U\_ZW\_\_ExceedsThrs: It comes from a digital hysteresis comparator.
- [15] TriplineIn: it comes from ICJX chip input
- [14] Fehler H-Brücke: it comes from ICJX chip input
- [13] Fehler hallsonde: it comes from ICJX chip input
- [12] Fehler abschaltung: it comes from ICJX chip input
- [11..8] n.u. always 1
- [7] Optischer Eingang: it comes from ICJX chip input
- [6] Fehler Extern: it comes from ICJX chip input
- [5] Freischaltung: it comes from ICJX chip input
- [4] Reserved in: it comes from ICJX chip input
- [3..0] n.u. always 1

Name	<b>FSP091_GenericADC_AverageCfg</b>
Adresse	<b>0x5B<sub>H</sub>/91<sub>D</sub>/0x3542<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x0_0_0_0_0_0_0_0 <sub>H</sub>

It contains theAverage module configuration settings used for the generic ADC channels (ZeroField\_ActValue , I\_Load, IncomingADC\_Value and U\_ZW)

[31..29] n.u. always 0

[28] ZeroField\_ActValue Remove Outliners (Active high)

[27..24] ZeroField\_ActValue Average settings

[3..0]	
0x0	No Average
0x1	2x average
0x2	4x average
0x3	8x average
0x4	16x average

[23..21] n.u. always 0

[20] I\_Load Remove Outliners (Active high)

[19..16] I\_Load Average settings

[3..0]	
0x0	No Average
0x1	2x average
0x2	4x average
0x3	8x average
0x4	16x average

[15..13] n.u. always 0

[12] IncomingADC\_Value Remove Outliners (Active high)

[11..8] IncomingADC\_Value Average settings

[3..0]	
0x0	No Average
0x1	2x average
0x2	4x average
0x3	8x average
0x4	16x average

[7..5] n.u. always 0

[4] U\_ZW Remove Outliners (Active high)

[3..0] U\_ZW Average settings

[3..0]	
0x0	No Average
0x1	2x average

0x2	4x average
0x3	8x average
0x4	16x average