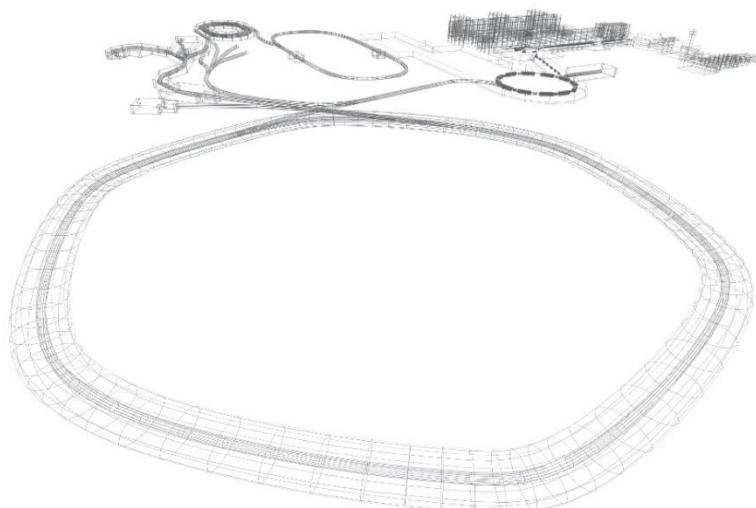


Elektrische  
Energie  
Technik



# FSPs des Static Current Converter (ab FW 7.3.x)

Version vom: Mittwoch, 4. Mai 2022, 12:18:00

Aktuelle Versionen immer unter:

<https://wiki.gsi.de/EPS/ACUModuleDescriptions>

## Inhaltsverzeichnis

1.	Änderungsliste .....	1
2.	ACU_Static_Converter_III USI SLAVE 1 .....	2
	FSP001_USI_Slave_1_ModuleStatus .....	3
	0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub>	
	FSP002_USI_Slave_1_ModuleWarnings .....	5
	0x02 <sub>H</sub> /2 <sub>D</sub> /0x3032 <sub>ASCII</sub>	
	FSP003_USI_Slave_1_ModuleErrors .....	6
	0x03 <sub>H</sub> /3 <sub>D</sub> /0x3033 <sub>ASCII</sub>	
	FSP004_USI_Slave_1_ModuleInterlocks .....	7
	0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub>	
	FSP005_USI_Slave_1_InterlocksEnable .....	10
	0x05 <sub>H</sub> /5 <sub>D</sub> /0x3035 <sub>ASCII</sub>	
	FSP009_USI_Slave_1_ModuleSerialNumber .....	11
	0x09 <sub>H</sub> /9 <sub>D</sub> /0x3039 <sub>ASCII</sub>	
	FSP010_USI_Slave_1_ModuleCommands .....	12
	0xA <sub>H</sub> /10 <sub>D</sub> /0x3041 <sub>ASCII</sub>	
	FSP011_USI_Slave_1_ModuleInterlocksMask_n .....	13
	0xB <sub>H</sub> /11 <sub>D</sub> /0x3042 <sub>ASCII</sub>	
	FSP012_USI_Slave_1_USIConfig .....	16
	0xC <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub>	
	FSP013_USI_Slave_1_PeripheralConfig .....	17
	0xD <sub>H</sub> /13 <sub>D</sub> /0x3044 <sub>ASCII</sub>	
	FSP030_USI_Slave_1_SetValue_A .....	18
	0xE <sub>H</sub> /30 <sub>D</sub> /0x3145 <sub>ASCII</sub>	
	FSP031_USI_Slave_1_SetValue_B .....	19
	0xF <sub>H</sub> /31 <sub>D</sub> /0x3146 <sub>ASCII</sub>	
	FSP032_USI_Slave_1_SetValue_C .....	20
	0x20 <sub>H</sub> /32 <sub>D</sub> /0x3230 <sub>ASCII</sub>	
	FSP033_USI_Slave_1_SetValue_D .....	21
	0x21 <sub>H</sub> /33 <sub>D</sub> /0x3231 <sub>ASCII</sub>	
	FSP040_USI_Slave_1_RemoteUpdateStatus .....	22
	0x28 <sub>H</sub> /40 <sub>D</sub> /0x3238 <sub>ASCII</sub>	
	FSP041_USI_Slave_1_RemoteUpdateCommands .....	23
	0x29 <sub>H</sub> /41 <sub>D</sub> /0x3239 <sub>ASCII</sub>	
	FSP042_USI_Slave_1_RemoteUpdateData .....	24
	0x2A <sub>H</sub> /42 <sub>D</sub> /0x3241 <sub>ASCII</sub>	
	FSP045_USI_Slave_1_AlteraRemoteUpdateCmd .....	26
	0x2D <sub>H</sub> /45 <sub>D</sub> /0x3244 <sub>ASCII</sub>	
	FSP046_USI_Slave_1_AlteraRemoteUpdateStatus .....	27
	0x2E <sub>H</sub> /46 <sub>D</sub> /0x3245 <sub>ASCII</sub>	
	FSP050_USI_Slave_1_SupplyMonitoring .....	28
	0x32 <sub>H</sub> /50 <sub>D</sub> /0x3332 <sub>ASCII</sub>	
	FSP051_USI_Slave_1_PotiValues .....	29
	0x33 <sub>H</sub> /51 <sub>D</sub> /0x3333 <sub>ASCII</sub>	
	FSP052_USI_Slave_1_ComparatorValues .....	30
	0x34 <sub>H</sub> /52 <sub>D</sub> /0x3334 <sub>ASCII</sub>	
	FSP053_USI_Slave_1_OnBoardTemperatures .....	31
	0x35 <sub>H</sub> /53 <sub>D</sub> /0x3335 <sub>ASCII</sub>	
	FSP054_USI_Slave_1_HS_ADC_Value .....	32
	0x36 <sub>H</sub> /54 <sub>D</sub> /0x3336 <sub>ASCII</sub>	
	FSP060_USI_Slave_1_ValCounter .....	33
	0x3C <sub>H</sub> /60 <sub>D</sub> /0x3343 <sub>ASCII</sub>	
	FSP064_USI_Slave_1_InterlockSelectMUX_n .....	34
	0x40 <sub>H</sub> /64 <sub>D</sub> /0x3430 <sub>ASCII</sub>	
	FSP070_USI_Slave_1_Controller_1_InputSourceSelectionMultiplexer .....	38
	0x46 <sub>H</sub> /70 <sub>D</sub> /0x3436 <sub>ASCII</sub>	
	FSP071_USI_Slave_1_Controller_1_DifferenceCalculatorMultiplier .....	40
	0x47 <sub>H</sub> /71 <sub>D</sub> /0x3437 <sub>ASCII</sub>	
	FSP072_USI_Slave_1_Controller_1_PI_Settings .....	41
	0x48 <sub>H</sub> /72 <sub>D</sub> /0x3438 <sub>ASCII</sub>	
	FSP073_USI_Slave_1_Controller_1_Limits .....	42
	0x49 <sub>H</sub> /73 <sub>D</sub> /0x3439 <sub>ASCII</sub>	
	FSP074_USI_Slave_1_Controller_1_ComparatorLimits .....	43
	0x4A <sub>H</sub> /74 <sub>D</sub> /0x3441 <sub>ASCII</sub>	
	FSP075_USI_Slave_1_Controller_1_ADCValAsSetActValue .....	44

0x4B <sub>H</sub> /75 <sub>D</sub> /0x3442 <sub>ASCII</sub>	
<b>FSP077_USI_Slave_1_Controller_1_AdderSourceSelectionMultiplexer</b>	45
0x4D <sub>H</sub> /77 <sub>D</sub> /0x3444 <sub>ASCII</sub>	
<b>FSP078_USI_Slave_1_Controller_1_AdderLimits</b>	48
0x4E <sub>H</sub> /78 <sub>D</sub> /0x3445 <sub>ASCII</sub>	
<b>FSP079_USI_Slave_1_Controller_1_Values</b>	49
0x4F <sub>H</sub> /79 <sub>D</sub> /0x3446 <sub>ASCII</sub>	
<b>FSP080_USI_Slave_1_Controller_2_InputSourceSelectionMultiplexer</b>	50
0x50 <sub>H</sub> /80 <sub>D</sub> /0x3530 <sub>ASCII</sub>	
<b>FSP081_USI_Slave_1_Controller_2_DifferenceCalculatorMultiplier</b>	52
0x51 <sub>H</sub> /81 <sub>D</sub> /0x3531 <sub>ASCII</sub>	
<b>FSP082_USI_Slave_1_Controller_2_PI_Settings</b>	53
0x52 <sub>H</sub> /82 <sub>D</sub> /0x3532 <sub>ASCII</sub>	
<b>FSP083_USI_Slave_1_Controller_2_Limits</b>	54
0x53 <sub>H</sub> /83 <sub>D</sub> /0x3533 <sub>ASCII</sub>	
<b>FSP084_USI_Slave_1_Controller_2_ComparatorLimits</b>	55
0x54 <sub>H</sub> /84 <sub>D</sub> /0x3534 <sub>ASCII</sub>	
<b>FSP085_USI_Slave_1_Controller_2_ADCValAsSetActValue</b>	56
0x55 <sub>H</sub> /85 <sub>D</sub> /0x3535 <sub>ASCII</sub>	
<b>FSP087_USI_Slave_1_Controller_2_AdderSourceSelectionMultiplexer</b>	57
0x57 <sub>H</sub> /87 <sub>D</sub> /0x3537 <sub>ASCII</sub>	
<b>FSP088_USI_Slave_1_Controller_2_AdderLimits</b>	60
0x58 <sub>H</sub> /88 <sub>D</sub> /0x3538 <sub>ASCII</sub>	
<b>FSP089_USI_Slave_1_Controller_2_Values</b>	61
0x59 <sub>H</sub> /89 <sub>D</sub> /0x3539 <sub>ASCII</sub>	
<b>FSP090_USI_Slave_1_TimeSystem</b>	62
0x5A <sub>H</sub> /90 <sub>D</sub> /0x3541 <sub>ASCII</sub>	
<b>FSP100_USI_Slave_1_SR_0_Degree_L1_L3_Shift_Value</b>	63
0x64 <sub>H</sub> /100 <sub>D</sub> /0x3634 <sub>ASCII</sub>	
<b>FSP101_USI_Slave_1_SR_30_Degree_L1_L3_Shift_Value</b>	64
0x65 <sub>H</sub> /101 <sub>D</sub> /0x3635 <sub>ASCII</sub>	
<b>FSP102_USI_Slave_1_SR_Global_Shift</b>	65
0x66 <sub>H</sub> /102 <sub>D</sub> /0x3636 <sub>ASCII</sub>	
<b>FSP103_USI_Slave_1_SR_Configword</b>	66
0x67 <sub>H</sub> /103 <sub>D</sub> /0x3637 <sub>ASCII</sub>	
<b>FSP104_USI_Slave_1_SigComplInputSel</b>	67
0x68 <sub>H</sub> /104 <sub>D</sub> /0x3638 <sub>ASCII</sub>	
<b>FSP105_USI_Slave_1_DifferenceCalculatorMultiplier_SigComp</b>	69
0x69 <sub>H</sub> /105 <sub>D</sub> /0x3639 <sub>ASCII</sub>	
<b>FSP106_USI_Slave_1_SigComparatorSettings</b>	70
0x6A <sub>H</sub> /106 <sub>D</sub> /0x3641 <sub>ASCII</sub>	
<b>FSP107_USI_Slave_1_InputFilterDelay</b>	71
0x6B <sub>H</sub> /107 <sub>D</sub> /0x3642 <sub>ASCII</sub>	
<b>FSP109_USI_Slave_1_SigCompMonitoring</b>	72
0x6D <sub>H</sub> /109 <sub>D</sub> /0x3644 <sub>ASCII</sub>	
<b>FSP110_USI_Slave_1_DACxSourceSelectionMultiplexer</b>	73
0x6E <sub>H</sub> /110 <sub>D</sub> /0x3645 <sub>ASCII</sub>	
<b>FSP111_USI_Slave_1_DACGain_Offset</b>	76
0x6F <sub>H</sub> /111 <sub>D</sub> /0x3646 <sub>ASCII</sub>	
<b>FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection</b>	77
0x71 <sub>H</sub> /113 <sub>D</sub> /0x3731 <sub>ASCII</sub>	
<b>FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection</b>	80
0x72 <sub>H</sub> /114 <sub>D</sub> /0x3732 <sub>ASCII</sub>	
<b>FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection</b>	82
0x73 <sub>H</sub> /115 <sub>D</sub> /0x3733 <sub>ASCII</sub>	
<b>FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection</b>	85
0x74 <sub>H</sub> /116 <sub>D</sub> /0x3734 <sub>ASCII</sub>	
3. ACU_Static_Converter_III USI SLAVE 2 .....	88
<b>FSP001_USI_Slave_2_ModuleStatus</b>	89
0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub>	
<b>FSP004_USI_Slave_2_ModuleInterlocks</b>	90
0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub>	
<b>FSP012_USI_Slave_2_USIConfig</b>	91
0x0C <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub>	
4. ACU_Static_Converter_III USI SLAVE 5 (M2M) .....	92
<b>FSP004_USI_Slave_5_ModuleInterlocks</b>	93
0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub>	

	<b>FSP012_USI_Slave_5_USIConfig</b> .....	.94
	0x0C <sub>h</sub> /12 <sub>d</sub> /0x3043 <sub>ASCII</sub>	
5.	ACU_Static_Converter_III USI SLAVE 6 (M2M) .....	95
	<b>FSP004_USI_Slave_6_ModuleInterlocks</b> .....	.96
	0x04 <sub>h</sub> /4 <sub>d</sub> /0x3034 <sub>ASCII</sub>	
	<b>FSP012_USI_Slave_6_USIConfig</b> .....	.97
	0x0C <sub>h</sub> /12 <sub>d</sub> /0x3043 <sub>ASCII</sub>	

**1. Änderungsliste**

Datum	Name	Kommentar
04.05.2022	D. Schupp	Dokument erstellt aus ACU-FSP mUSIC TFT

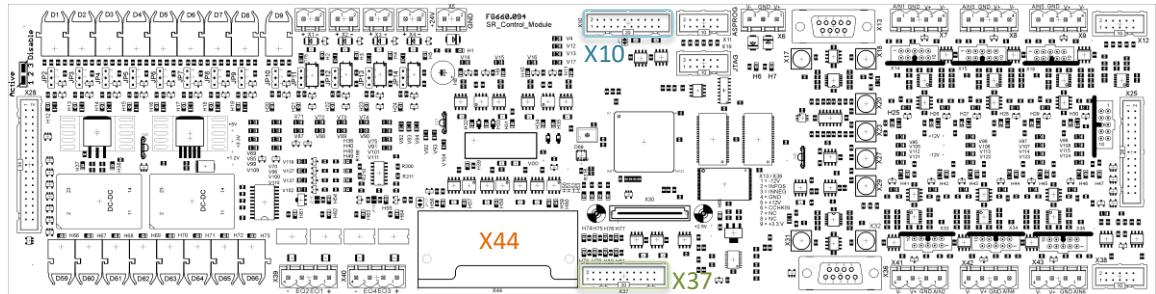
## 2. ACU\_Static\_Converter\_III USI SLAVE 1

Dieses Kapitel behandelt modulspezifische FSPs des Static Converters USI Slave 1 (SCM).

Informationen zum Static Converters USI Slave 3 finden sich im Kapitel 3 ab Seite 88.

Informationen zum Static Converters USI Slave 5 (M2M) finden sich im Kapitel 4 ab Seite 92.

Informationen zum Static Converters USI Slave 6 (M2M) finden sich im Kapitel 5 ab Seite 95.



**Abbildung 2.1: SCM Modul**

Master1	Master2	Master3	Master4
Slave1	Slave2	Slave3	Slave4

**Abbildung 2.2: X44 Ansicht von vorne**

Master (obere Reihe): das SCM bildet den Master und versucht über diese USIs andere Module als Slave anzubinden

Slave (untere Reihe): das SCM ist USI Slave und wird hierüber an die MFU angebunden. Nur Slave **1** und **2** werden unterstützt.

**X10** zwei weitere USI Master (**5** und **6**) für Modul zu Modul Kommunikation (M2M).

**X37** zwei weitere USI Slave (**5** und **6**) für Modul zu Modul Kommunikation (M2M).

Name	<b>FSP001_USI_Slave_1_ModuleStatus</b>
Adresse	<b>0x01H/1b/0x3031ASCII</b>
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

- [39] SR\_Wachdog\_OK
- [38] PSS\_active
- [37] Tripline nr 4
- [36] Tripline nr 3
- [35] Latched tripline nr 2
- [34] Latched tripline nr 1
- [33..32] Reserved for future features
- [31] USI\_Slave\_6\_isHighSpeed (M2M – X37)
- [30] USI\_Slave\_5\_isHighSpeed (M2M – X37)
- [29] USI\_Master\_6\_isHighSpeed (M2M – X10)
- [28] USI\_Master\_5\_isHighSpeed (M2M – X10)
- [27] USI\_Master\_4\_isHighSpeed (X44)
- [26] USI\_Master\_3\_isHighSpeed (X44)
- [25] USI\_Master\_2\_isHighSpeed (X44)
- [24] USI\_Master\_1\_isHighSpeed (X44)
- [23] Main contactor closed
- [22] ControllerEnabled External
- [21] Reserved for future features
- [20] Controller Enabled
- [19..16] Status des Moduls

[3..0]	Status
0x0	Kein Status lesbar
0x1	<i>cSTATUSSetDefaults</i> / <i>cSTATSUWaitForParameters</i> keine definierter Status
0x2	<i>cSTATUSUnitOff</i> Gerät ausgeschaltet
0x3	<i>cSTATUSLoadingBank</i> Bank laden
0x4	<i>cSTATUSSwitchingUnitOn</i> Gerät einschalten
0x5	<i>cSTATUSUnitOn</i> Gerät eingeschaltet
0x6	<i>cSTATUSControllerDisabledByFPGAInternalCause</i> FPGA interne Gründe (des Status erzeugenden Moduls) sperren den Regler
0x7	<i>cSTATUSControllerEnabled</i> Regler freigegeben
0x8	<i>cSTATUSSwitchingUnitOff</i> Gerät ausschalten
0x9	<i>cSTATUSControllerDisabledByCommand</i>

	Das Kommando <i>cCMDDisableController</i> sperrt den Regler
0xA	<i>cSTATUSControllerDisabledByFPGAExternalCause</i> FPGA externe Gründe (des Status erzeugenden Moduls) sperren den Regler
0xB	<i>cSTATUSResetInterlocks</i>
0xC	<i>cSTATUSMachineProtection</i>
0xD	n.u.
0xE	<i>cSTATUSPowerOnReset</i>
0xF	<i>cSTATUSWhenOthers</i> keine definierter Status

[15..12] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (z.B. Interlocks)
0x4	<i>cCMDDisableController</i>
0x5	<i>cCMDTriggerSomething</i> hiermit lassen sich Sonderfunktionen in Modulen auslösen

- [11..9] Reserviert  
Reserviert für zukünftige Anwendungen
- [8] *USI\_Slave\_2\_isHighSpeed* (X44)  
wenn ,1' ist USI im Highspeed Mode
- [7] *USI\_Slave\_1\_isHighSpeed* (X44)  
wenn ,1' ist USI im Highspeed Mode
- [6] n.u.
- [5] NoInterlocks  
wenn ,1' stehen keine Interlocks an  
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors  
wenn ,1' ist Modul fehlerfrei  
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings  
wenn ,1' ist Modul ohne Warnungen  
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady  
wenn ,1' ist Modul betriebsbereit  
Das Modul ist voll betriebsbereit
- [1] ChecksumOK  
wenn ,1' Parameter Checksumme OK  
Die Prüfsumme für die Modulparameter ist bestätigt.
- [0] ParametersLoaded  
wenn ,1' sind die Parameter geladen  
Das Modul hat seine Konfigurationsparameter geladen.

Name	<b>FSP002_USI_Slave_1_ModuleWarnings</b>
Adresse	<b>0x02H/2b/0x3032ASCII</b>
Tiefe	modulabhängig
I/O	3 Byte / 24 Bit
Reset	0x(siehe Beschreibung)H

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt (z.B. Temperatur des Moduls zu hoch).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] des FSP001\_USI\_Slave\_1\_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	<b>FSP003_USI_Slave_1_ModuleErrors</b>
Adresse	<b>0x03H/3b/0x3033ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] des FSP001\_USI\_Slave\_1\_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	<b>FSP004_USI_Slave_1_ModuleInterlocks</b>
Adresse	<b>0x04H/4b/0x3034ASCII</b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] des FSP001\_USI\_Slave\_1\_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

#### Gespeicherte Interlocks

- [79..74] n.u., immer ,1'
- [73] MainContactorClosedFailure\_n : it has to be configured as conditional interlock
- [72] nSignCompInterlock: signals comparator interlock
- [71] SR\_Watchdog\_OK.
- [70] USI\_Slave1\_HighSpeedMode
- [69] USI\_Slave2\_HighSpeedMode
- [68] ELECTRICAL\_IN[4] = X4
- [67] ELECTRICAL\_IN[3] = X3
- [66] ELECTRICAL\_IN[2] = X2
- [65] ELECTRICAL\_IN[1] = X1
- [64] QUENCH\_IN = QuenchOpticInterlock (D9)
- [63] OPTICAL\_IN[8] = (D8)
- [62] OPTICAL\_IN[7] = (D7)
- [61] OPTICAL\_IN[6] = (D6)
- [60] OPTICAL\_IN[5] = (D5)
- [59] OPTICAL\_IN[4] = (D4)
- [58] OPTICAL\_IN[3] = (D3)
- [57] OPTICAL\_IN[2] = (D2)
- [56] OPTICAL\_IN[1] = (D1)
- [55] COMP\_IN[16] = n.u., immer ,1'
- [54] COMP\_IN[15] = n.u., immer ,1'
- [53] COMP\_IN[14] = n.u., immer ,1'
- [52] COMP\_IN[13] = ADC\_Comp\_ThPos\_Exceeded[7] (X7)
- [51] COMP\_IN[12] = ADC\_Comp\_ThNeg\_Exceeded[6] (X43)
- [50] COMP\_IN[11] = ADC\_Comp\_ThPos\_Exceeded[6] (X43)
- [49] COMP\_IN[10] = ADC\_Comp\_ThNeg\_Exceeded[5] (X9)

- [48] COMP\_IN[9] = ADC\_Comp\_ThPos\_Exceeded[5] (X9)
- [47] COMP\_IN[8] = ADC\_Comp\_ThNeg\_Exceeded[4] (X42)
- [46] COMP\_IN[7] = ADC\_Comp\_ThPos\_Exceeded[4] (X42)
- [45] COMP\_IN[6] = ADC\_Comp\_ThNeg\_Exceeded[3] (X8)
- [44] COMP\_IN[5] = ADC\_Comp\_ThPos\_Exceeded[3] (X8)
- [43] COMP\_IN[4] = ADC\_Comp\_ThNeg\_Exceeded[2] (X41)
- [42] COMP\_IN[3] = ADC\_Comp\_ThPos\_Exceeded[2] (X41)
- [41] COMP\_IN[2] = ADC\_Comp\_ThNeg\_Exceeded[1] (X7)
- [40] COMP\_IN[1] = ADC\_Comp\_ThPos\_Exceeded[1] (X7)

#### Aktuell anstehende Interlocks

- [39..34] n.u., immer ,1'
- [33] MainContactorClosedFailure\_n : it has to be configured as conditional interlock
- [32] nSignCompInterlock: signals comparator interlock
- [31] SR\_Watchdog\_OK.
- [30] USI\_Slave1\_HighSpeedMode
- [29] USI\_Slave2\_HighSpeedMode
- [28] ELECTRICAL\_IN[4] = X4
- [27] ELECTRICAL\_IN[3] = X3
- [26] ELECTRICAL\_IN[2] = X2
- [25] ELECTRICAL\_IN[1] = X1
- [24] QUENCH\_IN = QuenchOpticInterlock (D9)
- [23] OPTICAL\_IN[8] = (D8)
- [22] OPTICAL\_IN[7] = (D7)
- [21] OPTICAL\_IN[6] = (D6)
- [20] OPTICAL\_IN[5] = (D5)
- [19] OPTICAL\_IN[4] = (D4)
- [18] OPTICAL\_IN[3] = (D3)
- [17] OPTICAL\_IN[2] = (D2)
- [16] OPTICAL\_IN[1] = (D1)
- [15] COMP\_IN[16] = n.u., immer ,1'
- [14] COMP\_IN[15] = n.u., immer ,1'
- [13] COMP\_IN[14] = n.u., immer ,1'
- [12] COMP\_IN[13] = ADC\_Comp\_ThPos\_Exceeded[7] (X7)
- [11] COMP\_IN[12] = ADC\_Comp\_ThNeg\_Exceeded[6] (X43)
- [10] COMP\_IN[11] = ADC\_Comp\_ThPos\_Exceeded[6] (X43)
- [9] COMP\_IN[10] = ADC\_Comp\_ThNeg\_Exceeded[5] (X9)
- [8] COMP\_IN[9] = ADC\_Comp\_ThPos\_Exceeded[5] (X9)
- [7] COMP\_IN[8] = ADC\_Comp\_ThNeg\_Exceeded[4] (X42)
- [6] COMP\_IN[7] = ADC\_Comp\_ThPos\_Exceeded[4] (X42)
- [5] COMP\_IN[6] = ADC\_Comp\_ThNeg\_Exceeded[3] (X8)

- [4] COMP\_IN[5] = ADC\_Comp\_ThPos\_Exceeded[3] (X8)
- [3] COMP\_IN[4] = ADC\_Comp\_ThNeg\_Exceeded[2] (X41)
- [2] COMP\_IN[3] = ADC\_Comp\_ThPos\_Exceeded[2] (X41)
- [1] COMP\_IN[2] = ADC\_Comp\_ThNeg\_Exceeded 1] (X7)
- [0] COMP\_IN[1] = ADC\_Comp\_ThPos\_Exceeded[1] (X7)

Name	<b>FSP005_USI_Slave_1_InterlocksEnable</b>
Adresse	<b>0x05H/5b/0x3035ASCII</b>
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Im FSP sind alle Interlock Enable Informationen des Moduls abgebildet sofern darüber Informationen zur Verfügung gestellt werden. I.d.R. werden auf Modulen z.B. Jumperstellungen bzgl. der Zulässigkeit von Interlocks abgefragt und deren Einstellungen hier abgelegt.

Ist ein Interlock aktiviert (also zugelassen) ist das korrespondierende Bit in diesem FSP gesetzt, nicht zugelassene, also dauerhaft gesperrte Interlocks werden durch eine ,0' dargestellt.

[39..28] n.u., immer ,0'

[28..25] wenn '1' Interlock des zugehörigen elektrischen Eingangs aktiv

[28] ELECTRICAL\_IN[4] = X4

[27] ELECTRICAL\_IN[3] = X3

[26] ELECTRICAL\_IN[2] = X2

[25] ELECTRICAL\_IN[1] = X1

[24] wenn '1' Interlock des zugehörigen Quench optischen Eingangs aktiv (D9)

[23..16] wenn '1' Interlock des zugehörigen optischen Eingangs aktiv

[23] OPTICAL\_IN[8] = (D8)

[22] OPTICAL\_IN[7] = (D7)

[21] OPTICAL\_IN[6] = (D6)

[20] OPTICAL\_IN[5] = (D5)

[19] OPTICAL\_IN[4] = (D4)

[18] OPTICAL\_IN[3] = (D3)

[17] OPTICAL\_IN[2] = (D2)

[16] OPTICAL\_IN[1] = (D1)

[15..0] n.u., immer ,0'

Name	<b>FSP009_USI_Slave_1_ModuleSerialNumber</b>
Adresse	<b>0x09H/9b/0x3039ASCII</b>
Tiefe	60 Byte / 480 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

Das Modul stellt eine ganze Reihe Seriennummern zur Verfügung, weil auch die aufsteckbaren Filter/Komparator Module und ggf. an X22 angeschlossene Erweiterungsmoduln eindeutige Seriennummern haben. Diese werden aus den Modulen ausgelesen und in diesem FSP gesammelt übertragen.

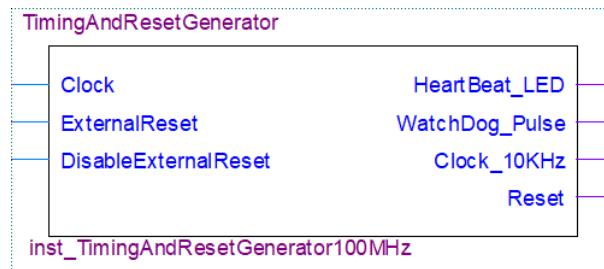
- [479..432] ExtensionCard\_X28\_ID[47..0]
- [431..384] ExtensionCard\_X25\_ID[47..0]
- [383..336] CompCard\_X10\_ID[47..0]
- [335..288] CompCard\_X35\_ID[47..0]
- [287..240] CompCard\_X16\_ID[47..0]
- [239..192] CompCard\_X34\_ID[47..0]
- [191..144] CompCard\_X15\_ID[47..0]
- [143..96] CompCard\_X33\_ID[47..0]
- [95..48] CompCard\_X14\_ID[47..0]
- [47..0] SR\_Card\_ID[47..0]

Name	<b>FSP010_USI_Slave_1_ModuleCommands</b>
Adresse	<b>0x0AH/10D/0x3041ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0000H

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

[15..12]      PrepareExternalReset

Normalerweise hat das Ausführen des Reset-Kommandos keinen Einfluss auf den Reset einer Modul Firmware. Der in der Firmwar eingesetzte TimingAndResetGenerator stellt aber generell die Möglichkeit eines externen Firmware Resets über dessen Eingang „ExternalReset“ zur Verfügung.



Dieser Eingang ist durch ein „high“ am Eingang „DisableExternalReset“ i.d.R. deaktiviert. Wird nun „0101“ an die Bits[15..12] dieses FSPs gesendet, wird dadurch „DisableExternalReset“ auf „low“ gesetzt. Wird nun der Eingang „ExternalReset“ „high“ wird eine Firmware-Reset des Moduls durchgeführt. Das setzen des Eingangs „ExternalReset“ erfolgt dabei durch das Kommando *cCMDResetUnit*, welches für mindestens 200µSekunden anstehen muss.

[11..5]      n.u.

[4]            Wenn „1“ → V5\_On\_V6\_Off aktiv

[3..0]          Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

Name	<b>FSP011_USI_Slave_1_ModuleInterlocksMask_n</b>
Adresse	<b>0x0B<sub>H</sub>/11<sub>D</sub>/0x3042<sub>ASCII</sub></b>
Tiefe	15 Byte / 120 Bit
I/O	lesen / schreiben
Reset	0x000000000000_0000000000_0000000000 <sub>H</sub>

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

#### Zugelassene Interlocks nach der Reglerfreigabe

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschütz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschütz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

- [119.. 114] n.u., immer ,1'
- [113] MainContactorClosedFailure\_n : it has to be configured as conditional interlock
- [112] nSignComplInterlock: signals comparator interlock
- [111] SR\_Watchdog\_OK.
- [110] USI\_Slave1\_HighSpeedMode
- [109] USI\_Slave2\_HighSpeedMode
- [108] ELECTRICAL\_IN[4] = X4
- [107] ELECTRICAL\_IN[3] = X3
- [106] ELECTRICAL\_IN[2] = X2
- [105] ELECTRICAL\_IN[1] = X1
- [104] QUENCH\_IN = QuenchOpticInterlock (D9)
- [103] OPTICAL\_IN[8] = (D8)
- [102] OPTICAL\_IN[7] = (D7)
- [101] OPTICAL\_IN[6] = (D6)
- [100] OPTICAL\_IN[5] = (D5)
- [99] OPTICAL\_IN[4] = (D4)
- [98] OPTICAL\_IN[3] = (D3)
- [97] OPTICAL\_IN[2] = (D2)
- [96] OPTICAL\_IN[1] = (D1)
- [95..93] n.u., immer ,1'
- [92] COMP\_IN[13] = ADC\_Comp\_ThPos\_Exceeded [7] (X7)
- [91] COMP\_IN[12] = ADC\_Comp\_ThNeg\_Exceeded [6] (X43)
- [90] COMP\_IN[11] = ADC\_Comp\_ThPos\_Exceeded [6] (X43)
- [89] COMP\_IN[10] = ADC\_Comp\_ThNeg\_Exceeded [5] (X9)
- [88] COMP\_IN[9] = ADC\_Comp\_ThPos\_Exceeded [5] (X9)
- [87] COMP\_IN[8] = ADC\_Comp\_ThNeg\_Exceeded [4] (X42)

- [86] COMP\_IN[7] = ADC\_Comp\_ThPos\_Exceeded [4] (X42)
- [85] COMP\_IN[6] = ADC\_Comp\_ThNeg\_Exceeded [3] (X8)
- [84] COMP\_IN[5] = ADC\_Comp\_ThPos\_Exceeded [3] (X8)
- [83] COMP\_IN[4] = ADC\_Comp\_ThNeg\_Exceeded [2] (X41)
- [82] COMP\_IN[3] = ADC\_Comp\_ThPos\_Exceeded [2] (X41)
- [81] COMP\_IN[2] = ADC\_Comp\_ThNeg\_Exceeded [1] (X7)
- [80] COMP\_IN[1] = ADC\_Comp\_ThPos\_Exceeded[1] (X7)

#### Gespeicherte Interlocks

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

- [79..74] n.u., immer ,1'
- [73] MainContactorClosedFailure\_n : it has to be configured as conditional interlock
- [72] nSignCompInterlock: signals comparator interlock
- [71] SR\_Watchdog\_OK.
- [70] USI\_Slave1\_HighSpeedMode
- [69] USI\_Slave2\_HighSpeedMode
- [68] ELECTRICAL\_IN[4] = X4
- [67] ELECTRICAL\_IN[3] = X3
- [66] ELECTRICAL\_IN[2] = X2
- [65] ELECTRICAL\_IN[1] = X1
- [64] QUENCH\_IN = QuenchOpticInterlock (D9)
- [63] OPTICAL\_IN[8] = (D8)
- [62] OPTICAL\_IN[7] = (D7)
- [61] OPTICAL\_IN[6] = (D6)
- [60] OPTICAL\_IN[5] = (D5)
- [59] OPTICAL\_IN[4] = (D4)
- [58] OPTICAL\_IN[3] = (D3)
- [57] OPTICAL\_IN[2] = (D2)
- [56] OPTICAL\_IN[1] = (D1)
- [55..53] n.u., immer ,1'
- [52] COMP\_IN[13] = ADC\_Comp\_ThPos\_Exceeded [7] (X7)
- [51] COMP\_IN[12] = ADC\_Comp\_ThNeg\_Exceeded [6] (X43)
- [50] COMP\_IN[11] = ADC\_Comp\_ThPos\_Exceeded [6] (X43)
- [49] COMP\_IN[10] = ADC\_Comp\_ThNeg\_Exceeded [5] (X9)
- [48] COMP\_IN[9] = ADC\_Comp\_ThPos\_Exceeded [5] (X9)
- [47] COMP\_IN[8] = ADC\_Comp\_ThNeg\_Exceeded [4] (X42)
- [46] COMP\_IN[7] = ADC\_Comp\_ThPos\_Exceeded [4] (X42)
- [45] COMP\_IN[6] = ADC\_Comp\_ThNeg\_Exceeded [3] (X8)
- [44] COMP\_IN[5] = ADC\_Comp\_ThPos\_Exceeded [3] (X8)
- [43] COMP\_IN[4] = ADC\_Comp\_ThNeg\_Exceeded [2] (X41)

- [42] COMP\_IN[3] = ADC\_Comp\_ThPos\_Exceeded [2] (X41)
- [41] COMP\_IN[2] = ADC\_Comp\_ThNeg\_Exceeded [1] (X7)
- [40] COMP\_IN[1] = ADC\_Comp\_ThPos\_Exceeded[1] (X7)

#### Aktuell anstehende Interlocks

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [39..34] n.u., immer ,1'
- [33] MainContactorClosedFailure\_n : it has to be configured as conditional interlock
- [32] nSignCompInterlock: signals comparator interlock
- [31] SR\_Watchdog\_OK.
- [30] USI\_Slave1\_HighSpeedMode
- [29] USI\_Slave2\_HighSpeedMode
- [28] ELECTRICAL\_IN[4] = X4
- [27] ELECTRICAL\_IN[3] = X3
- [26] ELECTRICAL\_IN[2] = X2
- [25] ELECTRICAL\_IN[1] = X1
- [24] QUENCH\_IN = QuenchOpticInterlock (D9)
- [23] OPTICAL\_IN[8] = (D8)
- [22] OPTICAL\_IN[7] = (D7)
- [21] OPTICAL\_IN[6] = (D6)
- [20] OPTICAL\_IN[5] = (D5)
- [19] OPTICAL\_IN[4] = (D4)
- [18] OPTICAL\_IN[3] = (D3)
- [17] OPTICAL\_IN[2] = (D2)
- [16] OPTICAL\_IN[1] = (D1)
- [15..13] n.u., immer ,1'
- [12] COMP\_IN[13] = ADC\_Comp\_ThPos\_Exceeded [7] (X7)
- [11] COMP\_IN[12] = ADC\_Comp\_ThNeg\_Exceeded [6] (X43)
- [10] COMP\_IN[11] = ADC\_Comp\_ThPos\_Exceeded [6] (X43)
- [9] COMP\_IN[10] = ADC\_Comp\_ThNeg\_Exceeded [5] (X9)
- [8] COMP\_IN[9] = ADC\_Comp\_ThPos\_Exceeded [5] (X9)
- [7] COMP\_IN[8] = ADC\_Comp\_ThNeg\_Exceeded [4] (X42)
- [6] COMP\_IN[7] = ADC\_Comp\_ThPos\_Exceeded [4] (X42)
- [5] COMP\_IN[6] = ADC\_Comp\_ThNeg\_Exceeded [3] (X8)
- [4] COMP\_IN[5] = ADC\_Comp\_ThPos\_Exceeded [3] (X8)
- [3] COMP\_IN[4] = ADC\_Comp\_ThNeg\_Exceeded [2] (X41)
- [2] COMP\_IN[3] = ADC\_Comp\_ThPos\_Exceeded [2] (X41)
- [1] COMP\_IN[2] = ADC\_Comp\_ThNeg\_Exceeded [1] (X7)
- [0] COMP\_IN[1] = ADC\_Comp\_ThPos\_Exceeded[1] (X7)

Name	<b>FSP012_USI_Slave_1_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

[7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3] n.u.

[2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	<b>FSP013_USI_Slave_1_PeripheralConfig</b>
Adresse	<b>0x0DH/13D/0x3044ASCII</b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80H

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

- [7] wird '1' wenn die NIOS-CPU des Moduls alle Parameter, die zur Parametrierung der evtl. Slave-Module an den USI-Master Anschlüssen, geladen hat.
- [6..0] n.u.

Name	<b>FSP030_USI_Slave_1_SetValue_A</b>
Adresse	<b>0x1E<sub>H</sub>/30<sub>D</sub>/0x3145<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes\_A an diverse Ziele.

[23..0] 20 Bit Sollwert\_A, wird über verschiedene Multiplexer wahlweise diversen Zielen als end-gültiger Sollwert\_A vorgegeben:

- Als Sollwert für den PI Regler **1** mittels des Sollwert-Multiplexer, welcher über „FSP070\_USI\_Slave\_1\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **2** mittels des Sollwert-Multiplexer, welcher über „FSP080\_USI\_Slave\_1\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **1** mittels des Istwert-Multiplexer, welcher über „FSP070\_USI\_Slave\_1\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **2** mittels des Istwert-Multiplexer, welcher über „FSP080\_USI\_Slave\_1\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **1** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP077\_USI\_Slave\_1\_Controller\_1\_AdderSourceSelectionMultiplexer“ konfiguriert werden.
- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **2** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP087\_USI\_Slave\_1\_Controller\_2\_AdderSourceSelectionMultiplexer“ konfiguriert werden.

Name	<b>FSP031_USI_Slave_1_SetValue_B</b>
Adresse	<b>0x1F<sub>H</sub>/31<sub>D</sub>/0x3146<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittelung eines 16 Bit Sollwertes\_B an diverse Ziele.

[23..0] 20 Bit Sollwert\_B, wird über verschiedene Multiplexer wahlweise diversen Zielen als end-gültiger Sollwert\_B vorgegeben:

- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **1** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP077\_USI\_Slave\_1\_Controller\_1\_AdderSourceSelectionMultiplexer“ konfiguriert werden.
- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **2** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP087\_USI\_Slave\_1\_Controller\_2\_AdderSourceSelectionMultiplexer“ konfiguriert werden.

Name	<b>FSP032_USI_Slave_1_SetValue_C</b>
Adresse	<b>0x20H/32D/0x3230ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000H

Dieser FSP dient zur Übermittelung eines 16 Bit Sollwertes\_C an diverse Ziele.

[23..0] 20 Bit Sollwert\_C, wird über verschiedene Multiplexer wahlweise diversen Zielen als end-gültiger Sollwert\_C vorgegeben:

- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **1** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP077\_USI\_Slave\_1\_Controller\_1\_AdderSourceSelectionMultiplexer“ konfiguriert werden.
- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **2** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP087\_USI\_Slave\_1\_Controller\_2\_AdderSourceSelectionMultiplexer“ konfiguriert werden.

Name	<b>FSP033_USI_Slave_1_SetValue_D</b>
Adresse	<b>0x21H/33D/0x3231ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000H

Dieser FSP dient zur Übermittelung eines 16 Bit Sollwertes\_D an diverse Ziele.

[23..0] 20 Bit Sollwert\_D, wird über verschiedene Multiplexer wahlweise diversen Zielen als end-gültiger Sollwert\_D vorgegeben:

- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **1** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP077\_USI\_Slave\_1\_Controller\_1\_AdderSourceSelectionMultiplexer“ konfiguriert werden.
- Als Summand **1** und/oder Summand **2** für die beiden internen Addierer des Reglers **2** mittels der Addierer-Summand-1-2-Multiplexer, welche über „FSP087\_USI\_Slave\_1\_Controller\_2\_AdderSourceSelectionMultiplexer“ konfiguriert werden.

Name	<b>FSP040_USI_Slave_1_RemoteUpdateStatus</b>
Adresse	<b>0x28H/40D/0x3238ASCII</b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

- [7..3] n.u.
- [2] FSP042\_Busy  
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen
- [1] FSP042\_ReadyToSendData,  
wenn ,1' können Daten vom Host an FSP42 abgeholt werden
- [0] FSP042\_ReadyToReceiveData,  
wenn ,1' können Daten vom Host an FSP42 gesendet werden

Name	<b>FSP041_USI_Slave_1_RemoteUpdateCommands</b>
Adresse	<b>0x29H/41D/0x3239ASCII</b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00H

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init

Name	<b>FSP042_USI_Slave_1_RemoteUpdateData</b>
Adresse	<b>0x2Ah/42D/0x3241ASCII</b>
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung)H

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

**Achtung:** Dieser FSP ist besonders im Hinblick auf Lesen und Schreiben. Da der FSP einen nachgeschalteten seriellen Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden.

### Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

### Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

### Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ADCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashes.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

**Abbrechen/Beenden**

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

Name	<b>FSP045_USI_Slave_1_AlteraRemoteUpdateCmd</b>
Adresse	<b>0x2DH/45D/0x3244ASCII</b>
Tiefe	6/7 Byte / 48/56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0H

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

#### Imagetyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyp.

#### Imagetyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

Für CycloneV ändert sich dieses FSP inhaltlich leicht.

Die Startadresse wandert um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)

#### Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

#### Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

#### Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read\_n\_Write\_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	<b>FSP046_USI_Slave_1_AlteraRemoteUpdateStatus</b>
Adresse	<b>0x2EH/46D/0x3245ASCII</b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung)H

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

- [79..72] ReconfTriggerCondition
- [71..69] Force Osc\_int n.u.
- [68] Force Osc\_int
- [67..44] Boot Address
- [43..41] Wachdog Enable n.u.
- [40] Wachdog Enable
- [39..8] Wachdog timeout
- [7..5] Cd\_early n.u.
- [4] Cd\_early, wenn '1' ist ein gültiges Application-Image an der Bootadresse zu finden
- [3..2] MSM State n.u.
- [1..0] MSM State ('00' = Factory Image, '11' = Application Image)

Name	<b>FSP050_USI_Slave_1_SupplyMonitoring</b>
Adresse	<b>0x32H/50D/0x3332ASCII</b>
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -12 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 12 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

Name	<b>FSP051_USI_Slave_1_PotiValues</b>
Adresse	<b>0x33H/51D/0x3333ASCII</b>
Tiefe	32Byte / 256 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Liefert die vorzeichenbehafteten Poti-Spannungen der Komparator/Potimodule. Diese Spannungen definieren die Schaltschwelle der Komparatoren.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

- [255..240] CompX14\_ADC\_1\_ThrNeg[15..0]
- [239..224] CompX14\_ADC\_1\_ThrPos[15..0]
- [223..208] CompX33\_ADC\_2\_ThrNeg[15..0]
- [207..192] CompX33\_ADC\_2\_ThrPos[15..0]
- [191..176] CompX15\_ADC\_3\_ThrNeg[15..0]
- [175..160] CompX15\_ADC\_3\_ThrPos[15..0]
- [159..144] CompX34\_ADC\_4\_ThrNeg[15..0]
- [143..128] CompX34\_ADC\_4\_ThrPos[15..0]
- [127..112] CompX16\_ADC\_5\_ThrNeg[15..0]
- [111..96] CompX16\_ADC\_5\_ThrPos[15..0]
- [95..80] CompX35\_ADC\_6\_ThrNeg[15..0]
- [79..64] CompX35\_ADC\_6\_ThrPos[15..0]
- [63..48] CompX22\_ADC\_7\_ThrNeg[15..0]
- [47..32] CompX22\_ADC\_7\_ThrPos[15..0]
- [31..16] n.u. all zeros
- [15..0] n.u. all zeros

Name	<b>FSP052_USI_Slave_1_ComparatorValues</b>
Adresse	<b>0x34H/52D/0x3334ASCII</b>
Tiefe	32 Byte / 256 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Liefert die vorzeichenbehafteten Komparator-Spannungen der Komparator/Potimodule, jeweils vor und hinter dem Filter.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0‘.

Die Spannungen sind dabei wie folgt sortiert.

- [255..240] CompX14\_ADC\_1\_FilteredValue[15..0]
- [239..224] CompX14\_ADC\_1\_DirectValue[15..0]
- [223..208] CompX33\_ADC\_2\_FilteredValue [15..0]
- [207..192] CompX33\_ADC\_2\_DirectValue [15..0]
- [191..176] CompX15\_ADC\_3\_FilteredValue [15..0]
- [175..160] CompX15\_ADC\_3\_DirectValue [15..0]
- [159..144] CompX34\_ADC\_4\_FilteredValue [15..0]
- [143..128] CompX34\_ADC\_4\_DirectValue [15..0]
- [127..112] CompX16\_ADC\_5\_FilteredValue [15..0]
- [111..96] CompX16\_ADC\_5\_DirectValue [15..0]
- [95..80] CompX35\_ADC\_6\_FilteredValue [15..0]
- [79..64] CompX35\_ADC\_6\_DirectValue [15..0]
- [63..48] CompX22\_ADC\_7\_FilteredValue [15..0]
- [47..32] CompX22\_ADC\_7\_DirectValue [15..0]
- [31..16] n.u. all zeros
- [15..0] n.u. all zeros

Name	<b>FSP053_USI_Slave_1_OnBoardTemperatures</b>
Adresse	<b>0x35H/53D/0x3335ASCII</b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

[31..24]      Alarm\_Info

[7..0]	Bedeutung
0x00	n.u., Resetzustand
0x01	Device <b>1</b> nicht bereit
0x02	Device <b>2</b> nicht bereit
0x04	Device <b>3</b> nicht bereit
0x08	DeviceSearchRunDone
0x10	Device <b>1</b> Grenze überschritten
0x20	Device <b>2</b> Grenze überschritten
0x40	Device <b>3</b> Grenze überschritten
0x80	Alarm Interrupt wenn Grenze bei einem Device überschritten

[23..16]      Sensor **3**: Temperatur Modul Mitte (8 Bit)

[15..8]      Sensor **2**: Temperatur FPGA (8 Bit)

[7..0]      Sensor **1**: Temperatur DC-DC Wandler (8 Bit)

Die Temperaturgrenzen liegen fest auf 70°C für jeden Kanal.

Name	<b>FSP054_USI_Slave_1_HS_ADC_Value</b>
Adresse	<b>0x36H/54b/0x3336ASCII</b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

It contains the 4 data channels coming from the two AD7322 High Speed ADCs.

The analog input signals can be connected to X13 and X36.

An den Lemo-Ausgänge X17(ADC1), X18(ADC2) und X31(ADC3), X32(ADC4) lassen die die ADC-Eingangsspannungen überwachen.

[63..48]      **High Speed ADC1** - X13.2

[47..32]      **High Speed ADC2** - X13.3

[31..16]      **High Speed ADC3** - X36.2

[15..0]      **High Speed ADC4** - X36.3

Name	<b>FSP060_USI_Slave_1_ValCounter</b>
Adresse	<b>0x3C<sub>H</sub>/60<sub>D</sub>/0x3343<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_00 <sub>H</sub>

Gibt Zeiten vor, die das Modul für die Ein-/Ausschaltzyklen benötigt

- [31..24] ,Val\_CutOffTime\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Wiedereinschaltsperrre des Gerätes freigegeben wird nachdem das Gerät ausgeschaltet wurde
- [23..16] ,Val\_Timer3\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Regler-Freigabe erfolgt nachdem der elektrische Schaltkontakt 3 eingeschaltet wurde
- [15..8] ,Val\_Timer2\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunden, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 3 eingeschaltet wird nachdem der elektrische Schaltkontakt 2 eingeschaltet wurde
- [7..0] ,Val\_Timer1\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 2 eingeschaltet wird nachdem der elektrische Schaltkontakt 1 eingeschaltet wurde

Name	<b>FSP064_USI_Slave_1_InterlockSelectMUX_n</b>
Adresse	<b>0x40H/64D/0x3430ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung)H

It collects the selectors for the multiplexed signals below described.

[23..22] n.u.

[21..16] It selects as MainContactorClosed one of the signals below:

[5..0]	Bedeutung
0x00	InterlockBus [0] => COMP_IN[1] = ADC_Comp_ThPos_Exceeded[1] (X7)
0x01	InterlockBus [1] => COMP_IN[1] ADC_Comp_ThNeg_Exceeded[1] (X7)
0x02	InterlockBus [2] => COMP_IN[2] ADC_Comp_ThPos_Exceede [2] (X41)
0x03	InterlockBus [3] => COMP_IN[2] ADC_Comp_ThNeg_Exceede [2] (X41)
0x04	InterlockBus [4] => COMP_IN[3] ADC_Comp_ThPos_Exceede [3] (X8)
0x05	InterlockBus [5] => COMP_IN[3] ADC_Comp_ThNeg_Exceede [3] (X8)
0x06	InterlockBus [6] => COMP_IN[4] ADC_Comp_ThPos_Exceede [4] (X42)
0x07	InterlockBus [7] => COMP_IN[4] ADC_Comp_ThNegExceede [4] (X42)
0x08	InterlockBus [8] => COMP_IN[5] ADC_Comp_ThPos_Exceede [5] (X9)
0x09	InterlockBus [9] => COMP_IN[5] ADC_Comp_ThNeg_Exceede [5] (X9)
0x0a	InterlockBus [10] => COMP_IN[6] ADC_Comp_ThPos_Exceede [6] (X43)
0x0b	InterlockBus [11] => COMP_IN[6] ADC_Comp_ThNeg_Exceeded[6] (X43)
0x0c	InterlockBus [12] => COMP_IN[7] ADC_Comp_ThPos_Exceeded[7] (X7)
0x0d	InterlockBus[13] => n.u.
0x0e	InterlockBus[14] => n.u.
0x0f	InterlockBus[15] => n.u.
0x10	InterlockBus [16] => Optic Input interlocks [1] (D1)
0x11	InterlockBus [17] => Optic Input interlocks [2] (D2)
0x12	InterlockBus [18] => Optic Input interlocks [3] (D3)
0x13	InterlockBus [19] => Optic Input interlocks [4] (D4)
0x14	InterlockBus [20] => Optic Input interlocks [5] (D5)
0x15	InterlockBus [21] => Optic Input interlocks [6] (D6)
0x16	InterlockBus [22] => Optic Input interlocks [7] (D7)
0x17	InterlockBus [23] => Optic Input interlocks [8] (D8)
0x18	InterlockBus[24] => QuenchOpticInterlock (D9)
0x19	InterlockBus [25] => ElectricInputs Interlocks [1] (X1)
0x1a	InterlockBus [26] => ElectricInputs Interlocks [2] (X2)
0x1b	InterlockBus [27] => ElectricInputs Interlocks [3] (X3)
0x1c	InterlockBus [28] => ElectricInputs Interlocks [4] (X4)
0x1d	InterlockBus[29] => USI_Slave2_HighSpeedMode
0x1e	InterlockBus[30] => USI_Slave1_HighSpeedMode
0x1f	InterlockBus[31] => SR_Watchdog_OK.
0x20	InterlockBus[32] => nSignComplInterlock: signals comparator interlock
0x21	InterlockBus[33] => MainContactorClosedFailure_n
0x22	InterlockBus[34] => n.u., always ,1'
0x23	InterlockBus[35] => n.u., always ,1'

0x24	InterlockBus[36] => n.u., always ,1'
0x25	InterlockBus[37] => n.u., always ,1'
0x26	InterlockBus[38] => n.u., always ,1'
0x27	InterlockBus[39] => n.u., always ,1'
0x28	GND
0x29	VCC

[14..15] n.u.

[13..8] It selects as PSS\_Active one of the signals below:

[5..0]	Bedeutung
0x00	InterlockMemorized [0] => COMP_IN[1] = ADC_Comp_ThPos_Exceeded[1] (X7)
0x01	InterlockMemorized [1] => COMP_IN[1] ADC_Comp_ThNeg_Exceeded[1] (X7)
0x02	InterlockMemorized [2] => COMP_IN[2] ADC_Comp_ThPos_Exceede [2] (X41)
0x03	InterlockMemorized [3] => COMP_IN[2] ADC_Comp_ThNeg_Exceede [2] (X41)
0x04	InterlockMemorized [4] => COMP_IN[3] ADC_Comp_ThPos_Exceede [3] (X8)
0x05	InterlockMemorized [5] => COMP_IN[3] ADC_Comp_ThNeg_Exceede [3] (X8)
0x06	InterlockMemorized [6] => COMP_IN[4] ADC_Comp_ThPos_Exceede [4] (X42)
0x07	InterlockMemorized [7] => COMP_IN[4] ADC_Comp_ThNegExceede [4] (X42)
0x08	InterlockMemorized [8] => COMP_IN[5] ADC_Comp_ThPos_Exceede [5] (X9)
0x09	InterlockMemorized [9] => COMP_IN[5] ADC_Comp_ThNeg_Exceede [5] (X9)
0x0a	InterlockMemorized [10] => COMP_IN[6] ADC_Comp_ThPos_Exceede [6] (X43)
0x0b	InterlockMemorized [11] => COMP_IN[6] ADC_Comp_ThNeg_Exceeded[6] (X43)
0x0c	InterlockMemorized [12] => COMP_IN[7] ADC_Comp_ThPos_Exceeded[7] (X7)
0x0d	InterlockMemorized [13] => n.u.
0x0e	InterlockMemorized [14] => n.u.
0x0f	InterlockMemorized [15] => n.u.
0x10	InterlockMemorized [16] => Optic Input interlocks [1] (D1)
0x11	InterlockMemorized [17] => Optic Input interlocks [2] (D2)
0x12	InterlockMemorized [18] => Optic Input interlocks [3] (D3)
0x13	InterlockMemorized [19] => Optic Input interlocks [4] (D4)
0x14	InterlockMemorized [20] => Optic Input interlocks [5] (D5)
0x15	InterlockMemorized [21] => Optic Input interlocks [6] (D6)
0x16	InterlockMemorized [22] => Optic Input interlocks [7] (D7)
0x17	InterlockMemorized [23] => Optic Input interlocks [8] (D8)
0x18	InterlockMemorized [24] => QuenchOpticInterlock (D9)
0x19	InterlockMemorized [25] => ElectricInputs Interlocks [1] (X1)
0x1a	InterlockMemorized [26] => ElectricInputs Interlocks [2] (X2)
0x1b	InterlockMemorized [27] => ElectricInputs Interlocks [3] (X3)
0x1c	InterlockMemorized [28] => ElectricInputs Interlocks [4] (X4)
0x1d	InterlockMemorized [29] => USI_Slave2_HighSpeedMode
0x1e	InterlockMemorized [30] => USI_Slave1_HighSpeedMode
0x1f	InterlockMemorized [31] => SR_Watchdog_OK.
0x20	InterlockMemorized [32] => nSignComplInterlock: signals comparator interlock
0x21	InterlockMemorized [33] => MainContactorClosedFailure_n
0x22	InterlockMemorized [34] => n.u., always ,1'

0x23	InterlockMemorized [35] => n.u., always ,1'
0x24	InterlockMemorized [36] => n.u., always ,1'
0x25	InterlockMemorized [37] => n.u., always ,1'
0x26	InterlockMemorized [38] => n.u., always ,1'
0x27	InterlockMemorized[39] => n.u., always ,1'
0x28	GND
0x29	VCC

[7..6] n.u.

[5..0] It selects as ControllerEnable\_External one of the signals below:

[5..0]	Bedeutung
0x00	InterlockBus[0] => ADC_Comp_ThPos_Exeed[0] (X7)
0x01	InterlockBus[1] => ADC_Comp_ThNeg_Exeed[0] (X7)
0x02	InterlockBus[2] => ADC_Comp_ThPos_Exeed[1] (X41)
0x03	InterlockBus[3] => ADC_Comp_ThNeg_Exeed[1] (X41)
0x04	InterlockBus[4] => ADC_Comp_ThPos_Exeed[2] (X8)
0x05	InterlockBus[5] => ADC_Comp_ThNeg_Exeed[2] (X8)
0x06	InterlockBus[6] => ADC_Comp_ThPos_Exeed[3] (X42)
0x07	InterlockBus[7] => ADC_Comp_ThNeg_Exeed[3] (X42)
0x08	InterlockBus[8] => ADC_Comp_ThPos_Exeed[4] (X9)
0x09	InterlockBus[9] => ADC_Comp_ThNeg_Exeed[4] (X9)
0x0a	InterlockBus[10] => ADC_Comp_ThPos_Exeed[5] (X43)
0x0b	InterlockBus[11] => ADC_Comp_ThNeg_Exeed[5] (X43)
0x0c	InterlockBus[12] => ADC_Comp_ThPos_Exeed[6] (X7)
0x0d	InterlockBus[13] => n.u.
0x0e	InterlockBus[14] => n.u.
0x0f	InterlockBus[15] => n.u.
0x10	InterlockBus[16] => Optic Input interlocks [0]
0x11	InterlockBus[17] => Optic Input interlocks [1]
0x12	InterlockBus[18] => Optic Input interlocks [2]
0x13	InterlockBus[19] => Optic Input interlocks [3]
0x14	InterlockBus[20] => Optic Input interlocks [4]
0x15	InterlockBus[21] => Optic Input interlocks [5]
0x16	InterlockBus[22] => Optic Input interlocks [6]
0x17	InterlockBus[23] => Optic Input interlocks [7]
0x18	InterlockBus[24] => QuenchOpticInterlock
0x19	InterlockBus[25] => ElectricInputs Interlocks [0]
0x1a	InterlockBus[26] => ElectricInputs Interlocks [1]
0x1b	InterlockBus[27] => ElectricInputs Interlocks [2]
0x1c	InterlockBus[28] => ElectricInputs Interlocks [3]
0x1d	InterlockBus[29] => USI_Slave2_HighSpeedMode
0x1e	InterlockBus[30] => USI_Slave1_HighSpeedMode
0x1f	InterlockBus[31] => SR_Watchdog_OK.
0x20	InterlockBus[32] => nSignComplInterlock: signals comparator interlock
0x21	InterlockBus[33] => MainContactorClosedFailure_n
0x22	InterlockBus[34] => n.u., always ,1'
0x23	InterlockBus[35] => n.u., always ,1'

0x24	InterlockBus[36] => n.u., always ,1'
0x25	InterlockBus[37] => n.u., always ,1'
0x26	InterlockBus[38] => n.u., always ,1'
0x27	InterlockBus[39] => n.u., always ,1'
0x28	Tripline 4
0x29	Tripline 3
0x2a	Tripline 2
0x2b	Tripline 1
0x2c	GND
0x2d	VCC

Name	<b>FSP070_USI_Slave_1_Controller_1_InputSourceSelectionMultiplexer</b>
Adresse	<b>0x46H/70b/0x3436ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_00H

This is the selector of the Set and Actual value for the PI controller 1.

Das Äquivalent für Regler 2 ist der "FSP080\_USI\_Slave\_1\_Controller\_2\_InputSourceSelectionMultiplexer"

[15..10] n.u.

[9] when it is set to 1, it negates the **Actual value** mux output.

[8] when it is set to 1, it negates the **Set value** mux output.

[7..4] selector bits for the **Actual value** mux.

[3..0]	
0x0	All zeros
0x1	FSP30_SetValue_A[23..4]
0x2	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x3	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x4	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x5	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x6	<b>HighSpeed ADC1</b> Data[15..0], GND_BUS[3..0] (X13.2)
0x7	<b>HighSpeed ADC2</b> Data[15..0], GND_BUS[3..0] (X13.3)
0x8	<b>HighSpeed ADC3</b> Data[15..0], GND_BUS[3..0] (X36.2)
0x9	<b>HighSpeed ADC4</b> Data[15..0], GND_BUS[3..0] (X36.3)
0xA	ADCValAsActVal_C1[19..0] (see FSP075_USI_Slave_1_Controller_1_ADCValAsSetValue)
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] selector bits for the **Set value** mux.

[3..0]	
0x0	All zeros
0x1	FSP30_SetValue_A[23..4]
0x2	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x3	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x4	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x5	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x6	<b>HighSpeed ADC1</b> Data[15..0], GND_BUS[3..0] (X13.2)

0x7	<b>HighSpeed ADC2</b> Data[15..0], GND_BUS[3..0] (X13.3)
0x8	<b>HighSpeed ADC3</b> Data[15..0], GND_BUS[3..0] (X36.2)
0x9	<b>HighSpeed ADC4</b> Data[15..0], GND_BUS[3..0] (X36.3)
0xA	ADCValAsActVal_C1[19..0] (see FSP075_USI_Slave_1_Controller_1_ADCValAsSetValue)
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP071_USI_Slave_1_Controller_1_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x47H/71b/0x3437 ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001H

This is the multiplier factor of the difference between Set and Actual value of the PI controller 1.

Das Äquivalent für Regler 2 ist der "FSP081\_USI\_Slave\_1\_Controller\_2\_DifferenceCalculatorMultiplier"

[15..11] n.u.

[10..0] multiplier factor value.

Name	<b>FSP072_USI_Slave_1_Controller_1_PI_Settings</b>
Adresse	<b>0x48H/72b/0x3438ASCII</b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_0000000_00000000_00000000H

These are the PI settings for the PI controller 1.

Das Äquivalent für Regler 2 ist der "FSP082\_USI\_Slave\_1\_Controller\_2\_PI\_Settings"

[103..96] Controller\_1\_PI\_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller\_1\_I\_Part (32 Bit), repräsentiert den I Anteil des PI Regler 1.

[63..32] Controller\_1\_P2\_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler 1.

[31..0] Controller\_1\_P1\_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler 1.

Name	<b>FSP073_USI_Slave_1_Controller_1_Limits</b>
Adresse	<b>0x49H/73b/0x3439ASCII</b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000H

Über diesen FSP können die Bereichsgrenzen des PI Regler **1** festgelegt werden.

Das Äquivalent für Regler **2** ist der „FSP083\_USI\_Slave\_1\_Controller\_2\_Limits“.

[47..24] Controller\_1\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **1**

[23..0] Controller\_1\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **1**

Name	<b>FSP074_USI_Slave_1_Controller_1_ComparatorLimits</b>
Adresse	<b>0x4A<sub>H</sub>/74<sub>D</sub>/0x3441<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **2** ist der „FSP084\_USI\_Slave\_1\_Controller\_2\_ComparatorLimits“.

[96..72] Controller\_2\_I\_Part\_ComparatorOFFThreshold (20 Bit)

[71..48] Controller\_2\_I\_Part\_ComparatorONThreshold (20 Bit)

[47..24] Controller\_2\_P2\_Part\_ComparatorOFFThreshold (20 Bit)

[23..0] Controller\_2\_P2\_Part\_ComparatorONThreshold (20 Bit)

Name	<b>FSP075_USI_Slave_1_Controller_1_ADCValAsSetActValue</b>
Adresse	<b>0x4B<sub>H</sub>/75<sub>D</sub>/0x3442<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

It selects the ADC values listed below as possible Set or Actual value.

This FSP works in cooperation with "FSP070\_USI\_Slave\_1\_Controller\_1\_InputSourceSelectionMultiplexer".

Das Äquivalent für Regler 2 ist der „FSP085\_USI\_Slave\_1\_Controller\_2\_ADCValAsSetActValue“.

#### [7..4] ADC comparator outputs as **actual value**

[3..0]	
0x0	All zeros
0x1	ADC ch 1 (X7) Direct Value (X14)
0x2	ADC ch 1 (X7) Filtered Value (X14)
0x3	ADC ch 2 (X41) Direct Value (X33)
0x4	ADC ch 2 (X41) Filtered Value (X33)
0x5	ADC ch 3 (X8) Direct Value (X15)
0x6	ADC ch 3 (X8) Filtered Value (X15)
0x7	ADC ch 4 (X42) Direct Value (X34)
0x8	ADC ch 4 (X42) Filtered Value (X34)
0x9	ADC ch 5 (X9) Direct Value (X16)
0xA	ADC ch 5 (X9) Filtered Value (X16)
0xB	ADC ch 6 (X43) Direct Value (X35)
0xC	ADC ch 6 (X43) Filtered Value (X35)
0xD	ADC ch 7 (X7) Direct Value (X22)
0xE	ADC ch 7 (X7) Filtered Value (X22)
0xF	n.u.

#### [3..0] ADC comparator outputs as **set value**

[3..0]	
0x0	All zeros
0x1	ADC ch 1 (X7) Direct Value (X14)
0x2	ADC ch 1 (X7) Filtered Value (X14)
0x3	ADC ch 2 (X41) Direct Value (X33)
0x4	ADC ch 2 (X41) Filtered Value (X33)
0x5	ADC ch 3 (X8) Direct Value (X15)
0x6	ADC ch 3 (X8) Filtered Value (X15)
0x7	ADC ch 4 (X42) Direct Value (X34)
0x8	ADC ch 4 (X42) Filtered Value (X34)
0x9	ADC ch 5 (X9) Direct Value (X16)
0xA	ADC ch 5 (X9) Filtered Value (X16)
0xB	ADC ch 6 (X43) Direct Value (X35)
0xC	ADC ch 6 (X43) Filtered Value (X35)
0xD	ADC ch 7 (X7) Direct Value (X22)
0xE	ADC ch 7 (X7) Filtered Value (X22)
0xF	n.u.

Name	<b>FSP077_USI_Slave_1_Controller_1_AdderSourceSelectionMultiplexer</b>
Adresse	<b>0x4D<sub>H</sub>/77<sub>D</sub>/0x3444<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_0000

It selects the inputs for the two adders inst\_ACU\_Adder1\_C1 and inst\_ACU\_Adder2\_C1

Das Äquivalent für Regler 2 ist der „FSP087\_USI\_Slave\_1\_Controller\_2\_AdderSourceSelectionMultiplexer“.

[23..20] n.u.

[19] Invert the inst\_mux17to1\_C1\_Adder2\_input2 output signal

[18] Invert the inst\_mux17to1\_C1\_Adder2\_input1 output signal

[17] Invert the inst\_mux17to1\_C1\_Adder1\_input2 output signal

[16] Invert the inst\_mux17to1\_C1\_Adder1\_input1 output signal

[15..12] Select the inst\_mux17to1\_C1\_Adder2\_input2 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 2 adder 1 output[19..0]
0xc	Controller 2 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[11..8] Select the inst\_mux17to1\_C1\_Adder2\_input1 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])

0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 2 adder 1 output[19..0]
0xc	Controller 2 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[7..4] Select the inst\_mux17to1\_C1\_Adder1\_input2 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 2 adder 1 output[19..0]
0xc	Controller 2 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[3..0] Select the inst\_mux17to1\_C1\_Adder1\_input1 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])

0x9	Controller <b>1</b> PI part output[19..0]
0xa	Controller <b>2</b> PI part output[19..0]
0xb	Controller <b>2</b> adder <b>1</b> output[19..0]
0xc	Controller <b>2</b> adder <b>2</b> output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

Name	<b>FSP078_USI_Slave_1_Controller_1_AdderLimits</b>
Adresse	<b>0x4EH/78b/0x3445ASCII</b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000H

It defines the maximum and minimum output value for the two controller **1** adders.

Das Äquivalent für Regler **2** ist der „FSP088\_USI\_Slave\_1\_Controller\_2\_AdderLimits“.

[95..76] Adder**2** maximum value(20b)

[71..52] Adder**2** minimum value(20b)

[47..28] Adder**1** maximum value(20b)

[23..4] Adder**1** minimum value(20b)

Name	<b>FSP079_USI_Slave_1_Controller_1_Values</b>
Adresse	<b>0x4F<sub>H</sub>/79<sub>D</sub>/0x3446<sub>ASCII</sub></b>
Tiefe	36 Byte / 288 Bit
I/O	lesen

PI controller **1** status.

Das Äquivalent für Regler **2** ist der „FSP089\_USI\_Slave\_1\_Controller\_2\_Values“.

- [287..264] Controller **1** Adder **2** out.
- [263..240] Controller **1** Adder **2** input **2** selected.
- [239..216] Controller **1** Adder **2** input **1** selected.
- [215..192] Controller **1** Adder **1** out.
- [191..168] Controller **1** Adder **1** input **2** selected.
- [167..144] Controller **1** Adder **1** input **1** selected.
- [143..120] Controller **1** PI Part value.
- [119..96] Controller **1** I Part value.
- [95..72] Controller **1** P Part value.
- [71..48] Controller **1** Deviation Value.
- [47..24] Controller **1** Actual Value.
- [23..0] Controller **1** Set Value.

Name	<b>FSP080_USI_Slave_1_Controller_2_InputSourceSelectionMultiplexer</b>
Adresse	<b>0x50H/80b/0x3530ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_00H

This is the selector of the Set and Actual value for the PI controller 2.

Das Äquivalent für Regler 1 ist der "FSP070\_USI\_Slave\_1\_Controller\_1\_InputSourceSelectionMultiplexer"

[15..10] n.u.

[9] when it is set to 1, it negates the Actual value mux output.

[8] when it is set to 1, it negates the Set value mux output.

[7..4] selector bits for the Actual value mux.

[3..0]	
0x0	All zeros
0x1	FSP30_SetValue_A[23..4]
0x2	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x3	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x4	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x5	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x6	HighSpeed ADC1 Data[15..0], GND_BUS[3..0] (X13.2)
0x7	HighSpeed ADC2 Data[15..0], GND_BUS[3..0] (X13.3)
0x8	HighSpeed ADC3 Data[15..0], GND_BUS[3..0] (X36.2)
0x9	HighSpeed ADC4 Data[15..0], GND_BUS[3..0] (X36.3)
0xA	ADCValAsActVal_C2[19..0] (see FSP085_USI_Slave_1_Controller_2_ADCValAsSetValue)
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] selector bits for the Set value mux.

[3..0]	
0x0	All zeros
0x1	FSP30_SetValue_A[23..4]
0x2	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x3	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x4	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x5	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x6	HighSpeed ADC1 Data[15..0], GND_BUS[3..0] (X13.2)

0x7	<b>HighSpeed ADC2</b> Data[15..0], GND_BUS[3..0] (X13.3)
0x8	<b>HighSpeed ADC3</b> Data[15..0], GND_BUS[3..0] (X36.2)
0x9	<b>HighSpeed ADC4</b> Data[15..0], GND_BUS[3..0] (X36.3)
0xA	ADCValAsActVal_C2[19..0] (see FSP085_USI_Slave_1_Controller_2_ADCValAsSetValue)
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP081_USI_Slave_1_Controller_2_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x51H/81D/0x3531ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001H

This is the multiplier factor od the difference between Set and Actual value of the PI controller **2**

Das Äqivalent für Regler **1** ist der “FSP071\_USI\_Slave\_1\_Controller\_1\_DifferenceCalculatorMultiplier”

[15..11] n.u.

[10..0] multiplier factor value.

Name	<b>FSP082_USI_Slave_1_Controller_2_PI_Settings</b>
Adresse	<b>0x52H/82b/0x3532ASCII</b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_0000000_00000000_00000000H

These are the PI settings for the PI controller **2**.

Das Äquivalent für Regler **1** ist der “FSP072\_USI\_Slave\_1\_Controller\_1\_PI\_Settings”

[103..96] Controller\_2\_PI\_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller\_2\_I\_Part (32 Bit), repräsentiert den I Anteil des PI Regler **2**.

[63..32] Controller\_2\_P2\_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **2**.

[31..0] Controller\_2\_P1\_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **2**.

Name	<b>FSP083_USI_Slave_1_Controller_2_Limits</b>
Adresse	<b>0x53H/83D/0x3533ASCII</b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000H

Über diesen FSP können die Bereichsgrenzen des PI Regler **2** festgelegt werden.

Das Äquivalent für Regler **1** ist der „FSP073\_USI\_Slave\_1\_Controller\_1\_Limits“.

[47..24] Controller\_2\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **2**

[23..0] Controller\_2\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **2**

Name	<b>FSP084_USI_Slave_1_Controller_2_ComparatorLimits</b>
Adresse	<b>0x54H/84b/0x3534ASCII</b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000H

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler 1 ist der „FSP074\_USI\_Slave\_1\_Controller\_1\_ComparatorLimits“.

[96..72] Controller\_2\_I\_Part\_ComparatorOFFThreshold (20 Bit)

[71..48] Controller\_2\_I\_Part\_ComparatorONThreshold (20 Bit)

[47..24] Controller\_2\_P2\_Part\_ComparatorOFFThreshold (20 Bit)

[23..0] Controller\_2\_P2\_Part\_ComparatorONThreshold (20 Bit)

Name	<b>FSP085_USI_Slave_1_Controller_2_ADCValAsSetActValue</b>
Adresse	<b>0x55H/85D/0x3535ASCII</b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00H

It selects the ADC values listed below as possible Set or Actual value. this FSP works in cooperation with "FSP080\_USI\_Slave\_1\_Controller\_2\_InputSourceSelectionMultiplexer".

Das Äquivalent für Regler 1 ist der „FSP075\_USI\_Slave\_1\_Controller\_1\_ADCValAsSetActValue“.

[7..4]      ADC comparator outputs as **actual value**.

[3..0]	
0x0	All zeros
0x1	ADC ch 1 (X7) Direct Value (X14)
0x2	ADC ch 1 (X7) Filtered Value (X14)
0x3	ADC ch 2 (X41) Direct Value (X33)
0x4	ADC ch 2 (X41) Filtered Value (X33)
0x5	ADC ch 3 (X8) Direct Value (X15)
0x6	ADC ch 3 (X8) Filtered Value (X15)
0x7	ADC ch 4 (X42) Direct Value (X34)
0x8	ADC ch 4 (X42) Filtered Value (X34)
0x9	ADC ch 5 (X9) Direct Value (X16)
0xA	ADC ch 5 (X9) Filtered Value (X16)
0xB	ADC ch 6 (X43) Direct Value (X35)
0xC	ADC ch 6 (X43) Filtered Value (X35)
0xD	ADC ch 7 (X7) Direct Value (X22)
0xE	ADC ch 7 (X7) Filtered Value (X22)
0xF	n.u.

[3..0]      ADC comparator outputs as **set value**

[3..0]	
0x0	All zeros
0x1	ADC ch 1 (X7) Direct Value (X14)
0x2	ADC ch 1 (X7) Filtered Value (X14)
0x3	ADC ch 2 (X41) Direct Value (X33)
0x4	ADC ch 2 (X41) Filtered Value (X33)
0x5	ADC ch 3 (X8) Direct Value (X15)
0x6	ADC ch 3 (X8) Filtered Value (X15)
0x7	ADC ch 4 (X42) Direct Value (X34)
0x8	ADC ch 4 (X42) Filtered Value (X34)
0x9	ADC ch 5 (X9) Direct Value (X16)
0xA	ADC ch 5 (X9) Filtered Value (X16)
0xB	ADC ch 6 (X43) Direct Value (X35)
0xC	ADC ch 6 (X43) Filtered Value (X35)
0xD	ADC ch 7 (X7) Direct Value (X22)
0xE	ADC ch 7 (X7) Filtered Value (X22)
0xF	n.u.

Name	<b>FSP087_USI_Slave_1_Controller_2_AdderSourceSelectionMultiplexer</b>
Adresse	<b>0x57H/87D/0x3537ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_000000

It selects the inputs for the two adders inst\_ACU\_Adder1\_C2 and inst\_ACU\_Adder2\_C2

Das Äquivalent für Regler 1 ist der „FSP077\_USI\_Slave\_1\_Controller\_1\_AdderSourceSelectionMultiplexer“.

[23..20] n.u.

[19] Invert the inst\_mux17to1\_C2\_Adder2\_input2 output signal

[18] Invert the inst\_mux17to1\_C2\_Adder2\_input1 output signal

[17] Invert the inst\_mux17to1\_C2\_Adder1\_input2 output signal

[16] Invert the inst\_mux17to1\_C2\_Adder1\_input1 output signal

[15..12] Select the inst\_mux17to1\_C2\_Adder2\_input2 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 1 adder 1 output[19..0]
0xc	Controller 1 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[11..8] Select the inst\_mux17to1\_C2\_Adder2\_input1 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])

0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 1 adder 1 output[19..0]
0xc	Controller 1 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[7..4] Select the inst\_mux17to1\_C2\_Adder1\_input2 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x9	Controller 1 PI part output[19..0]
0xa	Controller 2 PI part output[19..0]
0xb	Controller 1 adder 1 output[19..0]
0xc	Controller 1 adder 2 output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

[3..0] Select the inst\_mux17to1\_C2\_Adder1\_input1 output signal:

[3..0]	Bedeutung
0x0	n.u.
0x1	FSP030_USI_Slave_1_SetValue_A[23..4]
0x2	FSP031_USI_Slave_1_SetValue_B[23..4]
0x3	FSP032_USI_Slave_1_SetValue_C[23..4]
0x4	FSP033_USI_Slave_1_SetValue_D[23..4]
0x5	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x6	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x7	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x8	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])

0x9	Controller <b>1</b> PI part output[19..0]
0xa	Controller <b>2</b> PI part output[19..0]
0xb	Controller <b>1</b> adder <b>1</b> output[19..0]
0xc	Controller <b>1</b> adder <b>2</b> output[19..0]
0xd	n.u.
0xe	n.u.
0xf	n.u.

Name	<b>FSP088_USI_Slave_1_Controller_2_AdderLimits</b>
Adresse	<b>0x58H/88b/0x3538ASCII</b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x=000000_000000_000000_000000H

It defines the maximum and minimum output value for the two controller **2** adders.

Das Äquivalent für Regler **1** ist der „FSP078\_USI\_Slave\_1\_Controller\_1\_AdderLimits“.

[95..76] Adder**2** maximum value(20b)

[71..52] Adder**2** minimum value(20b)

[47..28] Adder**1** maximum value(20b)

[23..4] Adder**1** minimum value(20b)

Name	<b>FSP089_USI_Slave_1_Controller_2_Values</b>
Adresse	<b>0x59H/89D/0x3539ASCII</b>
Tiefe	36 Byte / 288 Bit
I/O	lesen
Reset	0x(siehe Beschreibung)H

PI controller **2** status.

Das Äquivalent für Regler **1** ist der „FSP079\_USI\_Slave\_1\_Controller\_1\_Values“.

- [287..264] Controller **2** Adder **2** out.
- [263..240] Controller **2** Adder **2** input **2** selected.
- [239..216] Controller **2** Adder **2** input **1** selected.
- [215..192] Controller **2** Adder **1** out.
- [191..168] Controller **2** Adder **1** input **2** selected.
- [167..144] Controller **2** Adder **1** input **1** selected.
- [143..120] Controller **2** PI Part value.
- [119..96] Controller **2** I Part value.
- [95..72] Controller **2** P Part value.
- [71..48] Controller **2** Deviation Value.
- [47..24] Controller **2** Actual Value.
- [23..0] Controller **2** Set Value.

Name	<b>FSP090_USI_Slave_1_TimeSystem</b>
Adresse	<b>0x5A<sub>H</sub>/90<sub>D</sub>/0x3541ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

It defines an offset to sum to the Controller **2** adders before to be used by the firing signal generator block.

[23..4] „Set value offset“

[3..0] n.u.

Name	<b>FSP100_USI_Slave_1_SR_0_Degree_L1_L3_Shift_Value</b>
Adresse	<b>0x64H/100D/0x3634ASCII</b>
Tiefe	9 Byte / 72 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000H

SR phases zero-degree delay counter

- [71..66] n.u.
- [65..48] L3 zero degree delay counter value
- [47..42] n.u.
- [41..24] L2 zero degree delay counter value
- [23..18] n.u.
- [17..0] L1 zero degree delay counter value

Name	<b>FSP101_USI_Slave_1_SR_30_Degree_L1_L3_Shift_Value</b>
Adresse	<b>0x65H/101D/0x3635ASCII</b>
Tiefe	9 Byte / 72 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000H

SR phases thirty degrees' delay counter

- [71..66] n.u.
- [65..48] L3 thirty degree delay counter value
- [47..42] n.u.
- [41..24] L2 thirty degree delay counter value
- [23..18] n.u.
- [17..0] L1 thirty degree delay counter value

Name	<b>FSP102_USI_Slave_1_SR_Global_Shift</b>
Adresse	<b>0x66H/102D/0x3636ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000H

SR global delay counter value

[23..18] n.u.

[17..0] global shift delay value

Name	<b>FSP103_USI_Slave_1_SR_Configword</b>
Adresse	<b>0x67H/103D/0x3637ASCII</b>
Tiefe	7 Byte / 56 Bit
I/O	lesen / schreiben
Reset	0x00_000000_000000H

SR PWM settings:

- [55..51] n.u.
- [50] ExtensionBus[8] selector: it selects between the usi slave internal tripline and the reset command.
- [49] ThreePhaseExtSyncBusL mux selector: it selects between ThreePhaseExtSyncInputBus and not(ThreePhaseExtSyncInputBus) signals.
- [48] ThreePhaseSyncBus mux selector: it selects between ThreePhaseExtSyncBusL and ThreePhaseIntSyncBusL signals.
- [47..30] PWM controller block value.
- [29..24] n.u.
- [23..6] PWM max neg.
- [5..0] n.u.

Name	<b>FSP104_USI_Slave_1_SigComplInputSel</b>
Adresse	<b>0x68H/104D/0x3638ASCII</b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00H

Signal comparator inputs selector:

[7..4] It selects the **second signal** to compare:

[3..0]	Bedeutung
0x0	n.u.
0x1	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x2	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x3	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x4	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x5	<b>HighSpeed ADC1 Data[15..0], GND_BUS[3..0] (X13.2)</b>
0x6	<b>HighSpeed ADC2 Data[15..0], GND_BUS[3..0] (X13.3)</b>
0x7	<b>HighSpeed ADC3 Data[15..0], GND_BUS[3..0] (X36.2)</b>
0x8	<b>HighSpeed ADC4 Data[15..0], GND_BUS[3..0] (X36.3)</b>
0x9	Comparator ADC 1 (X7) Direct value (X14)
0xa	Comparator ADC 2 (X41) Direct value (X33)
0xb	Comparator ADC 3 (X8) Direct value (X15)
0xc	Comparator ADC 4 (X42) Direct value (X34)
0xd	Comparator ADC 5 (X9) Direct value (X16)
0xe	Comparator ADC 6 (X43) Direct value (X35)
0xf	n.u.

[3..0] It selects the **first signal** to compare:

[3..0]	Bedeutung
0x0	n.u.
0x1	Received_HighSpeed_USIData_MuxOut_A[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[3..0])
0x2	Received_HighSpeed_USIData_MuxOut_B[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[7..4])
0x3	Received_HighSpeed_USIData_MuxOut_C[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[11..8])
0x4	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0x5	<b>HighSpeed ADC1 Data[15..0], GND_BUS[3..0] (X13.2)</b>
0x6	<b>HighSpeed ADC2 Data[15..0], GND_BUS[3..0] (X13.3)</b>
0x7	<b>HighSpeed ADC3 Data[15..0], GND_BUS[3..0] (X36.2)</b>
0x8	<b>HighSpeed ADC4 Data[15..0], GND_BUS[3..0] (X36.3)</b>
0x9	Comparator ADC 1 (X7) Direct value (X14)
0xa	Comparator ADC 2 (X41) Direct value (X33)
0xb	Comparator ADC 3 (X8) Direct value (X15)
0xc	Comparator ADC 4 (X42) Direct value (X34)

0xd	Comparator ADC <b>5</b> (X9) Direct value (X16)
0xe	Comparator ADC <b>6</b> (X43) Direct value (X35)
0xf	n.u.

Name	<b>FSP105_USI_Slave_1_DifferenceCalculatorMultiplier_SigComp</b>
Adresse	<b>0x69<sub>H</sub>/105<sub>D</sub>/0x3639<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 <sub>H</sub>

Multiplier factor for the difference between the two signals selected with the “FSP104\_USI\_Slave\_1\_SigCompInputSel”:

[15..11] n.u.

[10..0] Multiplier factor.

Name	<b>FSP106_USI_Slave_1_SigComparatorSettings</b>
Adresse	<b>0x6A<sub>H</sub>/106<sub>D</sub>/0x3641<sub>ASCII</sub></b>
Tiefe	7 Byte / 56 Bit
I/O	lesen / schreiben
Reset	0x00_000000_000000 <sub>H</sub>

It contains the on and off thresholds used to generate the SigComplInterlock signal.

[55..49] n.u.

[48] Enable comparator bit (active high)

[47..28] Off threshold: if the input signals is lower than the on threshold, the interlock is removed

[27..24] n.u.

[23..4] On threshold: if the input signals is higher than the on threshold, the interlock is triggered

[3..0] n.u..

Name	<b>FSP107_USI_Slave_1_InputFilterDelay</b>
Adresse	<b>0x6B<sub>H</sub>/107<sub>D</sub>/0x3642<sub>ASCII</sub></b>
Tiefe	7 Byte / 56 Bit
I/O	lesen / schreiben
Reset	0xFFFFFFFF_0000 <sub>H</sub>

Einstellungen für die digitalen Interlock-Filter.

[55..16] Digital filter mask bit active high:  
when the bit is masked and the delay value (see below) is different from zero, the delay between input and output is maximum 10µs  
(see ACU\_InputFilter.docx for more details)

[15..0] Digital delay value:  
it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action).

Name	<b>FSP109_USI_Slave_1_SigCompMonitoring</b>
Adresse	<b>0x6DH/109D/0x3644ASCII</b>
Tiefe	9 Byte / 72 Bit
I/O	lesen
Reset	

It contains the SignalComparator status info.

- [71..52] Signals comparator input **1**.
- [51..48] n.u.
- [47..28] Signals comparator input **2**.
- [27..24] n.u.
- [23..4] Signals comparator multiplied difference.
- [3..0] n.u.

Name	<b>FSP110_USI_Slave_1_DACxSourceSelectionMultiplexer</b>
Adresse	<b>0x6E<sub>H</sub>/110<sub>D</sub>/0x3645ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_1234 <sub>H</sub>

It selects the 4 channels DAC input signals

- [23..20] n.u.
- [19] It negates the mux output for the DAC channel **4**
- [18] It negates the mux output for the DAC channel **3**
- [17] It negates the mux output for the DAC channel **2**
- [16] It negates the mux output for the DAC channel **1**
- [15..12] DAC channel **4** input selector

[3..0]	
0x0	All zeros
0x1	Controller <b>1</b> PI Part output
0x2	Controller <b>1</b> adder <b>1</b> output
0x3	Controller <b>1</b> adder <b>2</b> output
0x4	Controller <b>2</b> PI Part output
0x5	Controller <b>2</b> adder <b>1</b> output
0x6	Controller <b>2</b> adder <b>2</b> output
0x7	Comparator ADC channel <b>7</b> (X7) filtered value (X22)
0x8	GND
0x9	<b>HighSpeed ADC4 Data (X36.3)</b>
0xA	Received_HighSpeed_USIData_MuxOut_D[19..0] (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection[15..12])
0xB	USI_Slave_2_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection)
0xC	USI_Slave_6_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xD	USI_Master_6_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xE	Signal comparator multiplied deviation
0xF	n.u.

- [11..8] DAC channel **3** input selector

[3..0]	
0x0	All zeros
0x1	Controller <b>1</b> multiplied deviation
0x2	Controller <b>1</b> input <b>2</b> adder <b>1</b>
0x3	Controller <b>1</b> input <b>2</b> adder <b>2</b>
0x4	Controller <b>2</b> multiplied deviation
0x5	Controller <b>2</b> input <b>2</b> adder <b>1</b>
0x6	Controller <b>2</b> input <b>2</b> adder <b>2</b>
0x7	Comparator ADC channel <b>5</b> (X9) filtered value (X16)

0x8	Comparator ADC channel <b>6</b> (43) filtered value (X35)
0x9	High Speed ADC channel <b>3</b> (X36.2)
0xA	Received_HighSpeed_USIData_MuxOut_C (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection)
0xB	USI_Slave_2_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection)
0xC	USI_Slave_6_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xD	USI_Master_6_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xE	Signal comparator multiplied deviation
0xF	n.u.

[7..4] DAC channel **2** input selector

[3..0]	
0x0	All zeros
0x1	Controller <b>1</b> Actual value
0x2	Controller <b>1</b> input <b>1</b> adder <b>1</b>
0x3	Controller <b>1</b> input <b>1</b> adder <b>2</b>
0x4	Controller <b>2</b> Actual value
0x5	Controller <b>2</b> input <b>1</b> adder <b>1</b>
0x6	Controller <b>2</b> input <b>1</b> adder <b>2</b>
0x7	Comparator ADC channel <b>3</b> (X8) filtered value (X15)
0x8	Comparator ADC channel <b>4</b> (X42) filtered value (X34)
0x9	High Speed ADC channel <b>2</b> (X13.3)
0xA	Received_HighSpeed_USIData_MuxOut_B (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection)
0xB	USI_Slave_1_Outgoing_HighSpeed_USIData_MuxOut_LowerWord (FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection)
0xC	USI_Slave_5_Outgoing_HighSpeed_USIData_MuxOut_LowerWord (FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xD	USI_Master_5_Outgoing_HighSpeed_USIData_MuxOut_LowerWord (FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xE	Signal comparator multiplied deviation
0xF	n.u.

[3..0] DAC channel **1** input selector

[3..0]	
0x0	All zeros
0x1	Controller <b>1</b> Set value
0x2	Controller <b>2</b> Set value
0x3	Controller <b>1</b> adder <b>1</b> output
0x4	Controller <b>2</b> adder <b>1</b> output
0x5	Comparator ADC channel <b>1</b> (X7) filtered value (X14)
0x6	Comparator ADC channel <b>2</b> (X41) filtered value (X33)
0x7	High Speed ADC channel <b>1</b> (X13.2)

0x8	Received_HighSpeed_USIData_MuxOut_A (FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection)
0x9	USI_Slave_1_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection)
0xA	USI_Slave_5_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xB	USI_Master_5_Outgoing_HighSpeed_USIData_MuxOut_UpperWord (FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection)
0xC	Signal comparator multiplied deviation
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP111_USI_Slave_1_DACGain_Offset</b>
Adresse	<b>0x6FH/111D/0x3646ASCII</b>
Tiefe	24 Byte / 192 Bit
I/O	lesen / schreiben
Reset	0x400000_000000_400000_000000_400000_000000_400000_000000_H

It provides the gain and the offset value for the 4 channels DAC inputs

- [191..173] Channel **4** Gain value (19b)
- [172..168] n.u. (5b)
- [167..150] Channel **4** Offset value(18b)
- [149..144] n.u. (6b)
- [143..125] Channel **3** Gain value (19b)
- [124..120] n.u. (5b)
- [119..102] Channel **3** Offset value(18b)
- [101..96] n.u. (6b)
- [95..77] Channel **2** Gain value (19b)
- [76..72] n.u. (5b)
- [71..54] Channel **2** Offset value(18b)
- [53..48] n.u. (6b)
- [47..29] Channel **1** Gain value (19b)
- [28..24] n.u. (5b)
- [23..6] Channel **1** Offset value(18b)
- [5..0] n.u. (6b)

Name	<b>FSP113_USI_Slave_1_USI_Slave_Outgoing_HS_USI_Data_SourceSelection</b>
Adresse	<b>0x71H/113D/0x3731ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000_H

It selects the data to provide back to the MFU (USI SLAVE 1 and 2).

Das Äquivalent für die M2M USI Slave Kanäle 5 und 6 ist "FSP115\_USI\_Slave\_1\_USI\_Slave\_M2M\_Outgoing\_HS\_USI\_Data\_SourceSelection".

Das FSP zur Wahl des empf. HS-Daten ist „FSP114\_USI\_Slave\_1\_Incomming\_HS\_USI\_Data\_SourceSelection“.

[23..20] High speed outgoing channel  
**USI\_Slave\_2\_Outgoing\_HighSpeed\_USIData\_MuxOut\_LowerWord**

[3..0]	
0x0	All zeros
0x1	USI_Slave_1_2_ADC_A part[19..0] (see bits 3..0)
0x2	USI_Slave_1_2_ADC_B part[19..0] (see bits 7..4)
0x3	Controller 1 Set value[19..0]
0x4	Controller 1 Actual value[19..0]
0x5	Controller 1 multiplied Delta value[19..0]
0x6	Controller 1 output PI part value[19..0]
0x7	Controller 1 adder 1 output[19..0]
0x8	Controller 1 adder 2 output[19..0]
0x9	Controller 2 Set value[19..0]
0xA	Controller 2 Actual value[19..0]
0xB	Controller 2 multiplied Delta value[19..0]
0xC	Controller 2 output PI part value[19..0]
0xD	Controller 2 adder 1 output[19..0]
0xE	Controller 2 adder 2 output[19..0]
0xF	High speed USI Slave 2 data received[19..0]

[19..16] High speed outgoing channel  
**USI\_Slave\_2\_Outgoing\_HighSpeed\_USIData\_MuxOut\_UpperWord**

[3..0]	
0x0	All zeros
0x1	USI_Slave_1_2_ADC_A part[19..0] (see bits 3..0)
0x2	USI_Slave_1_2_ADC_B part[19..0] (see bits 7..4)
0x3	Controller 1 Set value[19..0]
0x4	Controller 1 Actual value[19..0]
0x5	Controller 1 multiplied Delta value[19..0]
0x6	Controller 1 output PI part value[19..0]
0x7	Controller 1 adder 1 output[19..0]
0x8	Controller 1 adder 2 output[19..0]
0x9	Controller 2 Set value[19..0]
0xA	Controller 2 Actual value[19..0]
0xB	Controller 2 multiplied Delta value[19..0]
0xC	Controller 2 output PI part value[19..0]
0xD	Controller 2 adder 1 output[19..0]

	0xE	Controller <b>2</b> adder <b>2</b> output[19..0]
	0xF	High speed USI Slave <b>1</b> data received[19..0]
[15..12]	High speed outgoing channel <b>USI_Slave_1_Outgoing_HighSpeed_USIData_MuxOut_LowerWord</b>	
	[3..0]	
	0x0	All zeros
	0x1	USI_Slave_1_2_ADC_A part[19..0] (see bits 3..0)
	0x2	USI_Slave_1_2_ADC_B part[19..0] (see bits 7..4)
	0x3	Controller <b>1</b> Set value[19..0]
	0x4	Controller <b>1</b> Actual value[19..0]
	0x5	Controller <b>1</b> multiplied Delta value[19..0]
	0x6	Controller <b>1</b> output PI part value[19..0]
	0x7	Controller <b>1</b> adder <b>1</b> output[19..0]
	0x8	Controller <b>1</b> adder <b>2</b> output[19..0]
	0x9	Controller <b>2</b> Set value[19..0]
	0xA	Controller <b>2</b> Actual value[19..0]
	0xB	Controller <b>2</b> multiplied Delta value[19..0]
	0xC	Controller <b>2</b> output PI part value[19..0]
	0xD	Controller <b>2</b> adder <b>1</b> output[19..0]
	0xE	Controller <b>2</b> adder <b>2</b> output[19..0]
	0xF	High speed USI Slave <b>2</b> data received[19..0]
[11..8]	High speed outgoing channel <b>USI_Slave_1_Outgoing_HighSpeed_USIData_MuxOut_UpperWord[19..0]</b>	
	[3..0]	
	0x0	All zeros
	0x1	USI_Slave_1_2_ADC_A part[19..0] (see bits 3..0)
	0x2	USI_Slave_1_2_ADC_B part[19..0] (see bits 7..4)
	0x3	Controller <b>1</b> Set value[19..0]
	0x4	Controller <b>1</b> Actual value[19..0]
	0x5	Controller <b>1</b> multiplied Delta value[19..0]
	0x6	Controller <b>1</b> output PI part value[19..0]
	0x7	Controller <b>1</b> adder <b>1</b> output[19..0]
	0x8	Controller <b>1</b> adder <b>2</b> output[19..0]
	0x9	Controller <b>2</b> Set value[19..0]
	0xA	Controller <b>2</b> Actual value[19..0]
	0xB	Controller <b>2</b> multiplied Delta value[19..0]
	0xC	Controller <b>2</b> output PI part value[19..0]
	0xD	Controller <b>2</b> adder <b>1</b> output[19..0]
	0xE	Controller <b>2</b> adder <b>2</b> output[19..0]
	0xF	High speed USI Slave <b>1</b> data received[31..12]
[7..4]	ADC comparator outputs selector <b>USI_Slave_1_2_ADC_B</b> part	
	[3..0]	
	0x0	All zeros
	0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
	0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)
	0x3	ADC ch <b>2</b> (X41) Direct Value (X33)

0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

[3..0] ADC comparator outputs selector **USI\_Slave\_1\_2\_ADC\_A** part

[3..0]	
0x0	All zeros
0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)
0x3	ADC ch <b>2</b> (X41) Direct Value (X33)
0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

Name	<b>FSP114_USI_Slave_1_Incomming_HS_USI_Data_SourceSelection</b>
Adresse	<b>0x72H/114D/0x3732ASCII</b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0000H

It selects the data incoming HighSpeed data for all USI Slave (1, 2, 5, 6) and Master (5, 6) channels.

[15..12] High speed incoming data selector **Received\_HighSpeed\_USIData\_MuxOut\_D** part

[3..0]	
0x0	All zeros
0x1	High speed USI Slave 1 data received(20b)
0x2	High speed USI Slave 2 data received(20b)
0x3	High speed USI Slave 5 data received Upper part (14b)
0x4	High speed USI Slave 5 data received Lower part (14b)
0x5	High speed USI Slave 6 data received Upper part (14b)
0x6	High speed USI Slave 6 data received Lower part (14b)
0x7	High speed USI Master 5 data received Upper part (14b)
0x8	High speed USI Master 5 data received Lower part (14b)
0x9	High speed USI Master 6 data received Upper part (14b)
0xA	High speed USI Master 6 data received Lower part (14b)
0xB	High speed USI Slave 1 data received Upper part (14b)
0xC	High speed USI Slave 1 data received Lower part (14b)
0xD	High speed USI Slave 2 data received Upper part (14b)
0xE	High speed USI Slave 2 data received Lower part (14b)
0xF	n.u.

[11..8] High speed incoming data selector **Received\_HighSpeed\_USIData\_MuxOut\_C** part

[3..0]	
0x0	All zeros
0x1	High speed USI Slave 1 data received(20b)
0x2	High speed USI Slave 2 data received(20b)
0x3	High speed USI Slave 5 data received Upper part (14b)
0x4	High speed USI Slave 5 data received Lower part (14b)
0x5	High speed USI Slave 6 data received Upper part (14b)
0x6	High speed USI Slave 6 data received Lower part (14b)
0x7	High speed USI Master 5 data received Upper part (14b)
0x8	High speed USI Master 5 data received Lower part (14b)
0x9	High speed USI Master 6 data received Upper part (14b)
0xA	High speed USI Master 6 data received Lower part (14b)
0xB	High speed USI Slave 1 data received Upper part (14b)
0xC	High speed USI Slave 1 data received Lower part (14b)
0xD	High speed USI Slave 2 data received Upper part (14b)
0xE	High speed USI Slave 2 data received Lower part (14b)
0xF	n.u.

[7..4] High speed incoming data selector **Received\_HighSpeed\_USIData\_MuxOut\_B** part

[3..0]	
0x0	All zeros

0x1	High speed USI Slave <b>1</b> data received(20b)
0x2	High speed USI Slave <b>2</b> data received(20b)
0x3	High speed USI Slave <b>5</b> data received Upper part (14b)
0x4	High speed USI Slave <b>5</b> data received Lower part (14b)
0x5	High speed USI Slave <b>6</b> data received Upper part (14b)
0x6	High speed USI Slave <b>6</b> data received Lower part (14b)
0x7	High speed USI Master <b>5</b> data received Upper part (14b)
0x8	High speed USI Master <b>5</b> data received Lower part (14b)
0x9	High speed USI Master <b>6</b> data received Upper part (14b)
0xA	High speed USI Master <b>6</b> data received Lower part (14b)
0xB	High speed USI Slave <b>1</b> data received Upper part (14b)
0xC	High speed USI Slave <b>1</b> data received Lower part (14b)
0xD	High speed USI Slave <b>2</b> data received Upper part (14b)
0xE	High speed USI Slave <b>2</b> data received Lower part (14b)
0xF	n.u.

[3..0] High speed incoming data selector **Received\_HighSpeed\_USIData\_MuxOut\_A** part

[3..0]	
0x0	All zeros
0x1	High speed USI Slave <b>1</b> data received(20b)
0x2	High speed USI Slave <b>2</b> data received(20b)
0x3	High speed USI Slave <b>5</b> data received Upper part (14b)
0x4	High speed USI Slave <b>5</b> data received Lower part (14b)
0x5	High speed USI Slave <b>6</b> data received Upper part (14b)
0x6	High speed USI Slave <b>6</b> data received Lower part (14b)
0x7	High speed USI Master <b>5</b> data received Upper part (14b)
0x8	High speed USI Master <b>5</b> data received Lower part (14b)
0x9	High speed USI Master <b>6</b> data received Upper part (14b)
0xA	High speed USI Master <b>6</b> data received Lower part (14b)
0xB	High speed USI Slave <b>1</b> data received Upper part (14b)
0xC	High speed USI Slave <b>1</b> data received Lower part (14b)
0xD	High speed USI Slave <b>2</b> data received Upper part (14b)
0xE	High speed USI Slave <b>2</b> data received Lower part (14b)
0xF	n.u.

Name	<b>FSP115_USI_Slave_1_USI_Slave_M2M_Outgoing_HS_USI_Data_SourceSelection</b>
Adresse	<b>0x73<sub>H</sub>/115<sub>D</sub>/0x3733<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

It selects the high speed usi slave **5** and **6** outgoing channel data. (M2M)

Das Äquivalent für die USI Slave Kanäle **1** und **2** ist "FSP113\_USI\_Slave\_1\_USI\_Slave\_Outgoing\_HS\_USI\_Data\_SourceSelection".

Das Äquivalent für die USI Master Kanäle **5** und **6** ist "FSP116\_USI\_Slave\_1\_USI\_Master\_M2M\_Outgoing\_HS\_USI\_Data\_SourceSelection".

Das FSP zur Wahl des empf. HS-Daten ist „FSP114\_USI\_Slave\_1\_Incomming\_HS\_USI\_Data\_SourceSelection“.

[23..20] High speed outgoing channel  
**USI\_Slave\_6\_Outgoing\_HighSpeed\_USIData\_MuxOut\_LowerWord**

[3..0]	
0x0	All zeros
0x1	USI_Slave_5_6_ADC_A part (see bits 3..0)
0x2	USI_Slave_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder 1 output
0x8	Controller <b>1</b> adder 2 output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[19..16] High speed outgoing channel  
**USI\_Slave\_6\_Outgoing\_HighSpeed\_USIData\_MuxOut\_UpperWord[19..0]**

[3..0]	
0x0	All zeros
0x1	USI_Slave_5_6_ADC_A part (see bits 3..0)
0x2	USI_Slave_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder 1 output
0x8	Controller <b>1</b> adder 2 output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value

0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[15..12] High speed outgoing channel

**USI\_Slave\_5\_Outgoing\_HighSpeed\_USIData\_MuxOut\_LowerWord**

[3..0]	
0x0	All zeros
0x1	USI_Slave_5_6_ADC_A part (see bits 3..0)
0x2	USI_Slave_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder 1 output
0x8	Controller <b>1</b> adder 2 output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[11..8] High speed outgoing channel

**USI\_Slave\_5\_Outgoing\_HighSpeed\_USIData\_MuxOut\_UpperWord**

[3..0]	
0x0	All zeros
0x1	USI_Slave_5_6_ADC_A part (see bits 3..0)
0x2	USI_Slave_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder 1 output
0x8	Controller <b>1</b> adder 2 output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[7..4] ADC comparator outputs selector **USI\_Slave\_5\_6\_ADC\_B** part

[3..0]	
0x0	All zeros

0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)
0x3	ADC ch <b>2</b> (X41) Direct Value (X33)
0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

[3..0] ADC comparator outputs selector **USI\_Slave\_5\_6\_ADC\_A** part

[3..0]	
0x0	All zeros
0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)
0x3	ADC ch <b>2</b> (X41) Direct Value (X33)
0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

Name	<b>FSP116_USI_Slave_1_USI_Master_M2M_Outgoing_HS_USI_Data_SourceSelection</b>
Adresse	<b>0x74H/116D/0x3734ASCII</b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000_H

It selects the high speed usi master **5** and **6** outgoing channel data. (M2M)

Das Äquivalent für die USI Slave Kanäle **1** und **2** ist “FSP113\_USI\_Slave\_1\_USI\_Slave\_Outgoing\_HS\_USI\_Data\_SourceSelection”.

Das FSP zur Wahl des empf. HS-Daten ist „FSP114\_USI\_Slave\_1\_Incomming\_HS\_USI\_Data\_SourceSelection“.

[23..20] High speed outgoing channel

#### **USI\_Master\_6\_Outgoing\_HighSpeed\_USIData\_MuxOut\_LowerWord**

[3..0]	
0x0	All zeros
0x1	USI_Master_5_6_ADC_A part (see bits 3..0)
0x2	USI_Master_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder <b>1</b> output
0x8	Controller <b>1</b> adder <b>2</b> output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[19..16] High speed outgoing channel

#### **USI\_Master\_6\_Outgoing\_HighSpeed\_USIData\_MuxOut\_UpperWord**

[3..0]	
0x0	All zeros
0x1	USI_Master_5_6_ADC_A part (see bits 3..0)
0x2	USI_Master_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder <b>1</b> output
0x8	Controller <b>1</b> adder <b>2</b> output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value

0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>1</b> data received

[15..12] High speed outgoing channel

**USI\_Master\_5\_Outgoing\_HighSpeed\_USIData\_MuxOut\_LowerWord**

[3..0]	
0x0	All zeros
0x1	USI_Master_5_6_ADC_A part (see bits 3..0)
0x2	USI_Master_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder <b>1</b> output
0x8	Controller <b>1</b> adder <b>2</b> output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>2</b> data received

[11..8] High speed outgoing channel

**USI\_Master\_5\_Outgoing\_HighSpeed\_USIData\_MuxOut\_UpperWord**

[3..0]	
0x0	All zeros
0x1	USI_Master_5_6_ADC_A part (see bits 3..0)
0x2	USI_Master_5_6_ADC_B part (see bits 7..4)
0x3	Controller <b>1</b> Set value
0x4	Controller <b>1</b> Actual value
0x5	Controller <b>1</b> multiplied Delta value
0x6	Controller <b>1</b> output PI part value
0x7	Controller <b>1</b> adder <b>1</b> output
0x8	Controller <b>1</b> adder <b>2</b> output
0x9	Controller <b>2</b> Set value
0xA	Controller <b>2</b> Actual value
0xB	Controller <b>2</b> multiplied Delta value
0xC	Controller <b>2</b> output PI part value
0xD	Controller <b>2</b> adder <b>1</b> output
0xE	Controller <b>2</b> adder <b>2</b> output
0xF	High speed USI Slave <b>1</b> data received

[7..4] ADC comparator outputs selector **USI\_Master\_5\_6\_ADC\_B** part

[3..0]	
0x0	All zeros
0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)

0x3	ADC ch <b>2</b> (X41) Direct Value (X33)
0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

[3..0] ADC comparator outputs selector **USI\_Master\_5\_6\_ADC\_A** part

[3..0]	
0x0	All zeros
0x1	ADC ch <b>1</b> (X7) Direct Value (X14)
0x2	ADC ch <b>1</b> (X7) Filtered Value (X14)
0x3	ADC ch <b>2</b> (X41) Direct Value (X33)
0x4	ADC ch <b>2</b> (X41) Filtered Value (X33)
0x5	ADC ch <b>3</b> (X8) Direct Value (X15)
0x6	ADC ch <b>3</b> (X8) Filtered Value (X15)
0x7	ADC ch <b>4</b> (X42) Direct Value (X34)
0x8	ADC ch <b>4</b> (X42) Filtered Value (X34)
0x9	ADC ch <b>5</b> (X9) Direct Value (X16)
0xA	ADC ch <b>5</b> (X9) Filtered Value (X16)
0xB	ADC ch <b>6</b> (X43) Direct Value (X35)
0xC	ADC ch <b>6</b> (X43) Filtered Value (X35)
0xD	ADC ch <b>7</b> (X7) Direct Value (X22)
0xE	ADC ch <b>7</b> (X7) Filtered Value (X22)
0xF	n.u.

### **3. ACU\_Static\_Converter\_III USI SLAVE 2**

Dieses Kapitel behandelt modulspezifische FSPs des Static Converters USI Slave 2 (SCM).

Infomationen zum Static Converters USI Slave 1 finden sich im Kapitel 2 ab Seite 2.

Infomationen zum Static Converters USI Slave 5 (M2M) finden sich im Kapitel 4 ab Seite 92.

Infomationen zum Static Converters USI Slave 6 (M2M) finden sich im Kapitel 5 ab Seite 95.

Name	<b>FSP001_USI_Slave_2_ModuleStatus</b>
Adresse	<b>0x01<sub>H</sub>/1b/0x3031<sub>ASCII</sub></b>
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Entspricht exakt dem FSP001\_USI\_Slave\_1\_ModuleStatus

Name	<b>FSP004_USI_Slave_2_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4b/0x3034<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

[7..0] n.u., immer ,1'

Name	<b>FSP012_USI_Slave_2_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

- [7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus
- [4..3] n.u.
- [2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

#### **4. ACU\_Static\_Converter\_III USI SLAVE 5 (M2M)**

Dieses Kapitel behandelt modulspezifische FSPs des Static Converters USI Slave 5 (SCM).

Dieses USI dient zur Modul zu Modul Kommunikation (M2M).

Infomationen zum Static Converters USI Slave 1 finden sich im Kapitel 2 ab Seite 2.

Infomationen zum Static Converters USI Slave 2 finden sich im Kapitel 3 ab Seite 88.

Infomationen zum Static Converters USI Slave 6 (M2M) finden sich im Kapitel 5 ab Seite 95.

Name	<b>FSP004_USI_Slave_5_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4b/0x3034<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

[7..0] n.u., immer ,1'

Name	<b>FSP012_USI_Slave_5_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

- [7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus
- [4..3] n.u.
- [2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

## 5. ACU\_Static\_Converter\_III USI SLAVE 6 (M2M)

Dieses Kapitel behandelt modulspezifische FSPs des Static Converters USI Slave 6 (SCM).

Dieses USI dient zur Modul zu Modul Kommunikation (M2M).

Infomationen zum Static Converters USI Slave 1 finden sich im Kapitel 2 ab Seite 2.

Infomationen zum Static Converters USI Slave 2 finden sich im Kapitel 3 ab Seite 88.

Infomationen zum Static Converters USI Slave 5 (M2M) finden sich im Kapitel 4 ab Seite 92.

Name	<b>FSP004_USI_Slave_6_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4b/0x3034<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

[7..0] n.u., immer ,1'

Name	<b>FSP012_USI_Slave_6_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

- [7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus
- [4..3] n.u.
- [2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)