



# FSPs des Normal Conductiong Test Facility Modul (NCTstFac) (ab FW 7.1.x)

Version vom: Freitag, 17. März 2023, 14:51:00

## Inhaltsverzeichnis

1.	Änderungsliste .....	1
2.	ACU-FSPs_NCTstFac .....	2
	FSP001_ModuleStatus .....	3
	0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub> .....	
	FSP002_ModuleWarnings .....	5
	0x02 <sub>H</sub> /2 <sub>D</sub> /0x3032 <sub>ASCII</sub> .....	
	FSP003_ModuleErrors .....	6
	0x03 <sub>H</sub> /3 <sub>D</sub> /0x3033 <sub>ASCII</sub> .....	
	FSP004_ModuleInterlocks .....	7
	0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub> .....	
	FSP005_InterlocksEnable .....	9
	0x05 <sub>H</sub> /5 <sub>D</sub> /0x3035 <sub>ASCII</sub> .....	
	FSP006_InterlocksArrivalSequence .....	10
	0x06 <sub>H</sub> /6 <sub>D</sub> /0x3036 <sub>AS</sub> .....	
	FSP009_ModuleSerialNumber .....	11
	0x09 <sub>H</sub> /9 <sub>D</sub> /0x3039 <sub>ASCII</sub> .....	
	FSP010_ModuleCommands .....	12
	0x0A <sub>H</sub> /10 <sub>D</sub> /0x3041 <sub>ASCII</sub> .....	
	FSP011_ModuleInterlocksMask_n .....	13
	0x0B <sub>H</sub> /11 <sub>D</sub> /0x3042 <sub>ASCII</sub> .....	
	FSP012_USIConfig .....	15
	0x0C <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub> .....	
	FSP013_PeripheralConfig .....	16
	0x0D <sub>H</sub> /13 <sub>D</sub> /0x3044 <sub>ASCII</sub> .....	
	FSP030_SetValue_A .....	17
	0x1E <sub>H</sub> /30 <sub>D</sub> /0x3145 <sub>ASCII</sub> .....	
	FSP031_SetValue_B .....	18
	0x1F <sub>H</sub> /31 <sub>D</sub> /0x3146 <sub>ASCII</sub> .....	
	FSP040_RemoteUpdateStatus .....	19
	0x28 <sub>H</sub> /40 <sub>D</sub> /0x3238 <sub>ASCII</sub> .....	
	FSP041_RemoteUpdateCommands .....	20
	0x29 <sub>H</sub> /41 <sub>D</sub> /0x3239 <sub>ASCII</sub> .....	
	FSP042_RemoteUpdateData .....	21
	0x2A <sub>H</sub> /42 <sub>D</sub> /0x3241 <sub>ASCII</sub> .....	
	FSP045_AlteraRemoteUpdateCmd .....	23
	0x2D <sub>H</sub> /45 <sub>D</sub> /0x3244 <sub>ASCII</sub> .....	
	FSP046_AlteraRemoteUpdateStatus .....	24
	0x2E <sub>H</sub> /46 <sub>D</sub> /0x3245 <sub>ASCII</sub> .....	
	FSP050_ModuleSupplyValues .....	25
	0x32 <sub>H</sub> /50 <sub>D</sub> /0x3332 <sub>ASCII</sub> .....	
	FSP051_ModulePotiValues .....	26
	0x33 <sub>H</sub> /51 <sub>D</sub> /0x3333 <sub>ASCII</sub> .....	
	FSP052_ModuleComparatorValues .....	27
	0x34 <sub>H</sub> /52 <sub>D</sub> /0x3334 <sub>ASCII</sub> .....	
	FSP053_ModuleTemperatures .....	28
	0x35 <sub>H</sub> /53 <sub>D</sub> /0x3335 <sub>ASCII</sub> .....	
	FSP054_ModuleTemperaturesComparisonThresholds .....	29
	0x36 <sub>H</sub> /54 <sub>D</sub> /0x3336 <sub>ASCII</sub> .....	
	FSP055_WaterFlowMeasurement .....	30
	0x37 <sub>H</sub> /55 <sub>D</sub> /0x3337 <sub>ASCII</sub> .....	
	FSP058_ParameterChecksumValue .....	31
	0x3A <sub>H</sub> /58 <sub>D</sub> /0x3341 <sub>ASCII</sub> .....	
	FSP059_ParameterChecksumValueCalculated .....	32
	0x3B <sub>H</sub> /59 <sub>D</sub> /0x3342 <sub>ASCII</sub> .....	
	FSP060_ValCounter .....	33
	0x3C <sub>H</sub> /60 <sub>D</sub> /0x3343 <sub>ASCII</sub> .....	
	FSP064_InterlockSelectMUX .....	34
	0x40 <sub>H</sub> /64 <sub>D</sub> /0x3440 <sub>ASCII</sub> .....	
	FSP065_HighSpeed_USI_1_ReturnChannel_SourceSelectionMux .....	35
	0x41 <sub>H</sub> /65 <sub>D</sub> /0x3441 <sub>ASCII</sub> .....	
	FSP066_ADT7410_Temperatures .....	36
	0x42 <sub>H</sub> /66 <sub>D</sub> /0x3442 <sub>ASCII</sub> .....	
	FSP067_Crowbar_PulsePeriod .....	37
	0x43 <sub>H</sub> /67 <sub>D</sub> /0x3443 <sub>ASCII</sub> .....	
	FSP68_Crowbar_T_on .....	38

0x44 <sub>H</sub> /68 <sub>D</sub> /0x3444 <sub>ASCII</sub>	
FSP69_Crowbar_BurstLength .....	39
0x45 <sub>H</sub> /69 <sub>D</sub> /0x3445 <sub>ASCII</sub>	
FSP070_Controller_1_InputSourceSelectionMultiplexer .....	40
0x46 <sub>H</sub> /70 <sub>D</sub> /0x3436 <sub>ASCII</sub>	
FSP071_Controller_1_DifferenceCalculatorMultiplier .....	42
0x47 <sub>H</sub> /71 <sub>D</sub> /0x3731 <sub>ASCII</sub>	
FSP072_Controller_1_PI_Settings.....	43
0x48 <sub>H</sub> /72 <sub>D</sub> /0x3448 <sub>ASCII</sub>	
FSP073_Controller_1_Limits.....	44
0x49 <sub>H</sub> /73 <sub>D</sub> /0x3439 <sub>ASCII</sub>	
FSP074_Controller_1_ComparatorLimits .....	45
0x4A <sub>H</sub> /74 <sub>D</sub> /0x3441 <sub>ASCII</sub>	
FSP079_Controller_1_Values.....	46
0x4F <sub>H</sub> /79 <sub>D</sub> /0x3446 <sub>ASCII</sub>	
FSP080_Controller_2_InputSourceSelectionMultiplexer .....	47
0x50 <sub>H</sub> /80 <sub>D</sub> /0x3530 <sub>ASCII</sub>	
FSP081_Controller_2_DifferenceCalculatorMultiplier .....	49
0x51 <sub>H</sub> /81 <sub>D</sub> /0x3531 <sub>ASCII</sub>	
FSP082_Controller_2_PI_Settings.....	50
0x52 <sub>H</sub> /82 <sub>D</sub> /0x3542 <sub>ASCII</sub>	
FSP083_Controller_2_Limits.....	51
0x53 <sub>H</sub> /83 <sub>D</sub> /0x3533 <sub>ASCII</sub>	
FSP084_Controller_2_ComparatorLimits .....	52
0x54 <sub>H</sub> /84 <sub>D</sub> /0x3544 <sub>ASCII</sub>	
FSP085_FF_AddersLimits.....	53
0x55 <sub>H</sub> /85 <sub>D</sub> /0x3545 <sub>ASCII</sub>	
FSP086_SPI_Ext_Cfg.....	54
0x56 <sub>H</sub> /86 <sub>D</sub> /0x3536 <sub>ASCII</sub>	
FSP089_Controller_2_Values.....	55
0x59 <sub>H</sub> /89 <sub>D</sub> /0x3539 <sub>ASCII</sub>	
FSP092_Ud_Correction_C1_ControlBitsAndSetValue .....	56
0x5C <sub>H</sub> /92 <sub>D</sub> /0x3543 <sub>ASCII</sub>	
FSP093_Ud_Correction_C1_Limits.....	57
0x5D <sub>H</sub> /93 <sub>D</sub> /0x3544 <sub>ASCII</sub>	
FSP094_InputFilterDelay .....	58
0x5E <sub>H</sub> /94 <sub>D</sub> /0x3545 <sub>ASCII</sub>	
FSP095_ExtSPI_EEPROM_Cfg.....	59
0x5F <sub>H</sub> /95 <sub>D</sub> /0x3546 <sub>ASCII</sub>	
FSP096_ExtSPI_ID .....	60
0x60 <sub>H</sub> /96 <sub>D</sub> /0x3630 <sub>ASCII</sub>	
FSP097_ExtSPI_IO_Outputs.....	61
0x61 <sub>H</sub> /97 <sub>D</sub> /0x3631 <sub>ASCII</sub>	
FSP098_ExtSPI_IO_Inputs.....	62
0x62 <sub>H</sub> /98 <sub>D</sub> /0x3632 <sub>ASCII</sub>	
FSP099_UdCorrection_Cx_ControlValues .....	63
0x63 <sub>H</sub> /99 <sub>D</sub> /0x3939 <sub>ASCII</sub>	
FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us.....	64
0x64 <sub>H</sub> /100 <sub>D</sub> /0x3634 <sub>ASCII</sub>	
FSP101_WaterFlow_Thresholds .....	65
0x65 <sub>H</sub> /101 <sub>D</sub> /0x3635 <sub>ASCII</sub>	
FSP102_ExtSPI_3_ADCandUser_OFFSET_CHx.....	66
0x66 <sub>H</sub> /102 <sub>D</sub> /0x3636 <sub>ASCII</sub>	
FSP103_ExtSPI_3_ADCandUser_GAIN_CHx .....	67
0x67 <sub>H</sub> /103 <sub>D</sub> /0x3637 <sub>ASCII</sub>	
FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx .....	68
0x68 <sub>H</sub> /104 <sub>D</sub> /0x3638 <sub>ASCII</sub>	
FSP105_ExtSPI_4_ADCandUser_GAIN_Chx .....	69
0x69 <sub>H</sub> /105 <sub>D</sub> /0x3639 <sub>ASCII</sub>	
FSP106_ExtSPI_Status .....	70
0x6A <sub>H</sub> /106 <sub>D</sub> /0x3641 <sub>ASCII</sub>	
FSP109_PWM_PLLPhaseShift_ReConfig.....	71
0x6D <sub>H</sub> /109 <sub>D</sub> /0x3644 <sub>ASCII</sub>	
FSP110_PWM_C1_Config .....	72
0x6E <sub>H</sub> /110 <sub>D</sub> /0x3645 <sub>ASCII</sub>	
FSP111_PWM_Limits.....	74
0x6F <sub>H</sub> /111 <sub>D</sub> /0x3646 <sub>ASCII</sub>	

FSP112_PWM_InhibitValue.....	75
0x70 <sub>H</sub> /112 <sub>D</sub> /0x3730 <sub>ASCII</sub>	
FSP115_ExtSPI_3_ADC_OffsetGain .....	76
0x73 <sub>H</sub> /115 <sub>D</sub> /0x3733 <sub>ASCII</sub>	
FSP116_ExtSPI_3_ADC_Thrs .....	77
0x74 <sub>H</sub> /116 <sub>D</sub> /0x3734 <sub>ASCII</sub>	
FSP117_ExtSPI_3_ADC_Sig .....	78
0x75 <sub>H</sub> /117 <sub>D</sub> /0x3735 <sub>ASCII</sub>	
FSP118_ExtSPI_3_ADC_SigScaledAndAveraged .....	79
0x76 <sub>H</sub> /118 <sub>D</sub> /0x3736 <sub>ASCII</sub>	
FSP119_ExtSPI_4_ADC_OffsetGain .....	80
0x77 <sub>H</sub> /119 <sub>D</sub> /0x3737 <sub>ASCII</sub>	
FSP120_ExtSPI_4_ADC_Thrs .....	81
0x78 <sub>H</sub> /120 <sub>D</sub> /0x3738 <sub>ASCII</sub>	
FSP121_ExtSPI_4_ADC_Sig .....	82
0x79 <sub>H</sub> /121 <sub>D</sub> /0x3739 <sub>ASCII</sub>	
FSP122_ExtSPI_4_ADC_SigScaledAndAveraged .....	83
0x7A <sub>H</sub> /122 <sub>D</sub> /0x3741 <sub>ASCII</sub>	
FSP123_Controller_3_InputSourceSelectionMultiplexer .....	84
0x7B <sub>H</sub> /123 <sub>D</sub> /0x3742 <sub>ASCII</sub>	
FSP124_Controller_3_DifferenceCalculatorMultiplier .....	86
0x7C <sub>H</sub> /124 <sub>D</sub> /0x3743 <sub>ASCII</sub>	
FSP125_Controller_3_PI_Settings.....	87
0x7D <sub>H</sub> /125 <sub>D</sub> /0x3744 <sub>ASCII</sub>	
FSP126_Controller_3_Limits.....	88
0x7E <sub>H</sub> /126 <sub>D</sub> /0x3745 <sub>ASCII</sub>	
FSP127_Controller_3_ComparatorLimits .....	89
0x7F <sub>H</sub> /127 <sub>D</sub> /0x3746 <sub>ASCII</sub>	
FSP129_Controller_3_Values.....	90
0x81 <sub>H</sub> /129 <sub>D</sub> /0x3831 <sub>ASCII</sub>	
FSP130_Ud_Correction_C2_ControlBitsAndSetValue .....	91
0x82 <sub>H</sub> /130 <sub>D</sub> /0x3832 <sub>ASCII</sub>	
FSP131_Ud_Correction_C2_Limits .....	92
0x83 <sub>H</sub> /131 <sub>D</sub> /0x3833 <sub>ASCII</sub>	
FSP132_Ud_Correction_C3_ControlBitsAndSetValue .....	93
0x84 <sub>H</sub> /132 <sub>D</sub> /0x3834 <sub>ASCII</sub>	
FSP133_Ud_Correction_C3_Limits .....	94
0x85 <sub>H</sub> /133 <sub>D</sub> /0x3835 <sub>ASCII</sub>	
FSP134_PWM_SetValueC2C3_Sel (ThresholdValues) .....	95
0x86 <sub>H</sub> /134 <sub>D</sub> /0x3836 <sub>ASCII</sub>	
FSP136_ExtSPI_4_ADC_ScalingFactors.....	96
0x88 <sub>H</sub> /136 <sub>D</sub> /0x3838 <sub>ASCII</sub>	
FSP137_PWMMux_SetValue .....	97
0x89 <sub>H</sub> /139 <sub>D</sub> /0x3842 <sub>ASCII</sub>	

**1. Änderungsliste**

Datum	Name	Kommentar
01.07.2021	D. Schupp	Dokument erstellt
17.11.2021	D. Schupp	FW 7.1
09.12.2021	D. Schupp	FW 7.1 Update bzgl. SPI

## **2. ACU-FSPs\_NCTstFac**

Dieses Dokument behandelt modulspezifische FSPs des Normal Conducting Test Facility Moduls.

Dabei handelt es sich um eine spezielle Firmware, die auf der Hardwareplattform des ICM Moduls (FG660\_05x) Anwendung findet.

Name	<b>FSP001_ModuleStatus</b>
Adresse	<b>0x01<sub>H</sub>/1<sub>D</sub>/0x3031<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

- [23] wenn ,1', Hauptschütz geschlossen
- [22] wenn ,1', externe Reglerfreigabe
- [21] Reserviert  
Reserviert für zukünftige Anwendungen
- [20] wenn ,1', Regler freigegeben
- [19..16] Status des Moduls

[3..0]	Status
0x0	Kein Status lesbar
0x1	<i>cSTATUSSetDefaults/ cSTATSUWaitForParameters</i> keine definierter Status
0x2	<i>cSTATUSUnitOff</i> Gerät ausgeschaltet
0x3	<i>cSTATUSLoadingBank</i> Bank laden
0x4	<i>cSTATUSSwitchingUnitOn</i> Gerät einschalten
0x5	<i>cSTATUSUnitOn</i> Gerät eingeschaltet
0x6	<i>cSTATUSControllerDisabledByFPGAInternalCause</i> FPGA interne Gründe (des Status erzeugenden Moduls) sperren den Regler
0x7	<i>cSTATUSControllerEnabled</i> Regler freigegeben
0x8	<i>cSTATUSSwitchingUnitOff</i> Gerät ausschalten
0x9	<i>cSTATUSControllerDisabledByCommand</i> Das Kommando <i>cCMDDisableController</i> sperrt den Regler
0xA	<i>cSTATUSControllerDisabledByFPGAExternalCause</i> FPGA externe Gründe (des Status erzeugenden Moduls) sperren den Regler
0xB	<i>cSTATUSResetInterlocks</i>
0xC	<i>cSTATUSMachineProtection</i>
0xD	n.u.
0xE	<i>cSTATUSPowerOnReset</i>
0xF	<i>cSTATUSWhenOthers</i> keine definierter Status

- [15..12] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten

0x3	<i>cCMDResetUnit</i> Reset durchführen (z.B. Interlocks)
0x4	<i>cCMDDisableController</i>
0x5	<i>cCMDTriggerSomething</i> hiermit lassen sich Sonderfunktionen in Modulen auslösen

- [11] CrowbarFiringSig  
wenn ,1' aktiv
- [10..9] Reserviert  
Reserviert für zukünftige Anwendungen
- [8] USISlave1\_IsHighSpeed  
wenn ,1' ist USI Slave1 im Highspeed Mode
- [7] Reserviert
- [6] SwitchingOperationTimerCheck
- [5] NoInterlocks  
wenn ,1' stehen keine Interlocks an  
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors  
wenn ,1' ist Modul fehlerfrei  
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings  
wenn ,1' ist Modul ohne Warnungen  
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady  
wenn ,1' ist Modul betriebsbereit  
Das Modul ist voll betriebsbereit
- [1] ChecksumOK  
wenn ,1' Parameter Checksumme OK  
Die Prüfsumme für die Modulparameter ist bestätigt.
- [0] ParametersLoaded  
wenn ,1' sind die Parameter geladen  
Das Modul hat seine Konfigurationsparameter geladen.



Name	<b>FSP002_ModuleWarnings</b>
Adresse	<b>0x02<sub>H</sub>/2<sub>D</sub>/0x3032<sub>ASCII</sub></b>
Tiefe	modulabhängig
I/O	3 Byte / 24 Bit
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt ( z.B. Temperatur des Moduls zu hoch ).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] des FSP001\_ModuleStatus = ,0'.

[23..0]      n.u., immer ,1'

Name	<b>FSP003_ModuleErrors</b>
Adresse	<b>0x03<sub>H</sub>/3<sub>D</sub>/0x3033<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] des FSP001\_ModuleStatus = ,0'.

[23..0]      n.u., immer ,1'

Name	<b>FSP004_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4<sub>D</sub>/0x3034<sub>ASCII</sub></b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] des FSP001\_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

#### **Gespeicherte Interlocks**

- [79...78] wenn ,0', TooLessWater\_SPI\_1\_Filt[1..0]
- [77..76] wenn ,0', TooLessWater\_SPI\_0\_Filt[1..0]
- [75..72] wenn ,0', anstehendes Interlock am ExtensionBusIn[6,4,2,0]  
EXTENSION\_BUS\_IN[6],  
EXTENSION\_BUS\_IN[4],  
EXTENSION\_BUS\_IN[2],  
EXTENSION\_BUS\_IN[0]
- [71] n.u., immer ,1'  
VCC\_BUS[0]
- [70] USIsHighSpeed Abbruch  
USISlave1\_IsHighSpeed
- [69..68] wenn ,0', anstehendes Interlock am zugehörigen Wasserdurchflusswächter  
WaterFlowOK\_Filt[2..1]
- [67..58] wenn ,0', anstehendes Interlock am zugehörigen elektrischen Eingang  
ELECTRICAL\_IN\_Filtred[9..0]
- [57] wenn ,0', anstehendes Interlock am Quench In  
QUENCH\_IN
- [56..49] wenn ,0', anstehendes Interlock am zugehörigen optische Eingang  
OPTICAL\_IN[7..0]
- [48..40] wenn ,0', anstehendes Interlock am zugehörigen Komparator  
COMP\_IN[9..1]

#### **Aktuell anstehende Interlocks**

- [39..38] wenn ,0', TooLessWater\_SPI\_1\_Filt[1..0]
- [37..36] wenn ,0', TooLessWater\_SPI\_0\_Filt[1..0]
- [35..32] wenn ,0', anstehendes Interlock am ExtensionBusIn[6,4,2,0]  
EXTENSION\_BUS\_IN[6],  
EXTENSION\_BUS\_IN[4],  
EXTENSION\_BUS\_IN[2],  
EXTENSION\_BUS\_IN[0]
- [31] n.u., immer ,1'  
VCC\_BUS[0]

- [30] USIsHighSpeed Abbruch  
USISlave1\_IsHighSpeed
- [29..28] wenn '0', anstehendes Interlock am zugehörigen Wasser-Durchflusswächter  
WaterFlowOK\_Filt[2..1]
- [27..18] wenn '0', anstehendes Interlock am zugehörigen elektrischen Eingang  
ELECTRICAL\_IN\_Filtred[9..0]
- [17] wenn '0', anstehendes Interlock am Quench In  
QUENCH\_IN
- [16..9] wenn '0', anstehendes Interlock am zugehörigen optische Eingang  
OPTICAL\_IN[7..0]
- [8..0] wenn '0', anstehendes Interlock am zugehörigen Komparator  
COMP\_IN[9..1]

Name	<b>FSP005_InterlocksEnable</b>
Adresse	<b>0x05<sub>H</sub>/5<sub>D</sub>/0x3035<sub>ASCII</sub></b>
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP sind alle Interlock Enable Informationen des Moduls abgebildet sofern darüber Informationen zur Verfügung gestellt werden. I.d.R. werden auf Modulen z.B. Jumperstellungen bzgl. der Zulässigkeit von Interlocks abgefragt und deren Einstellungen hier abgelegt.

Ist ein Interlock aktiviert (also zugelassen) ist das korrespondierende Bit in diesem FSP gesetzt, nicht zugelassene, also dauerhaft gesperrte Interlocks werden durch eine ,0' dargestellt.

- [39..36] n.u., immer ,0'
- [35..32] wenn ,1' Interlocks des ExtensionBusIn[6,4,2,0] aktiv
- [31..28] n.u., immer ,0'
- [27..18] wenn '1' Interlock des zugehörigen elektrischen Eingangs aktiv
- [17] wenn '1' Interlock des zugehörigen Quench In aktiv
- [16..9] wenn '1' Interlock des zugehörigen optischen Eingangs aktiv
- [8..0] n.u., immer ,0'

Name	<b>FSP006_InterlocksArrivalSequence</b>
Adresse	<b>0x06<sub>H</sub>/6<sub>D</sub>/0x3036<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Byte
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

Name	<b>FSP009_ModuleSerialNumber</b>
Adresse	<b>0x09<sub>H</sub>/9<sub>D</sub>/0x3039<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

[95..48] Erweiterungsmodule an X22 Seriennummer

[47..0] ICM Modul Seriennummer

Name	<b>FSP010_ModuleCommands</b>
Adresse	<b>0x0A<sub>H</sub>/10<sub>D</sub>/0x3041<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

Die Kommandos dieses FSPs werden nur ausgeführt, wenn das Modul mittels Standard-USI angebunden ist. Wird die USI HighSpeed Verbindung verwendet, dann werden die Kommandos aus diesem FSP ignoriert. Stattdessen erfolgt die Kommandoübertragung über die HighSpeed Anbindung.

[7..5] n.u.

[4] Wenn ,1' → V5\_On\_V6\_Off aktiv

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (z.B. Interlocks)
0x4	<i>cCMDDisableController</i>
0x5	<i>cCMDTriggerSomething</i> hiermit lassen sich Sonderfunktionen in Modulen auslösen



Name	<b>FSP011_ModuleInterlocksMask_n</b>
Adresse	<b>0x0B<sub>H</sub>/11<sub>D</sub>/0x3042<sub>ASCII</sub></b>
Tiefe	15 Byte / 120 Bit
I/O	lesen / schreiben
Reset	0xFFC0000000_FFC0000000_FFC0000000 <sub>H</sub>

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

#### **Zugelassene Interlocks nach der Reglerfreigabe**

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschütz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschütz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

[119...118] wenn ,0', werden zugehörige TooLessWater\_SPI\_1\_Filt[1..0] dauerhaft erfasst

[117..116] wenn ,0', werden zugehörige TooLessWater\_SPI\_0\_Filt[1..0] dauerhaft erfasst

[115..112] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock dauerhaft erfasst  
EXTENSION\_BUS\_IN[6],  
EXTENSION\_BUS\_IN[4],  
EXTENSION\_BUS\_IN[2],  
EXTENSION\_BUS\_IN[0]

[111] n.u., immer ,1'

[110] wenn ,0' wird ein USIsHighSpeed Abbruch dauerhaft erfasst  
USISlave1\_IsHighSpeed

[109..108] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks dauerhaft erfasst  
WaterFlowOK\_Filt[2..1]

[107..98] wenn ,0' werden zugehörige Elektrische Eingangs-Interlocks dauerhaft erfasst  
ELECTRICAL\_IN\_Filtred[9..0]

[97] wenn ,0' wird zugehöriges Optische Eingangs-Interlocks dauerhaft erfasst  
QUENCH\_IN

[96..89] wenn ,0' werden zugehörige Optische Eingangs-Interlocks dauerhaft erfasst  
OPTICAL\_IN[7..0]

[88..80] wenn ,0', werden zugehörige Komparator-Interlocks dauerhaft erfasst  
COMP\_IN[9..1]

#### **Gespeicherte Interlocks**

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

[79...78] wenn ,0', werden zugehörige TooLessWater\_SPI\_1\_Filt[1..0] gespeichert

[77..76] wenn ,0', werden zugehörige TooLessWater\_SPI\_0\_Filt[1..0] gespeichert

[75..72] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock gespeichert  
EXTENSION\_BUS\_IN[6],  
EXTENSION\_BUS\_IN[4],  
EXTENSION\_BUS\_IN[2],  
EXTENSION\_BUS\_IN[0]

- [71] n.u., immer ,1'
- [70] wenn ,0' wird ein USIsHighSpeed Abbruch gespeichert  
USISlave1\_IsHighSpeed
- [69..68] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks gespeichert  
WaterFlowOK\_Filt[2..1]
- [67..58] wenn '0' werden zugehörige Elektrische Eingangs-Interlocks gespeichert  
ELECTRICAL\_IN\_Filtred[9..0]
- [57] wenn '0' wird zugehöriges Optische Eingangs-Interlocks gespeichert  
QUENCH\_IN
- [57..49] wenn '0' werden zugehörige Optische Eingangs-Interlocks gespeichert  
OPTICAL\_IN[7..0]
- [48..40] wenn '0', werden zugehörige Komparator-Interlocks gespeichert  
COMP\_IN[9..1]

#### **Aktuell anstehende Interlocks**

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [39..38] wenn ,0', werden zugehörige TooLessWater\_SPI\_1\_Filt[1..0] angezeigt
- [37..36] wenn ,0', werden zugehörige TooLessWater\_SPI\_0\_Filt[1..0] angezeigt
- [35..32] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock angezeigt  
EXTENSION\_BUS\_IN[6],  
EXTENSION\_BUS\_IN[4],  
EXTENSION\_BUS\_IN[2],  
EXTENSION\_BUS\_IN[0]
- [31] n.u., immer ,1'
- [30] wenn ,0' wird ein USIsHighSpeed Abbruch angezeigt  
USISlave1\_IsHighSpeed
- [29..28] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks angezeigt  
WaterFlowOK\_Filt[2..1]
- [27..18] wenn '0' werden zugehörige Elektrische Eingangs-Interlocks angezeigt  
ELECTRICAL\_IN\_Filtred[9..0]
- [17] wenn '0' wird zugehöriges Optische Eingangs-Interlocks angezeigt  
QUENCH\_IN
- [16..9] wenn '0' werden zugehörige Optische Eingangs-Interlocks angezeigt  
OPTICAL\_IN[7..0]
- [8..0] wenn '0', werden zugehörige Komparator-Interlocks angezeigt  
COMP\_IN[9..1]

Name	<b>FSP012_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	Lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

[7]                wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3]            n.u.

[2..0]            USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	<b>FSP013_PeripheralConfig</b>
Adresse	<b>0x0D<sub>H</sub>/13<sub>D</sub>/0x3044<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80 <sub>H</sub>

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058\_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt.  
Das Löschen dieses Bit löscht die zuvor errechnete Prüfsumme.
- [6..0] n.u.

Name	<b>FSP030_SetValue_A</b>
Adresse	<b>0x1E<sub>H</sub>/30<sub>D</sub>/0x3145<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittlung eines 20 Bit Sollwertes\_A an diverse Ziele.

[23..0] 20 Bit Sollwert\_A, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_A vorgegeben:

- Als Sollwert für den PI Regler **1** mittels des Sollwert-Multiplexer, welcher über „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **2** mittels des Sollwert-Multiplexer, welcher über „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **3** mittels des Sollwert-Multiplexer, welcher über „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **1** mittels des Istwert-Multiplexer, welcher über „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **2** mittels des Istwert-Multiplexer, welcher über „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **3** mittels des Istwert-Multiplexer, welcher über „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für die PWM **1** mittels des PWM 1-Multiplexer welcher über „FSP110\_PWM\_C1\_Config“ konfiguriert wird.
- Als Sollwert für die PWM **2** mittels des PWM 2-Multiplexer welcher über „FSP134\_PWM\_SetValueC2C3\_Sel (ThresholdValues)“ konfiguriert wird.
- Als Sollwert für die PWM **3** mittels des PWM 3-Multiplexer welcher über „FSP134\_PWM\_SetValueC2C3\_Sel (ThresholdValues)“ konfiguriert wird.

Name	<b>FSP031_SetValue_B</b>
Adresse	<b>0x1F<sub>H</sub>/31<sub>D</sub>/0x3146<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes\_B an diverse Ziele.

[23..0] 20 Bit Sollwert\_B, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_B vorgegeben:

- Als Sollwert für den PI Regler **1** mittels des Sollwert-Multiplexer, welcher über „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **2** mittels des Sollwert-Multiplexer, welcher über „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **3** mittels des Sollwert-Multiplexer, welcher über „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **1** mittels des Istwert-Multiplexer, welcher über „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **2** mittels des Istwert-Multiplexer, welcher über „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **3** mittels des Istwert-Multiplexer, welcher über „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für die PWM **1** mittels des PWM 1-Multiplexer welcher über „FSP110\_PWM\_C1\_Config“ konfiguriert wird.
- Als Sollwert für die PWM **2** mittels des PWM 2-Multiplexer welcher über „FSP134\_PWM\_SetValueC2C3\_Sel (ThresholdValues)“ konfiguriert wird.
- Als Sollwert für die PWM **3** mittels des PWM 3-Multiplexer welcher über „FSP134\_PWM\_SetValueC2C3\_Sel (ThresholdValues)“ konfiguriert wird.

Name	<b>FSP040_RemoteUpdateStatus</b>
Adresse	<b>0x28<sub>H</sub>/40<sub>D</sub>/0x3238<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042\_Busy  
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042\_ReadyToSendData,  
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042\_ReadyToReceiveData,  
wenn ,1' können Daten vom Host an FSP42 gesendet werden.

Name	<b>FSP041_RemoteUpdateCommands</b>
Adresse	<b>0x29<sub>H</sub>/41<sub>D</sub>/0x3239<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init



Name	<b>FSP042_RemoteUpdateData</b>
Adresse	<b>0x2A<sub>H</sub>/42<sub>D</sub>/0x3241<sub>ASCII</sub></b>
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

**Achtung:** Dieses FSP ist besonders im Hinblick auf Lesen und Schreiben. Da das FSP ein nachgeschalteter serieller Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

#### Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

#### Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

#### Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ASCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

#### Abbrechen/Beenden

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abrechnen/beenden.

Name	<b>FSP045_AlteraRemoteUpdateCmd</b>
Adresse	<b>0x2D<sub>H</sub>/45<sub>D</sub>/0x3244<sub>ASCII</sub></b>
Tiefe	7 Byte / 56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0 <sub>H</sub>

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

#### Imagetyyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyyp.

#### Imagetyyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

Mit Einführung des CycloneV änderte sich dieses FSP inhaltlich leicht.

Die Startadresse wanderte um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)

#### Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

#### Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

#### Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read\_n\_Write\_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	<b>FSP046_AlteraRemoteUpdateStatus</b>
Adresse	<b>0x2E<sub>H</sub>/46<sub>D</sub>/0x3245<sub>ASCII</sub></b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

- [79..72] ReconfTriggerCondition
- [71..69] Force Osc\_int n.u.
- [68] Force Osc\_int
- [67..44] Boot Address
- [43..41] Wachdog Enable n.u.
- [40] Wachdog Enable
- [39..8] Wachdog timeout
- [7..5] Cd\_early n.u.
- [4] Cd\_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
- [3..2] MSM State n.u.
- [1..0] MSM State ('00' = Factory Image, '11' = Application Image)

Name	<b>FSP050_ModuleSupplyValues</b>
Adresse	<b>0x32<sub>H</sub>/50<sub>D</sub>/0x3332<sub>ASCII</sub></b>
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -12 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 12 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

Name	<b>FSP051_ModulePotiValues</b>
Adresse	<b>0x33<sub>H</sub>/51<sub>D</sub>/0x3333<sub>ASCII</sub></b>
Tiefe	20 Byte / 160 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert die vorzeichenbehafteten Poti-Spannungen der Komparator/Potimodule. Diese Spannungen definieren die Schaltschwelle der Komparatoren.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0‘.

Die Spannungen sind dabei wie folgt sortiert.

[159..144]	ADC1 Poti-Spannungen des Moduls auf X16 (bipolar), negative Schwelle (13 Bit)
[143..128]	ADC1 Poti-Spannungen des Moduls auf X16 (bipolar), positive Schwelle (13 Bit)
[127..112]	ADC2 Poti-Spannungen des Moduls auf X25 (bipolar), negative Schwelle (13 Bit)
[111..96]	ADC2 Poti-Spannungen des Moduls auf X25 (bipolar), positive Schwelle (13 Bit)
[95..80]	ADC3 Poti-Spannungen des Moduls auf X17 (bipolar), negative Schwelle (13 Bit)
[79..64]	ADC3 Poti-Spannungen des Moduls auf X17 (bipolar), positive Schwelle (13 Bit)
[63..48]	ADC4 Poti-Spannungen des Moduls auf X26 (bipolar), negative Schwelle (13 Bit)
[47..32]	ADC4 Poti-Spannungen des Moduls auf X26 (bipolar), positive Schwelle (13 Bit)
[31..16]	n.u., immer ,0‘
[15..0]	ADC5 Poti-Spannungen des Moduls auf X15 (unipolar), positive Schwelle (13 Bit)

Name	<b>FSP052_ModuleComparatorValues</b>
Adresse	<b>0x34<sub>H</sub>/52<sub>D</sub>/0x3334<sub>ASCII</sub></b>
Tiefe	20 Byte / 160 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert die vorzeichenbehafteten Komparator-Spannungen der Komparator/Potimodule, jeweils vor und hinter dem Filter.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

- [159..144]     ADC1 Komparator-Spannung des Moduls auf X16 (bipolar), hinter dem Filter (13 Bit)
- [143..128]     ADC1 Komparator-Spannung des Moduls auf X16 (bipolar), vor dem Filter (13 Bit)
- [127..112]     ADC2 Komparator-Spannung des Moduls auf X25 (bipolar), hinter dem Filter (13 Bit)
- [111..96]        ADC2 Komparator-Spannung des Moduls auf X25 (bipolar), vor dem Filter (13 Bit)
- [95..80]         ADC3 Komparator-Spannung des Moduls auf X17 (bipolar), hinter dem Filter (13 Bit)
- [79..64]         ADC3 Komparator-Spannung des Moduls auf X17 (bipolar), vor dem Filter (13 Bit)
- [63..48]         ADC4 Komparator-Spannung des Moduls auf X26 (bipolar), hinter dem Filter (13 Bit)
- [47..32]         ADC4 Komparator-Spannung des Moduls auf X26 (bipolar), vor dem Filter (13 Bit)
- [31..16]         ADC5 Komparator-Spannung des Moduls auf X15 (unipolar), hinter dem Filter' (13 Bit)
- [15..0]          ADC5 Komparator-Spannung des Moduls auf X15 (unipolar), vor dem Filter (13 Bit)

Name	<b>FSP053_ModuleTemperatures</b>
Adresse	<b>0x35<sub>H</sub>/53<sub>D</sub>/0x3335<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

[31..24] Alarm\_Info

[7..0]	Bedeutung
0x00	n.u., Resetzustand
0x01	Device <b>1</b> nicht bereit
0x02	Device <b>2</b> nicht bereit
0x04	Device <b>3</b> nicht bereit
0x08	DeviceSearchRunDone
0x10	Device <b>1</b> Grenze überschritten
0x20	Device <b>2</b> Grenze überschritten
0x40	Device <b>3</b> Grenze überschritten
0x80	Alarm Interrupt wenn Grenze bei einem Device überschritten

[23..16] Sensor **3**: Temperatur Modul Mitte (8 Bit)

[15..8] Sensor **2**: Temperatur FPGA (8 Bit)

[7..0] Sensor **1**: Temperatur DC-DC Wandler (8 Bit)

Die Schwellen der Temperaturgrenzen werden im „FSP054\_ModuleTemperaturesComparationThresholds“ festgelegt.



Name	<b>FSP054_ModuleTemperaturesComparisonThresholds</b>
Adresse	<b>0x36<sub>H</sub>/54<sub>D</sub>/0x3336<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x46_46_46 <sub>H</sub>

Stellt die vorzeichenbehafteten Vergleichswerte zur Verfügung bei denen die Temperatursensoren Alarm auslösen sollen, sofern die Temperatur überschritten wurde.

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

Als Standardwert ist 70° Celsius (70<sub>D</sub> = 46<sub>H</sub>) gewählt.

[23..16]      Sensor **3**: Temperatur Modul Mitte (8 Bit)

[15..8]        Sensor **2**: Temperatur FPGA (8 Bit)

[7..0]         Sensor **1**: Temperatur DC-DC Wandler (8 Bit)

Name	<b>FSP055_WaterFlowMeasurement</b>
Adresse	<b>0x37<sub>H</sub>/55<sub>D</sub>/0x3337<sub>ASCII</sub></b>
Tiefe	8 Byte / 48 Bit
I/O	lesen / schreiben
Reset	Reset:0x00_00_00_06_6465 <sub>H</sub>

Sind Wasserwächter im Modul vorhanden, werden diese über verschiedene Parameter beschrieben um deren aktuellen Durchfluss zu bestimmen und dazustellen.

„FSP101\_WaterFlow\_Thresholds“ wird mit den unteren und oberen Schwellwerten für den Durchfluss in  $\mu$ Sekunden zwischen zwei Pulsen beschrieben. Zu beachten ist, dass der untere Grenzwert die minimal zulässige Zeitdauer in  $\mu$ Sekunden angibt, die zwischen zwei Pulsen liegen darf, damit aber den maximalen Durchfluss beschreibt. Je kleiner die Zeitspanne zwischen zwei Pulsen ist, desto mehr Wasser fließt durch den Wasserwächter. Umgekehrt beschreibt der obere Schwellwert mit maximal zulässige Zeitdauer in  $\mu$ Sekunden, die zwischen zwei Pulsen liegen darf und damit den minimalen Durchfluss. Je größer die Zeitspanne zwischen zwei Pulsen ist, desto weniger Wasser fließt durch den Wasserwächter.

„FSP100\_InvertedWaterFlow\_TimePeriodeBetweenTwoPulses\_in\_us“ gibt die Zeitdauer zwischen zwei Messimpulsen des Wasserwächters in  $\mu$ Sekunden zurück.

Diese FSP können beliebig im Modul zu finden sein.

Daher beschreibt FSP055 u. A. deren FSP-Adressen.

- [47..44] Index-Typ \*) des SPI\_2\_1. Wasserwächters/Durchflussmessers
- [43..40] Index-Typ \*) des SPI\_2\_0. Wasserwächters/Durchflussmessers
- [39..36] Index-Typ \*) des SPI\_1\_1. Wasserwächters/Durchflussmessers
- [35..32] Index-Typ \*) des SPI\_1\_0. Wasserwächters/Durchflussmessers
- [31..28] Index-Typ \*) des 2. Wasserwächters/Durchflussmessers
- [27..24] Index-Typ \*) des 1. Wasserwächters/Durchflussmesser
- [23..16] Anzahl der verfügbaren Wasserwächter-/Durchflussmesskanäle (0x06<sub>H</sub> = 6<sub>D</sub>)
- [15..8] Adresse des „FSP100\_InvertedWaterFlow\_TimePeriodeBetweenTwoPulses\_in\_us“ (0x64<sub>H</sub> = 100<sub>D</sub>)
- [7..0] Adresse des „FSP101\_WaterFlow\_Thresholds“ Indextypen (0x65<sub>H</sub> = 101<sub>D</sub>)

\*) Indextypen

- |   |                              |   |
|---|------------------------------|---|
| 0 | Float_Type_or_norm_Interlock | (normaler Schaltkontakt, kein Durchfluss übermittelt) |
| 1 | Customized_Values            | (Benutzerwerte)                                       |
| 2 | RRI_010xxx020_2I             | (GHM-Hornsberg)                                       |
| 3 | RRI_010xxx050_12I            | (GHM-Hornsberg)                                       |
| 4 | RRI_010xxx070_14I            | (GHM-Hornsberg)                                       |
| 5 | RRI_025xxx180_36I            | (GHM-Hornsberg)                                       |
| 6 | RRI_025xxx120_72I            | (GHM-Hornsberg)                                       |
| 7 | RRI_010xxx160_120I           | (GHM-Hornsberg)                                       |
| 8 | DRS_9250XXF300               | (Kobold)  |

Name	<b>FSP058_ParameterChecksumValue</b>
Adresse	<b>0x3A<sub>H</sub>/58<sub>D</sub>/0x3341<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Repräsentiert die Vergleichs-Prüfsumme der vom Modul empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „FSP058\_ParameterChecksumValue“ verglichen.

[23..0] Checksumme der Datenübertragung zum Modul.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUISC (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

Name	<b>FSP059_ParameterChecksumValueCalculated</b>
Adresse	<b>0x3B<sub>H</sub>/59<sub>D</sub>/0x3342<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0]      errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.

Name	<b>FSP060_ValCounter</b>
Adresse	<b>0x3C<sub>H</sub>/60<sub>D</sub>/0x3343<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_00 <sub>H</sub>

Gibt Zeiten vor, die das ICM für die Ein-/Ausschaltzyklen benötigt

- [31..24] ,Val\_CutOffTime\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Wiedereinschaltssperre des Gerätes freigegeben wird nachdem das Gerät ausgeschaltet wurde
- [23..16] ,Val\_Timer3\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Regler-Freigabe erfolgt nachdem der elektrische Schaltkontakt 3 eingeschaltet wurde
- [15..8] ,Val\_Timer2\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunden, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 3 eingeschaltet wird nachdem der elektrische Schaltkontakt 2 eingeschaltet wurde
- [7..0] ,Val\_Timer1\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 2 eingeschaltet wird nachdem der elektrische Schaltkontakt 1 eingeschaltet wurde

Name	<b>FSP064_InterlockSelectMUX</b>
Adresse	<b>0x40<sub>H</sub>/64<sub>D</sub>/0x3440<sub>ASCII</sub></b>
Tiefe	3 Byte /24 Bit
I/O	lesen / schreiben
Reset	0x12_2C_2D <sub>H</sub>

Diese FSP legt fest welches korrespondierende Bit der anstehenden Interlocks eine Sonderfunktion auslöst.

Der dabei zu selektierende Bit-Bus ist 46 Bit breit (gezählt werden die Bits von 0..45) und ist wie folgt belegt:

[VCC][GND][Reißleine(1..4)][InterlockBits(39..0)]

InterlockBits entspricht dabei der Interlockverteilung aus „FSP004\_ModuleInterlocks“.

[23..22] n.u.

[21..16] Bitposition, an der das Hauptschutz-Interlock zu finden ist.  
Das Hauptschutz wird über den elektrischen Schaltausgang 1 bedient.  
Die Bitposition des Hauptschützes in diesem FSP muss festgelegt werden, damit die Rückmeldung des Hauptschützes über den zugehörigen Interlockeingang im ICM korrekt verarbeitet werden kann. Andernfalls wird das ICM keine Regler-Freigabe erteilen.  
Nach dem Reset ist Bit 18<sub>D</sub>, 12<sub>H</sub> ausgewählt. Dies entspricht dem digital-elektrischen Interlock Nummer 1.

[15..14] n.u.

[13..8] Bitposition, die das PSS auslöst .  
Das PSS wird über den elektrischen Schaltausgang 3 signalisiert.  
Wird Bit 44<sub>D</sub>, 2C<sub>H</sub> gewählt ist der Schaltausgang dauerhaft ausgeschaltet, wird Bit 45<sub>D</sub>, 2D<sub>H</sub> gewählt dauerhaft eingeschaltet.  
Nach dem Reset ist Bit 44<sub>D</sub>, 2C<sub>H</sub> ausgewählt, wodurch der Schaltausgang dauerhaft abgeschaltet ist.

[7..6] n.u.

[5..0] Bitposition, die eine externe Regler-Sperre zulässt.  
Die Regler-Sperre/-freigabe wird über den elektrischen Schaltausgang 4 signalisiert. die Freigabe ist dabei von mehreren Faktoren abhängig. Über diese Bits ist es möglich einen Interlockeingang oder eine Reißleine zur Regler-Sperre zu nutzen. Außerdem lässt sich eine dauerhafte Sperrung erzwingen (Bit 44<sub>D</sub>, 2C<sub>H</sub>) oder die Funktion der externen Regler-Sperre dauerhaft deaktivieren (Bit 45<sub>D</sub>, 2D<sub>H</sub>).  
Nach dem Reset ist Bit 45<sub>D</sub>, 2D<sub>H</sub> ausgewählt, wodurch die Funktion der externen Regler-Sperre dauerhaft abgeschaltet ist.

Name	<b>FSP065_HighSpeed_USI_1_ReturnChannel_SourceSelectionMux</b>
Adresse	<b>0x41<sub>H</sub>/65<sub>D</sub>/0x3441<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

USI slave 1 back data channel selector

#### 7..4 Lower 14 bits

[3..0]	Beschreibung
0x0	n.u., Resetzustand
0x1	Controller_1_SetValueMuxOut
0x2	Controller_1_ActValueMuxOut
0x3	Controller_2_ActValueMuxOut
0x4	Controller_3_ActValueMuxOut
0x5	Controller_1_PI_Part_Output
0x6	Controller_2_PI_Part_Output
0x7	Controller_3_PI_Part_Output
0x8	Controller_1_MultipliedDeviation
0x9	Controller_2_MultipliedDeviation
0xA	Controller_3_MultipliedDeviation
0xB	UdCorrection_C1_ControlValue_Out
0xC	UdCorrection_C2_ControlValue_Out
0xD	UdCorrection_C3_ControlValue_Out

#### [3..0] Upper 14 bits

[3..0]	Beschreibung
0x0	n.u., Resetzustand
0x1	Controller_1_SetValueMuxOut
0x2	Controller_1_ActValueMuxOut
0x3	Controller_2_ActValueMuxOut
0x4	Controller_3_ActValueMuxOut
0x5	Controller_1_PI_Part_Output
0x6	Controller_2_PI_Part_Output
0x7	Controller_3_PI_Part_Output
0x8	Controller_1_MultipliedDeviation
0x9	Controller_2_MultipliedDeviation
0xA	Controller_3_MultipliedDeviation
0xB	UdCorrection_C1_ControlValue_Out
0xC	UdCorrection_C2_ControlValue_Out
0xD	UdCorrection_C3_ControlValue_Out

Name	<b>FSP066_ADT7410_Temperatures</b>
Adresse	<b>0x42<sub>H</sub>/66<sub>D</sub>/0x3442<sub>ASCII</sub></b>
Tiefe	9 Byte / 72 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Es können bis zu 4 externe ADT7410 Temperatursensoren an das Modul angeschlossen werden.

[71] Wenn der ADT7410 an Kanal A gelesen wird ist dieses Bit ,1‘

[70..68] n.u., immer ,0‘

[67..64] Status

[3..0]	Beschreibung
0x00	n.u., Resetzustand
0x01	Device an Kanal <b>A</b> gefunden
0x02	Device an Kanal <b>B</b> gefunden
0x04	Device an Kanal <b>C</b> gefunden
0x08	Device an Kanal <b>D</b> gefunden

[63..48] Temperatur des ADT7410 an Kanal **A** (15 Bit)

[47..32] Temperatur des ADT7410 an Kanal **B** (15 Bit)

[31..16] Temperatur des ADT7410 an Kanal **C** (15 Bit)

[15..0] Temperatur des ADT7410 an Kanal **D** (15 Bit)



Name	<b>FSP067_Crowbar_PulsePeriod</b>
Adresse	<b>0x43<sub>H</sub>/67<sub>D</sub>/0x3443<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x 001388

It defines the pulse period:  $5000 \cdot 10\text{ns} = 50\mu\text{s}$ . Max value  $2^{24}-1$

Name	<b>FSP68_Crowbar_T_on</b>
Adresse	<b>0x44<sub>H</sub>/68<sub>D</sub>/0x3444<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x 0005DC

It defines the firing signal on time:  $1500 \cdot 10\text{ns} = 15\mu\text{s}$ . NOTE: it has not a minimum value guard band, so it can be set to 1(10ns).

Name	<b>FSP69_Crowbar_BurstLength</b>
Adresse	<b>0x45<sub>H</sub>/69<sub>D</sub>/0x3445<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	Lesen / schreiben
Reset	0x 05

It defines the number of pulses inside the burst. Max value 255.

Name	<b>FSP070_Controller_1_InputSourceSelectionMultiplexer</b>
Adresse	<b>0x46<sub>H</sub>/70<sub>D</sub>/0x3436<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_0_0 <sub>H</sub>

Repräsentiert die Einstellungen der PI Regler 1 Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **2** ist der „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **3** ist der „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“.

[15..10] n.u.

[9] wenn '1' => Regler **1** Quellenwahl für Istwert-Quellen-Multiplexer-Ausgangssignal invertiert

[8] wenn '1' => Regler **1** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal invertiert

[7..4] Regler **1** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	ExtSPI_3_ADC_SigScaled[63..48], GND_BUS[3..0] (ADC1)
0x4	ExtSPI_3_ADC_SigScaled[47..32], GND_BUS[3..0] (ADC2)
0x5	ExtSPI_3_ADC_SigScaled[31..16], GND_BUS[3..0] (ADC3)
0x6	ExtSPI_3_ADC_SigScaled[15..0], GND_BUS[3..0] (ADC4)
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Regler **1** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_1[31], HighSpeedPort_Received_USI_Slave_1[31..13]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.

---

0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP071_Controller_1_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x47<sub>H</sub>/71<sub>D</sub>/0x3731<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 <sub>H</sub>

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Regler **1**.

Das Äquivalent für Regler **2** ist der „FSP081\_Controller\_2\_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **3** ist der „FSP124\_Controller\_3\_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als Signed Integer zwischen  $\pm 2^{10}$ .

[15..11] n.u.

[10..0] Multiplikator (11 Bit) für den Differenzbilder Regler **1**

Name	<b>FSP072_Controller_1_PI_Settings</b>
Adresse	<b>0x48<sub>H</sub>/72<sub>D</sub>/0x3448<sub>ASCII</sub></b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 <sub>H</sub>

Über diesen FSP können die I und P1, P2 Anteile des Regler **1** gesetzt werden.

Das Äquivalent für Regler **2** ist der „FSP082\_Controller\_2\_PI\_Settings“.

Das Äquivalent für Regler **3** ist der „FSP125\_Controller\_3\_PI\_Settings“.

[103..96] Controller\_1\_PI\_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller\_1\_I\_Part (32 Bit), repräsentiert den I Anteil des PI Regler **1**.

[63..32] Controller\_1\_P2\_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **1**.

[31..0] Controller\_1\_P1\_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **1**.

Name	<b>FSP073_Controller_1_Limits</b>
Adresse	<b>0x49<sub>H</sub>/73<sub>D</sub>/0x3439<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Über diesen FSP können die Bereichsgrenzen des PI Regler **1** festgelegt werden.

Das Äquivalent für Regler **2** ist der „FSP083\_Controller\_2\_Limits“.

Das Äquivalent für Regler **3** ist der „FSP126\_Controller\_3\_Limits“.

[47..24]      Controller\_1\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **1**

[23..0]      Controller\_1\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **1**



Name	<b>FSP074_Controller_1_ComparatorLimits</b>
Adresse	<b>0x4A<sub>H</sub>/74<sub>D</sub>/0x3441<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **2** ist der „FSP084\_Controller\_2\_ComparatorLimits“.

Das Äquivalent für Regler **3** ist der „FSP127\_Controller\_3\_ComparatorLimits“.

[96..72] Controller\_1\_I\_Part\_ComparatorOFFThreshold (20 Bit)

[71..48] Controller\_1\_I\_Part\_ComparatorONThreshold (20 Bit)

[47..24] Controller\_1\_P2\_Part\_ComparatorOFFThreshold (20 Bit)

[23..0] Controller\_1\_P2\_Part\_ComparatorONThreshold (20 Bit)

Name	<b>FSP079_Controller_1_Values</b>
Adresse	<b>0x4F<sub>H</sub>/79<sub>D</sub>/0x3446<sub>ASCII</sub></b>
Tiefe	18 Byte / 144 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert Ausgangswerte des Regler **1** zurück

Das Äquivalent für Regler **2** ist der „FSP089\_Controller\_2\_Values“.

Das Äquivalent für Regler **3** ist der „FSP129\_Controller\_3\_Values“.

[143..120]	Controller_1_Pi_Part_Output (20 Bit)
[119..96]	Controller_1_I_Part_Output (20 Bit)
[95..72]	Controller_1_P_Part_Output (20 Bit)
[71..48]	Controller_1_Deviation (20 Bit)
[47..24]	Controller_1_ActValueMuxOut (20 Bit)
[23..0]	Controller_1_SetValueMuxOut (20 Bit)

Name	<b>FSP080_Controller_2_InputSourceSelectionMultiplexer</b>
Adresse	<b>0x50<sub>H</sub>/80<sub>D</sub>/0x3530<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_0_0 <sub>H</sub>

Repräsentiert die Einstellungen der PI Regler **2** Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **1** ist der „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **3** ist der „FSP123\_Controller\_3\_InputSourceSelectionMultiplexer“.

[15..10] n.u.

[9] wenn '1' Regler **2** Quellenwahl für Istwert-Quellen-Multiplexer-Ausgangssignal invertiert

[8] wenn ,1' Regler **2** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal invertiert

[7..4] Regler **2** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	ExtSPI_3_ADC_SigScaled[63..48],GND_BUS[3..0] (ADC1)
0x4	ExtSPI_3_ADC_SigScaled[47..32],GND_BUS[3..0] (ADC2)
0x5	ExtSPI_3_ADC_SigScaled[31..16],GND_BUS[3..0] (ADC3)
0x6	ExtSPI_3_ADC_SigScaled[15..0],GND_BUS[3..0] (ADC4)
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Regler **2** Quellenwahl für Sollwertquellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1 [31..12]
0x4	HighSpeedPort_Received_USI_Slave_1[31], HighSpeedPort_Received_USI_Slave_1[31..13]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.

---

0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP081_Controller_2_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x51<sub>H</sub>/81<sub>D</sub>/0x3531<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 <sub>H</sub>

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Reglers **2**.

Das Äquivalent für Regler **1** ist der „FSP071\_Controller\_1\_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **3** ist der „FSP124\_Controller\_3\_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als signed Integer zwischen  $\pm 2^{10}$ .

[15..11]      n.u.

[10..0]      Multiplikator (11 Bit) für den Differenzbilder Regler **2**

Name	<b>FSP082_Controller_2_PI_Settings</b>
Adresse	<b>0x52<sub>H</sub>/82<sub>D</sub>/0x3542<sub>ASCII</sub></b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 <sub>H</sub>

Über diesen FSP können die I und P1, P2 Anteile des Reglers **2** gesetzt werden.

Das Äquivalent für Regler **1** ist der „FSP072\_Controller\_1\_PI\_Settings“.

Das Äquivalent für Regler **3** ist der „FSP125\_Controller\_3\_PI\_Settings“.

[103..96] Controller\_2\_PI\_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller\_2\_I\_Part (32 Bit), repräsentiert den I Anteil des PI Regler **2**.

[63..32] Controller\_2\_P2\_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **2**.

[31..0] Controller\_2\_P1\_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **2**.

Name	<b>FSP083_Controller_2_Limits</b>
Adresse	<b>0x53<sub>H</sub>/83<sub>D</sub>/0x3533<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Über diesen FSP können die Bereichsgrenzen des PI Regler **2** festgelegt werden.

Das Äquivalent für Regler **1** ist der „FSP073\_Controller\_1\_Limits“.

Das Äquivalent für Regler **3** ist der „FSP126\_Controller\_3\_Limits“.

[47..24]      Controller\_2\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **2**

[23..0]      Controller\_2\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **2**

Name	<b>FSP084_Controller_2_ComparatorLimits</b>
Adresse	<b>0x54<sub>H</sub>/84<sub>D</sub>/0x3544<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **1** ist der „FSP074\_Controller\_1\_ComparatorLimits“.

Das Äquivalent für Regler **3** ist der „FSP127\_Controller\_3\_ComparatorLimits“.

[96..72]      Controller\_2\_I\_Part\_ComparatorOFFThreshold (20 Bit)

[71..48]      Controller\_2\_I\_Part\_ComparatorONThreshold (20 Bit)

[47..24]      Controller\_2\_P2\_Part\_ComparatorOFFThreshold (20 Bit)

[23..0]        Controller\_2\_P2\_Part\_ComparatorONThreshold (20 Bit)



Name	<b>FSP085_FF_AddersLimits</b>
Adresse	<b>0x55<sub>H</sub>/85<sub>D</sub>/0x3545<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Über diesen FSP werden die Bereichsgrenzen der Feed Forward Addierer Adder\_C1, AdderC2 und Adder\_C3 festgelegt.

[47..24] FF\_Adder\_MaxVal (20 Bit), repräsentiert den oberen Grenzwert der Addierer.

[23..0] FF\_Adder\_MinVal (20 Bit), repräsentiert den unteren Grenzwert der Addierer.

Name	<b>FSP086_SPI_Ext_Cfg</b>
Adresse	<b>0x56<sub>H</sub>/86<sub>D</sub>/0x3536<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

It contains the settings to configure the four SPI extension modules

[23]	ADC average SPI <b>4</b> flush FIFO
[22]	ADC average SPI <b>3</b> flush FIFO
[21]	n.u.
[20]	n.u.
[19]	Enable ADC average 16x SPI <b>4</b>
[18]	Enable ADC average 16x SPI <b>3</b>
[17]	n.u.
[16]	n.u.
[15]	EnPSSonOut10 for SPI port <b>4</b> (active high) when the module connected is a SPI IO Ext one
[14]	MultiLoadEn for SPI port <b>4</b> (active high) when the module connected is a SPI IO Ext one
[13]	EnPSSonOut10 for SPI port <b>3</b> (active high) when the module connected is a SPI IO Ext one
[12]	MultiLoadEn for SPI port <b>3</b> (active high) when the module connected is a SPI IO Ext one
[11]	EnPSSonOut10 for SPI port <b>2</b> (active high) when the module connected is a SPI IO Ext one
[10]	MultiLoadEn for SPI port <b>2</b> (active high) when the module connected is a SPI IO Ext one
[9]	EnPSSonOut10 for SPI port <b>1</b> (active high) when the module connected is a SPI IO Ext one
[8]	MultiLoadEn for SPI port <b>1</b> (active high) when the module connected is a SPI IO Ext one
[7..4]	n.u.
[3]	Enable thresholds monitoring on SPI <b>4</b> (active high) when the module connected is a SPI ADC Ext one
[2]	Enable thresholds monitoring on SPI <b>3</b> (active high) when the module connected is a SPI ADC Ext one
[1]	n.u.
[0]	n.u.

Name	<b>FSP089_Controller_2_Values</b>
Adresse	<b>0x59<sub>H</sub>/89<sub>D</sub>/0x3539<sub>ASCII</sub></b>
Tiefe	18 Byte / 143 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert Ausgangswerte des Reglers **2** zurück

Das Äquivalent für Regler **1** ist der „FSP079\_Controller\_1\_Values“.

Das Äquivalent für Regler **3** ist der „FSP129\_Controller\_3\_Values“.

[143..120] Controller\_2\_Pi\_Part\_Output (20 Bit)

[119..96] Controller\_2\_I\_Part\_Output (20 Bit)

[95..72] Controller\_2\_P\_Part\_Output (20 Bit)

[71..48] Controller\_2\_Deviation (20 Bit)

[47..24] Controller\_2\_ActValueMuxOut (20 Bit)

[23..0] Controller\_2\_SetValueMuxOut (20 Bit)

Name	<b>FSP092_Ud_Correction_C1_ControlBitsAndSetValue</b>
Adresse	<b>0x5C<sub>H</sub>/92<sub>D</sub>/0x3543<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_000000 <sub>H</sub>

Repräsentiert mittels Kontrollbits die Möglichkeit die Ud Korrektur C1 ein- oder auszuschalten. Außerdem wird der Sollwert der Ud Korrektur festgelegt.

Das Äquivalent für Ud Korrektur **2** ist der „FSP130\_Ud\_Correction\_C2\_ControlBitsAndSetValue“.

Das Äquivalent für Ud Korrektur **3** ist der „FSP132\_Ud\_Correction\_C3\_ControlBitsAndSetValue“.

[31..24] UdCorrection\_C1\_ControlBits (8 Bit)

[24] wenn '1' => Ud Korrektur aktiv

[23..0] UdCorrection\_C1\_SetValue (20 Bit)

Name	<b>FSP093_Ud_Correction_C1_Limits</b>
Adresse	<b>0x5D<sub>H</sub>/93<sub>D</sub>/0x3544<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Repräsentiert die zulässigen Bereichsgrenzen der Ud Korrektur **C1**

Das Äquivalent für Ud Korrektur **2** ist der „FSP131\_Ud\_Correction\_C2\_Limits“.

Das Äquivalent für Ud Korrektur **3** ist der „FSP133\_Ud\_Correction\_C3\_Limits“.

[47..24] UdCorrection\_C1\_MaxOutput (14 Bit)

[23..0] UdCorrection\_C1\_MinOutput (14 Bit)

Name	<b>FSP094_InputFilterDelay</b>
Adresse	<b>0x5E<sub>H</sub>/94<sub>D</sub>/0x3545<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0x0_3F_00000_03FF_0000 <sub>H</sub>

It contains the Digital electric interlock and water interlock filter settings in terms of mask bits and filter delay time. In the OCEM module the electric interlocks are 10, so only 10 of 16 mask bits are used for this project.

Dasselbe gilt für die Wasserinterlockbits. Hier sind lediglich 6 Bit benutzt- und maskierbar.

[63..58] n.u.

[57..52] Water interlock mask bit active high: when the interlock is masked and the delay value (see below) is different from zero, the delay between input and output is maximum 10µs (see ACU\_InputFilter.docx for more details)  
TooLessWater\_SPI\_1[1..0], TooLessWater\_SPI\_0[1..0], WaterFlowOK[2..1]

[51..50] n.u.

[49..32] Water interlock delay value: it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action).  
(gDelWidth = 18Bits, max=(2^gDelWidth)\*10us)

[31..26] n.u.

[25..16] Digital electric interlock mask bit active high: when the interlock is masked and the delay value (see below) is different from zero, the delay between input and output is maximum 10µs (see ACU\_InputFilter.docx for more details)  
ELECTRICAL\_IN[9..0]

[15..0] Digital electric interlock delay value: it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action). (gDelWidth = 16Bits, max=(2^gDelWidth)\*10us)

Name	<b>FSP095_ExtSPI_EEPROM_Cfg</b>
Adresse	<b>0x5F<sub>H</sub>/95<sub>D</sub>/0x3546<sub>ASCII</sub></b>
Tiefe	5 Byte / 40 Bit
I/O	lesen / schreiben
Reset	0x00_00_0_F_CAFE <sub>H</sub>

It contains the EEPROM configuration enable bit, ExtSPI EEPROM address read and write commands, the 16b data to write into the EEPROM during the ExtSPI card test session.

[39..36]	n.u.
[35]	SPI <b>4</b> EEPROM configuration enable bit
[34]	SPI <b>3</b> EEPROM configuration enable bit
[33]	SPI <b>2</b> EEPROM configuration enable bit
[32]	SPI <b>1</b> EEPROM configuration enable bit
[31..24]	EEPROM write address.
[23]	Write EEPROM command on SPI port <b>4</b>
[22]	Write EEPROM command on SPI port <b>3</b>
[21]	Write EEPROM command on SPI port <b>2</b>
[20]	Write EEPROM command on SPI port <b>1</b>
[19]	Read EEPROM command on SPI port <b>4</b>
[18]	Read EEPROM command on SPI port <b>3</b>
[17]	Read EEPROM command on SPI port <b>2</b>
[16]	Read EEPROM command on SPI port <b>1</b>
[15..0]	EEPROM Data to write

Name	<b>FSP096_ExtSPI_ID</b>
Adresse	<b>0x60<sub>H</sub>/96<sub>D</sub>/0x3630<sub>ASCII</sub></b>
Tiefe	24 Byte / 192 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the read module ID and module version of all 4 SPI ports

- [191..184] Module ID on SPI port **4** (8b)
- [183..176] Module version on SPI port **4** (8b)
- [175..144] Serial number on SPI port **4** (32b)
- [143..136] Module ID on SPI port **3** (8b)
- [135..128] Module version on SPI port **3** (8b)
- [127..96] Serial number on SPI port **3** (32b)
- [95..88] Module ID on SPI port **2** (8b)
- [87..80] Module version on SPI port **2** (8b)
- [79..48] Serial number on SPI port **2** (32b)
- [47..40] Module ID on SPI port **1** (8b)
- [39..32] Module version on SPI port **1** (8b)
- [31..0] Serial number on SPI port **1** (32b)



Name	<b>FSP097_ExtSPI_IO_Outputs</b>
Adresse	<b>0x61<sub>H</sub>/97<sub>D</sub>/0x3631<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0xFFFF_FFFF_FFFF_FFFF <sub>H</sub>

It contains the MAX7301 chip (IO extension chip) outputs driving status of all 4 SPI ports

Depending of the SPI extension card connected, these bits can represent different quantities (chip select, switch driver, etc..)

**SPI IO Ext Module:**

[63..58]	n.u.
[57..48]	Extended outputs on SPI port <b>4</b> (10b)
[47..42]	n.u.
[41..32]	Extended outputs on SPI port <b>3</b> (10b)
[31..28]	n.u.
[25..16]	Extended outputs on SPI port <b>2</b> (10b)
[15..10]	n.u.
[9..0]	Extended outputs on SPI port <b>1</b> (10b)

**SPI ADC Ext Module:**

[63..0]	n.u.
---------	------

**SPI Opt Ext Module:**

[63..58]	n.u.
[57..48]	Extended outputs on SPI port <b>4</b> (10b)
[47..42]	n.u.
[41..32]	Extended outputs on SPI port <b>3</b> (10b)
[31..28]	n.u.
[25..16]	Extended outputs on SPI port <b>2</b> (10b)
[15..10]	n.u.
[9..0]	Extended outputs on SPI port <b>1</b> (10b)

**SPI PhaseGridMonitoring Ext Module:**

[63..0]	n.u.
---------	------

Name	<b>FSP098_ExtSPI_IO_Inputs</b>
Adresse	<b>0x62<sub>H</sub>/98<sub>D</sub>/0x3632<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the MAX7301 chip (IO extension chip) extended inputs status of all 4 SPI ports.

Depending of the SPI extension card connected, these bits can represent different quantities (status, interlock, etc.)

**SPI IO Ext Module:**

[63..58]	n.u.
[57..48]	Extended inputs on SPI port <b>4</b> (10b)
[47..42]	n.u.
[41..32]	Extended inputs on SPI port <b>3</b> (10b)
[31..26]	n.u.
[25..18]	Extended inputs on SPI port <b>2</b> (8b)
[17..16]	Extended Water flow PWM pulses on SPI port <b>2</b> (2b)
[15..10]	n.u.
[9..2]	Extended inputs on SPI port <b>1</b> (8b)
[1..0]	Extended Water flow PWM pulses on SPI port <b>1</b> (2b)

**SPI ADC Ext Module:**

[63..56]	Latched interlocks on SPI port <b>4</b> (8b)
[55..48]	Pending interlocks on SPI port <b>4</b> (8b)
[47..40]	Latched interlocks on SPI port <b>3</b> (8b)
[39..32]	Pending interlocks on SPI port <b>3</b> (8b)
[31..24]	Latched interlocks on SPI port <b>2</b> (8b)
[23..16]	Pending interlocks on SPI port <b>2</b> (8b)
[15..8]	Latched interlocks on SPI port <b>1</b> (8b)
[7..0]	Pending interlocks on SPI port <b>1</b> (8b)

**SPI Opt Ext Module:**

[63..58]	n.u.
[57..48]	Extended inputs on SPI port <b>4</b> (10b)
[47..42]	n.u.
[41..32]	Extended inputs on SPI port <b>3</b> (10b)
[31..26]	n.u.
[25..16]	Extended inputs on SPI port <b>2</b> (10b)
[15..10]	n.u.
[9..0]	Extended inputs on SPI port <b>1</b> (10b)

**SPI PhaseGridMonitoring Ext Module:**

[63..0]	
---------	--

Name	<b>FSP099_UdCorrection_Cx_ControlValues</b>
Adresse	<b>0x63<sub>H</sub>/99<sub>D</sub>/0x3939<sub>ASCII</sub></b>
Tiefe	9 Byte / 72 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert Ausgabewert der Ud Korrekturen

[71..48] UdCorrection\_C3\_ControlValue\_Out[13..0] (14 Bit), GND\_BUS[10..0]

[47..24] UdCorrection\_C2\_ControlValue\_Out[13..0] (14 Bit), GND\_BUS[10..0]

[23..0] UdCorrection\_C1\_ControlValue\_Out[13..0] (14 Bit), GND\_BUS[10..0]

Name	<b>FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us</b>
Adresse	<b>0x64<sub>H</sub>/100<sub>D</sub>/0x3634<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Gibt die die Zeiten in  $\mu$ -Sekunden zwischen zwei detektierten Wasserflusswächterpulsen als invertierte, vorzeichenbehaftete Integer-Wert an.

Beispiel: 100us  $\Rightarrow$  0x64<sub>H</sub> wird invertiert als 0x7FFF<sub>H</sub> – 0,64<sub>H</sub> = 0x7F9B<sub>H</sub> erfasst und ausgegeben.

30,52Hz ist die kleinste erfassbare Pulsbreite 32,767ms  $\Rightarrow$  32.767 $\mu$ s  $\Rightarrow$  32.767<sub>d</sub> = 0x7FFF<sub>H</sub>  $\Rightarrow$  0x0000<sub>H</sub>

31Hz  $\Rightarrow$  Pulsbreite 32,258ms  $\Rightarrow$  32.258 $\mu$ s  $\Rightarrow$  32.258<sub>d</sub> = 0x7E02<sub>H</sub>  $\Rightarrow$  0x01FD<sub>H</sub>

100Hz  $\Rightarrow$  Pulsbreite 10ms  $\Rightarrow$  10.000 $\mu$ s  $\Rightarrow$  10.000<sub>d</sub> = 0x2710<sub>H</sub>  $\Rightarrow$  0x58EF<sub>H</sub>

500Hz  $\Rightarrow$  Pulsbreite 2ms  $\Rightarrow$  2.000 $\mu$ s  $\Rightarrow$  2.000<sub>d</sub> = 0x07D0<sub>H</sub>  $\Rightarrow$  0x782F<sub>H</sub>

Begrenzt durch die hardwareseitigen Optokoppler ist

2kHz ist die größte erfassbare Pulsbreite 0,005ms  $\Rightarrow$  5 $\mu$ s  $\Rightarrow$  5<sub>d</sub> = 0x0005<sub>H</sub>  $\Rightarrow$  0x7FFA<sub>H</sub>

[95..80] WaterFlow\_SPI\_2\_1\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

[79..64] WaterFlow\_SPI\_2\_0\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

[63..48] WaterFlow\_SPI\_1\_1\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

[47..32] WaterFlow\_SPI\_1\_0\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

[31..16] WaterFlow\_2\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

[15..0] WaterFlow\_1\_TimePeriode, Dauer zwischen zwei Pulsen in  $\mu$ -Sekunden

Name	<b>FSP101_WaterFlow_Thresholds</b>
Adresse	<b>0x65<sub>H</sub>/101<sub>D</sub>/0x3635<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x0000_0000_0000_0000_0000_0000 <sub>H</sub>

Gibt die Zeiten in  $\mu$ -Sekunden als Integer-Wert an, die minimal zwischen zwei detektierten Wasserflusswächterpulsen liegen dürfen.

Bedingt durch die Datenbreite von 16 Bit, ist die minimale Zeitspanne in  $\mu$ s zwischen zwei Pulsen begrenzt auf  $32.767\mu\text{s} \Rightarrow 32.767_{\text{d}} = 0x7FFF_{\text{h}}$ .

Bsp.: 100 Pulse bei 1 Liter Durchfluss

und

15 Liter/Minute Durchfluss **minimal**

→ 1500 Pulse/Minute

→ 25 Pulse/Sekunde

→ mit  $1/25 = 0,04$  Sekunden = 40 mSekunden =  $40.000\mu\text{s}$  Zeitspanne zwischen 2 Pulsen

→  $40.000_{\text{d}} = 0x9C40_{\text{h}}$

Die min. Zeit zwischen 2 Pulsen liegt also bei  $30.000\mu\text{s}$  (bei 20 Litern Durchfluss), die max. Zeit bei  $40.000\mu\text{s}$  (bei 15 Litern Durchfluss).

Bsp.: 400 Pulse bei 1 Liter Durchfluss

und

5 Liter/Minute Durchfluss **minimal**

→ 2000 Pulse/Minute

→ 33,3 Pulse/Sekunde

→ mit  $1/33,3 = 0,03$  Sekunden = 30 mSekunden =  $30.000\mu\text{s}$  Zeitspanne zwischen 2 Pulsen

→  $30.000_{\text{d}} = 0x7530_{\text{h}}$

Die min. Zeit zwischen 2 Pulsen liegt also bei  $30.000\mu\text{s}$  (bei 20 Litern Durchfluss), die max. Zeit bei  $40.000\mu\text{s}$  (bei 15 Litern Durchfluss).

[95..80] WaterFlow\_SPI\_2\_1\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

[79..64] WaterFlow\_SPI\_2\_0\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

[63..48] WaterFlow\_SPI\_1\_1\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

[47..32] WaterFlow\_SPI\_1\_0\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

[31..16] WaterFlow\_2\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

[15..0] WaterFlow\_1\_ValidMinTimeBetweenTwoPulses\_in\_us (16 Bit)

$0_{\text{d}} = 0x7FFF_{\text{h}}$        $24.000_{\text{d}} = 0x5DC0_{\text{h}}$        $40.000_{\text{d}} = 0x9C40_{\text{h}}$

Name	<b>FSP102_ExtSPI_3_ADCandUser_OFFSET_CHx</b>
Adresse	<b>0x66<sub>H</sub>/102<sub>D</sub>/0x3636<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält den kombinierten ADC- (Offset aus FSP115\_ExtSPI\_3\_ADC\_OffsetGain) und User-Offset-Wert (ADCOffset + UserOffset) für den SPI-Port **3** (sofern ein SPI\_ADC-Modul am Port **3** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **3** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **4** ist der „FSP104\_ExtSPI\_4\_ADCandUser\_OFFSET\_Chx“.

Die Gain Daten des SPI Port **3** sind im „FSP105\_ExtSPI\_4\_ADCandUser\_GAIN\_Chx“.

[63..48] ExtSPI\_3\_ADCandUser\_Offset\_CH4(16)

[47..32] ExtSPI\_3\_ADCandUser\_Offset\_CH3(16)

[31..16] ExtSPI\_3\_ADCandUser\_Offset\_CH2(16)

[15..0] ExtSPI\_3\_ADCandUser\_Offset\_CH1(16)

Name	<b>FSP103_ExtSPI_3_ADCandUser_GAIN_CHx</b>
Adresse	<b>0x67<sub>H</sub>/103<sub>D</sub>/0x3637<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält den kombinierten ADC- (Gain aus FSP115\_ExtSPI\_3\_ADC\_OffsetGain) und User-Gain-Wert (ADCGain \* UserGain) für den SPI-Port **3** (sofern ein SPI\_ADC-Modul am Port **3** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **3** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **4** ist der „FSP105\_ExtSPI\_4\_ADCandUser\_GAIN\_Chx“.

Die Offset Daten des SPI Port **3** sind im „FSP105\_ExtSPI\_4\_ADCandUser\_GAIN\_Chx“.

[63..48] ExtSPI\_3\_ADCandUser\_Gain\_CH4(16)

[47..32] ExtSPI\_3\_ADCandUser\_Gain\_CH3(16)

[31..16] ExtSPI\_3\_ADCandUser\_Gain\_CH2(16)

[15..0] ExtSPI\_3\_ADCandUser\_Gain\_CH1(16)

Name	<b>FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx</b>
Adresse	<b>0x68<sub>H</sub>/104<sub>D</sub>/0x3638<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält den kombinierten ADC- (Offset aus FSP119\_ExtSPI\_4\_ADC\_OffsetGain) und User-Offset-Wert (ADCOffset + UserOffset) für den SPI-Port **4** (sofern ein SPI\_ADC-Modul am Port **4** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **4** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **3** ist der „FSP102\_ExtSPI\_3\_ADCandUser\_OFFSET\_CHx“.

Die Gain Daten des SPI Port **4** sind im „FSP105\_ExtSPI\_4\_ADCandUser\_GAIN\_Chx“.

[63..48] ExtSPI\_4\_ADCandUser\_Offset\_CH**4**(16)

[47..32] ExtSPI\_4\_ADCandUser\_Offset\_CH**3**(16)

[31..16] ExtSPI\_4\_ADCandUser\_Offset\_CH**2**(16)

[15..0] ExtSPI\_4\_ADCandUser\_Offset\_CH**1**(16)



Name	<b>FSP105_ExtSPI_4_ADCandUser_GAIN_Chx</b>
Adresse	<b>0x69<sub>H</sub>/105<sub>D</sub>/0x3639<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält den kombinierten ADC- (Gain aus FSP119\_ExtSPI\_4\_ADC\_OffsetGain) und User-Gain-Wert (ADCGain \* UserGain) für den SPI-Port **4** (sofern ein SPI\_ADC-Modul am Port **4** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **4** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **3** ist der „FSP103\_ExtSPI\_3\_ADCandUser\_GAIN\_CHx“.

Die Offset Daten des SPI Port **4** sind im „FSP104\_ExtSPI\_4\_ADCandUser\_OFFSET\_Chx“.

[63..48] ExtSPI\_4\_ADCandUser\_Gain\_CH4(16)

[47..32] ExtSPI\_4\_ADCandUser\_Gain\_CH3(16)

[31..16] ExtSPI\_4\_ADCandUser\_Gain\_CH2(16)

[15..0] ExtSPI\_4\_ADCandUser\_Gain\_CH1(16)

Name	<b>FSP106_ExtSPI_Status</b>
Adresse	<b>0x6A<sub>H</sub>/106<sub>D</sub>/0x3641<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the status info of all 4 SPI ports

[23..17]	n.u.
[16]	SPI_HUB connected (active low)
[15]	Incoming tripline from SPI port <b>4</b> : 1=>OK; 0=> Failure
[14]	Incoming tripline from SPI port <b>3</b> : 1=>OK; 0=> Failure
[13]	Incoming tripline from SPI port <b>2</b> : 1=>OK; 0=> Failure
[12]	Incoming tripline from SPI port <b>1</b> : 1=>OK; 0=> Failure
[11]	Slave connected status of SPI port <b>4</b> : 1=>No module connected
[10]	Slave connected status of SPI port <b>3</b> : 1=>No module connected
[9]	Slave connected status of SPI port <b>2</b> : 1=>No module connected
[8]	Slave connected status of SPI port <b>1</b> : 1=>No module connected
[7]	SPI port <b>4</b> busy: 1=> busy, no EEPROM read/write action is allowed
[6]	SPI port <b>3</b> busy: 1=> busy, no EEPROM read/write action is allowed
[5]	SPI port <b>2</b> busy: 1=> busy, no EEPROM read/write action is allowed
[4]	SPI port <b>1</b> busy: 1=> busy, no EEPROM read/write action is allowed
[3]	SPI port <b>4</b> EEPROM WriteInProgres: 1=> Write in progress
[2]	SPI port <b>3</b> EEPROM WriteInProgres: 1=> Write in progress
[1]	SPI port <b>2</b> EEPROM WriteInProgres: 1=> Write in progress
[0]	SPI port <b>1</b> EEPROM WriteInProgres: 1=> Write in progress

Name	<b>FSP109_PWM_PLLPhaseShift_ReConfig</b>
Adresse	<b>0x6D<sub>H</sub>/109<sub>D</sub>/0x3644<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	schreiben/lesen
Reset	0x0000000000000000 <sub>H</sub>

Enthält Daten für die re-konfigurale PWM.

[63..60] n.u.

[58][39..32][57][31..24]

PWM\_PhSh\_PLLReconf.MDataReconf (18 Bit)

[55..48][59][47..40]

PWM\_PhSh\_PLLReconf.NDataReconf (18 Bit)

[23..16][56][15..8]

PWM\_PhSh\_PLLReconf.CxDataReconf (17 Bit)

[7..5] n.u.

[4] wenn '1' => PWM\_PhSh\_PLLReconf.EnReconf

[3..1] n.u.

[0] wenn '1' => PWM\_PhSh\_PLLReconf.PhaseShiftEn

Name	<b>FSP110_PWM_C1_Config</b>
Adresse	<b>0x6E<sub>H</sub>/110<sub>D</sub>/0x3645<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	schreiben/lesen
Reset	0x00_0_0_0_3_3_3 <sub>H</sub>

Dieses FSP konfiguriert die re-konfigurierbare PWM C1 im Hinblick auf deren Sollwerte und Verhalten

Das Äquivalent für PWM C2 und C3 ist der „FSP134\_PWM\_SetValueC2C3\_Sel (ThresholdValues)“.

[31..29] n.u.

[28] Wenn ,1': Ausgang des PWM Sollwert Multiplexer negieren

[27..24] PWM C1 Sollwert Multiplexer Quellenwahl

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	UdCorrection_C1_ControlValue_Out[13..0],GND_BUS[5..0]
0x4	AdderC1_out[19..0]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[23] Pulselnhibitor

[22] n.u.

[21..20] Clock\_Mode (2 Bit)

[19..16] PWM Mode (4 Bit)

[15..12] HV\_BlockTime (4 Bit)

[11..8] Totzeit für V6 (4 Bit)

[3..0]	
0x0	0,25 µs
0x1	0,5 µs
0x2	0,75 µs
0x3	1 µs
0x4	1,25 µs
0x5	1,5 µs
0x6	1,75 µs
0x7	2 µs
0x8	2,25 µs
0x9	2,5 µs

0xA	2,75 $\mu$ s
0xB	3 $\mu$ s
0xC	3,25 $\mu$ s
0xD	3,5 $\mu$ s
0xE	3,75 $\mu$ s
0xF	4 $\mu$ s

[7..4] Totzeit für V5 (4 Bit)

[3..0]	
0x0	0,25 $\mu$ s
0x1	0,5 $\mu$ s
0x2	0,75 $\mu$ s
0x3	1 $\mu$ s
0x4	1,25 $\mu$ s
0x5	1,5 $\mu$ s
0x6	1,75 $\mu$ s
0x7	2 $\mu$ s
0x8	2,25 $\mu$ s
0x9	2,5 $\mu$ s
0xA	2,75 $\mu$ s
0xB	3 $\mu$ s
0xC	3,25 $\mu$ s
0xD	3,5 $\mu$ s
0xE	3,75 $\mu$ s
0xF	4 $\mu$ s

[3..0] Totzeit für V1..V4 (4 Bit)

[3..0]	
0x0	0,25 $\mu$ s
0x1	0,5 $\mu$ s
0x2	0,75 $\mu$ s
0x3	1 $\mu$ s
0x4	1,25 $\mu$ s
0x5	1,5 $\mu$ s
0x6	1,75 $\mu$ s
0x7	2 $\mu$ s
0x8	2,25 $\mu$ s
0x9	2,5 $\mu$ s
0xA	2,75 $\mu$ s
0xB	3 $\mu$ s
0xC	3,25 $\mu$ s
0xD	3,5 $\mu$ s
0xE	3,75 $\mu$ s
0xF	4 $\mu$ s

Name	<b>FSP111_PWM_Limits</b>
Adresse	<b>0x6F<sub>H</sub>/111<sub>D</sub>/0x3646<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	schreiben/lesen
Reset	0x0000_0000 <sub>H</sub>

Beinhaltet die Bereichsgrenzen der PWM C1, C2 und C3

[31..16] PWM\_MaxValue (14 Bit)

[15..0] PWM\_MinValue (14 Bit)

Name	<b>FSP112_PWM_InhibitValue</b>
Adresse	<b>0x70<sub>H</sub>/112<sub>D</sub>/0x3730<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	schreiben/lesen
Reset	0x00_0000 <sub>H</sub>

Beinhaltet das PWM\_InhibitValue (Impulsperre der PWM C1, C2, C3)

[23..0]      PWM\_InhibitValue (14 Bit)

Name	<b>FSP115_ExtSPI_3_ADC_OffsetGain</b>
Adresse	<b>0x73<sub>H</sub>/115<sub>D</sub>/0x3733<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the SPI port **3** ADC Offset and Gain read back from the EEPROM

Das Äquivalent für SPI Port **4** ist der „FSP119\_ExtSPI\_4\_ADC\_OffsetGain“.

[31..16]      ADC SPI port **3** offset 0x000 = 0V (16b)

[15..0]      ADC SPI port **3** gain 0x4000=1 (16b)



Name	<b>FSP116_ExtSPI_3_ADC_Thrs</b>
Adresse	<b>0x74<sub>H</sub>/116<sub>D</sub>/0x3734<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the SPI **3** ADC monitored thresholds

Das Äquivalent für SPI Port **4** ist der „FSP120\_ExtSPI\_4\_ADC\_Thrs“.

- [95..84]     ADC channel **4** negative threshold (12b)
- [83..72]     ADC channel **4** positive threshold (12b)
- [71..60]     ADC channel **3** negative threshold (12b)
- [59..48]     ADC channel **3** positive threshold (12b)
- [47..36]     ADC channel **2** negative threshold (12b)
- [35..24]     ADC channel **2** positive threshold (12b)
- [23..12]     ADC channel **1** negative threshold (12b)
- [11..0]      ADC channel **1** positive threshold (12b)

Name	<b>FSP117_ExtSPI_3_ADC_Sig</b>
Adresse	<b>0x75<sub>H</sub>/117<sub>D</sub>/0x3735<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält die SPI **3** ADC Signale. Es handelt sich dabei um die tatsächlichen Messwerte der ADCs also weder Offset noch Gain korrigiert.

Die korrigierten SPI **3** ADC Signale finden sich im FSP „FSP118\_ExtSPI\_3\_ADC\_SigScaledAndAveraged“.

Das Äquivalent für SPI Port **4** ist der „FSP121\_ExtSPI\_4\_ADC\_Sig“.

[63..48]      Messwert ADC Kanal **4** (16b)

[47..32]      Messwert ADC Kanal **3** (16b)

[31..16]      Messwert ADC Kanal **2** (16b)

[15..0]        Messwert ADC Kanal **1** (16b)

Name	<b>FSP118_ExtSPI_3_ADC_SigScaledAndAveraged</b>
Adresse	<b>0x76<sub>H</sub>/118<sub>D</sub>/0x3736<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält die SPI **3** ADC Signale. Diese sind Offset/Gain korrigiert und enthalten ggf. noch eine zusätzliche Benutzer (User) Offset/Gain Korrektur(FSP102\_ExtSPI\_3\_ADCandUser\_OFFSET\_CHx, FSP103\_ExtSPI\_3\_ADCandUser\_GAIN\_CHx). Außerdem ist der Wert ggf. 16-fach gemittelt, sofern das Bit[19] des „FSP086\_SPI\_Ext\_Cfg“ gesetzt ist.

Das Äquivalent für SPI Port **4** ist der „FSP122\_ExtSPI\_4\_ADC\_SigScaledAndAveraged“.

[63..48] Messwert ADC Kanal **4** (16b), Offset/Gain korrigiert, ggf. gemittelt

[47..32] Messwert ADC Kanal **3** (16b), Offset/Gain korrigiert, ggf. gemittelt

[31..16] Messwert ADC Kanal **2** (16b), Offset/Gain korrigiert, ggf. gemittelt

[15..0] Messwert ADC Kanal **1** (16b), Offset/Gain korrigiert, ggf. gemittelt

Name	<b>FSP119_ExtSPI_4_ADC_OffsetGain</b>
Adresse	<b>0x77<sub>H</sub>/119<sub>D</sub>/0x3737<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the SPI port **4** ADC Offset and Gain read back from the EEPROM

Das Äquivalent für SPI Port **3** ist der „FSP115\_ExtSPI\_3\_ADC\_OffsetGain“.

[31..16]      ADC SPI port **4** offset 0x000 = 0V (16b)

[15..0]      ADC SPI port **4** gain 0x4000=1 (16b)

Name	<b>FSP120_ExtSPI_4_ADC_Thrs</b>
Adresse	<b>0x78<sub>H</sub>/120<sub>D</sub>/0x3738<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the SPI **4** ADC monitored thresholds

Das Äquivalent für SPI Port **3** ist der „FSP116\_ExtSPI\_3\_ADC\_Thrs“.

- [95..84]     ADC channel **4** negative threshold (12b)
- [83..72]     ADC channel **4** positive threshold (12b)
- [71..60]     ADC channel **3** negative threshold (12b)
- [59..48]     ADC channel **3** positive threshold (12b)
- [47..36]     ADC channel **2** negative threshold (12b)
- [35..24]     ADC channel **2** positive threshold (12b)
- [23..12]     ADC channel **1** negative threshold (12b)
- [11..0]      ADC channel **1** positive threshold (12b)

Name	<b>FSP121_ExtSPI_4_ADC_Sig</b>
Adresse	<b>0x79<sub>H</sub>/121<sub>D</sub>/0x3739<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält die SPI **4** ADC Signale. Es handelt sich dabei um die tatsächlichen Messwerte der ADCs also weder Offset noch Gain korrigiert.

Die korrigierten SPI **4** ADC Signale finden sich im FSP „FSP122\_ExtSPI\_4\_ADC\_SigScaledAndAveraged“.

Das Äquivalent für SPI Port **3** ist der „FSP117\_ExtSPI\_3\_ADC\_Sig“.

[63..48] Messwert ADC Kanal **4** (16b)

[47..32] Messwert ADC Kanal **3** (16b)

[31..16] Messwert ADC Kanal **2** (16b)

[15..0] Messwert ADC Kanal **1** (16b)

Name	<b>FSP122_ExtSPI_4_ADC_SigScaledAndAveraged</b>
Adresse	<b>0x7A<sub>H</sub>/122<sub>D</sub>/0x3741<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Enthält die SPI **4** ADC Signale. Diese sind Offset/Gain korrigiert und enthalten ggf. noch eine zusätzliche Benutzer (User) Offset/Gain Korrektur(FSP104\_ExtSPI\_4\_ADCandUser\_OFFSET\_Chx, FSP105\_ExtSPI\_4\_ADCandUser\_GAIN\_Chx). Außerdem ist der Wert ggf. 16-fach gemittelt, sofern das Bit[**18**] des „FSP086\_SPI\_Ext\_Cfg“ gesetzt ist.

Das Äquivalent für SPI Port **3** ist der „FSP118\_ExtSPI\_3\_ADC\_SigScaledAndAveraged“.

[63..48] Messwert ADC Kanal **4** (16b), Offset/Gain korrigiert, ggf. gemittelt

[47..32] Messwert ADC Kanal **3** (16b), Offset/Gain korrigiert, ggf. gemittelt

[31..16] Messwert ADC Kanal **2** (16b), Offset/Gain korrigiert, ggf. gemittelt

[15..0] Messwert ADC Kanal **1** (16b), Offset/Gain korrigiert, ggf. gemittelt

Name	<b>FSP123_Controller_3_InputSourceSelectionMultiplexer</b>
Adresse	<b>0x7B<sub>H</sub>/123<sub>D</sub>/0x3742<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_0_0 <sub>H</sub>

Repräsentiert die Einstellungen der PI Regler **3** Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **1** ist der „FSP070\_Controller\_1\_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **2** ist der „FSP080\_Controller\_2\_InputSourceSelectionMultiplexer“.

[15..10] n.u.

[9] wenn '1' Regler **3** Quellenwahl für Istwert-Quellen-Multiplexer-Ausgangssignal invertiert

[8] wenn ,1' Regler **3** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal invertiert

[7..4] Regler **3** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	ExtSPI_3_ADC_SigScaled[64..48], GND_BUS[3..0] (ADC1)
0x4	ExtSPI_3_ADC_SigScaled[47..32], GND_BUS[3..0] (ADC2)
0x5	ExtSPI_3_ADC_SigScaled[31..16], GND_BUS[3..0] (ADC3)
0x6	ExtSPI_3_ADC_SigScaled[15..0], GND_BUS[3..0] (ADC4)
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Regler **3** Quellenwahl für Sollwertquellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_1[31], HighSpeedPort_Received_USI_Slave_1[31..13]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.



---

0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP124_Controller_3_DifferenceCalculatorMultiplier</b>
Adresse	<b>0x7C<sub>H</sub>/124<sub>D</sub>/0x3743<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 <sub>H</sub>

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Reglers **3**.

Das Äquivalent für Regler **1** ist der „FSP071\_Controller\_1\_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **2** ist der „FSP081\_Controller\_2\_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als signed Integer zwischen  $\pm 2^{10}$ .

[15..11]      n.u.

[10..0]      Multiplikator (11 Bit) für den Differenzbilder Regler **3**

Name	<b>FSP125_Controller_3_PI_Settings</b>
Adresse	<b>0x7D<sub>H</sub>/125<sub>D</sub>/0x3744<sub>ASCII</sub></b>
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 <sub>H</sub>

Über diesen FSP können die I und P1, P2 Anteile des Reglers **3** gesetzt werden.

Das Äquivalent für Regler **1** ist der „FSP072\_Controller\_1\_PI\_Settings“.

Das Äquivalent für Regler **2** ist der „FSP082\_Controller\_2\_PI\_Settings“.

[103..96] Controller\_3\_PI\_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller\_3\_I\_Part (32 Bit), repräsentiert den I Anteil des PI Regler **3**.

[63..32] Controller\_3\_P2\_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **3**.

[31..0] Controller\_3\_P1\_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **3**.

Name	<b>FSP126_Controller_3_Limits</b>
Adresse	<b>0x7E<sub>H</sub>/126<sub>D</sub>/0x3745<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Über diesen FSP können die Bereichsgrenzen des PI Regler **3** festgelegt werden.

Das Äquivalent für Regler **1** ist der „FSP073\_Controller\_1\_Limits“.

Das Äquivalent für Regler **2** ist der „FSP083\_Controller\_2\_Limits“.

[47..24] Controller\_3\_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **3**

[23..0] Controller\_3\_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **3**

Name	<b>FSP127_Controller_3_ComparatorLimits</b>
Adresse	<b>0x7F<sub>H</sub>/127<sub>D</sub>/0x3746<sub>ASCII</sub></b>
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 <sub>H</sub>

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler 1 ist der „FSP074\_Controller\_1\_ComparatorLimits“.

Das Äquivalent für Regler 2 ist der „FSP084\_Controller\_2\_ComparatorLimits“.

[96..72] Controller\_3\_I\_Part\_ComparatorOFFThreshold (20 Bit)

[71..48] Controller\_3\_I\_Part\_ComparatorONThreshold (20 Bit)

[47..24] Controller\_3\_P2\_Part\_ComparatorOFFThreshold (20 Bit)

[23..0] Controller\_3\_P2\_Part\_ComparatorONThreshold (20 Bit)

Name	<b>FSP129_Controller_3_Values</b>
Adresse	<b>0x81<sub>H</sub>/129<sub>D</sub>/0x3831<sub>ASCII</sub></b>
Tiefe	18 Byte / 143 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert Ausgangswerte des Reglers **3** zurück

Das Äquivalent für Regler **1** ist der „FSP079\_Controller\_1\_Values“.

Das Äquivalent für Regler **2** ist der „FSP089\_Controller\_2\_Values“.

[143..120] Controller\_3\_PI\_Part\_Output (20 Bit)

[119..96] Controller\_3\_I\_Part\_Output (20 Bit)

[95..72] Controller\_3\_P\_Part\_Output (20 Bit)

[71..48] Controller\_3\_Deviation (20 Bit)

[47..24] Controller\_3\_ActValueMuxOut (20 Bit)

[23..0] Controller\_3\_SetValueMuxOut (20 Bit)

Name	<b>FSP130_Ud_Correction_C2_ControlBitsAndSetValue</b>
Adresse	<b>0x82<sub>H</sub>/130<sub>D</sub>/0x3832<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_000000 <sub>H</sub>

Repräsentiert mittels Kontrollbits die Möglichkeit die Ud Korrektur **C2** ein- oder auszuschalten. Außerdem wird der Sollwert der Ud Korrektur festgelegt.

Das Äquivalent für Ud Korrektur **1** ist der „FSP092\_Ud\_Correction\_C1\_ControlBitsAndSetValue“.

Das Äquivalent für Ud Korrektur **3** ist der „FSP132\_Ud\_Correction\_C3\_ControlBitsAndSetValue“.

[31..24] UdCorrection\_C2\_ControlBits (8 Bit)

[24] wenn '1' => Ud Korrektur aktiv

[23..0] UdCorrection\_C2\_SetValue (20 Bit)

Name	<b>FSP131_Ud_Correction_C2_Limits</b>
Adresse	<b>0x83<sub>H</sub>/131<sub>D</sub>/0x3833<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Repräsentiert die zulässigen Bereichsgrenzen der Ud Korrektur C2

Das Äquivalent für Ud Korrektur **1** ist der „FSP093\_Ud\_Correction\_C1\_Limits“.

Das Äquivalent für Ud Korrektur **3** ist der „FSP133\_Ud\_Correction\_C3\_Limits“.

[47..24]      UdCorrection\_C2\_MaxOutput (14 Bit)

[23..0]      UdCorrection\_C2\_MinOutput (14 Bit)



Name	<b>FSP132_Ud_Correction_C3_ControlBitsAndSetValue</b>
Adresse	<b>0x84<sub>H</sub>/132<sub>D</sub>/0x3834<sub>ASCII</sub></b>
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_000000 <sub>H</sub>

Repräsentiert mittels Kontrollbits die Möglichkeit die Ud Korrektur **C3** ein- oder auszuschalten. Außerdem wird der Sollwert der Ud Korrektur festgelegt.

Das Äquivalent für Ud Korrektur **1** ist der „FSP092\_Ud\_Correction\_C1\_ControlBitsAndSetValue“.

Das Äquivalent für Ud Korrektur **2** ist der „FSP130\_Ud\_Correction\_C2\_ControlBitsAndSetValue“.

[31..24] UdCorrection\_C3\_ControlBits (8 Bit)

[24] wenn '1' => Ud Korrektur aktiv

[23..0] UdCorrection\_C3\_SetValue (20 Bit)

Name	<b>FSP133_Ud_Correction_C3_Limits</b>
Adresse	<b>0x85<sub>H</sub>/133<sub>D</sub>/0x3835<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 <sub>H</sub>

Repräsentiert die zulässigen Bereichsgrenzen der Ud Korrektur C3.

Das Äquivalent für Ud Korrektur **1** ist der „FSP093\_Ud\_Correction\_C1\_Limits“.

Das Äquivalent für Ud Korrektur **2** ist der „FSP131\_Ud\_Correction\_C2\_Limits“.

[47..24]      UdCorrection\_C3\_MaxOutput (14 Bit)

[23..0]      UdCorrection\_C3\_MinOutput (14 Bit)

Name	<b>FSP134_PWM_SetValueC2C3_Sel (ThresholdValues)</b>
Adresse	<b>0x86<sub>H</sub>/134<sub>D</sub>/0x3836<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	schreiben/lesen
Reset	0x00 <sub>H</sub>

Repräsentiert die Einstellungen der PWM C2/C3 Eingangsmultiplexer für deren Sollwert-Quellen. (ThresholdValues)

Das Äquivalent für PWM C1 ist der „FSP110\_PWM\_C1\_Config“.

[7..4] PWMmux\_SetValue\_C3

Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B
0x3	UdCorrection_C3_ControlValue_Out[13..0],GND_BUS[5..0]
0x4	AdderC3_out[19..0]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] PWMmux\_SetValue\_C2

Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert <b>A</b> , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert <b>B</b> , bestimmt durch „FSP031_SetValue_B
0x3	UdCorrection_C2_ControlValue_Out[13..0],GND_BUS[5..0]
0x4	AdderC2_out[19..0]
0x5	n.u.
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	<b>FSP136_ExtSPI_4_ADC_ScalingFactors</b>
Adresse	<b>0x88<sub>H</sub>/136<sub>D</sub>/0x3838<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	schreiben/lesen
Reset	0x4000_4000_4000_4000 <sub>H</sub>

Enthält die Skalierungsfaktoren der 4 ADC Kanäle bei Verwendung einer SPI ADC Moduls am SPI Hub Port 4.

Das Äquivalent für SPI Port 3 ist der „**Fehler! Verweisquelle konnte nicht gefunden werden.**“.

Sofern der gemessene ADC Wert auf ein Erfassungsmodul normiert werden muss, erfolgt dies über diesen FSP.

Der Skalierungsfaktor wird als vorzeichenloser Festkommawert interpretiert mit den 2 MSBs für den Integeranteil und den restlichen 14 Bit für den Dezimalanteil. Der Skalierungsfaktor kann 3,9 (3,999999) nicht überschreiten.

Bsp.: Skalierungsfaktor = 1,0 =>  $1,0 \cdot 2^{14} = 16384,0(d) = 0x4000$   
 3,9 =>  $3,9 \cdot 2^{14} = 63897,6(d) = 0xF999$  (Max value)  
 $3,999999 > 3,999999 \cdot 2^{15} = 65535,98(d) = 0xFFFF$  (Max value)  
 0,5 =>  $0,5 \cdot 2^{14} = 8192,0(d) = 0x0200$

Der Standardwert ist x1 (0x4000). D.h. der am ADC gemessene Wert wird unverändert an der entsprechende UdKorrektur (1, 2, 3) als Istwert verwendet.

[64..48] Skalierungsfaktor für ADC Kanal 4 am SPI Hub Port 4

[47..32] Skalierungsfaktor für ADC Kanal 3 am SPI Hub Port 4

[31..16] Skalierungsfaktor für ADC Kanal 2 am SPI Hub Port 4

[15..0] Skalierungsfaktor für ADC Kanal 1 am SPI Hub Port 4

Name	<b>FSP137_PWMMux_SetValue</b>
Adresse	<b>0x89<sub>H</sub>/139<sub>D</sub>/0x3842<sub>ASCII</sub></b>
Tiefe	9 Byte / 72 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Ermöglicht das Rücklesen der C1, C2, C3 PWM\_SetValues (ThresholdValues).

[71..48] PWMMux\_SetValue\_C3[19..0], GND\_BUS[3..0]

[47..24] PWMMux\_SetValue\_C2[19..0], GND\_BUS[3..0]

[23..0] PWMMux\_SetValue\_C1[19..0], GND\_BUS[3..0]