



# FSPs des Monitoring Moduls (ab FW 7.0.x)

Version vom: Mittwoch, 4. Mai 2022, 12:04:00

## Inhaltsverzeichnis

1.	Änderungsliste .....	1
2.	ACU_MonitoringModule .....	2
	FSP001_ModuleStatus .....	3
	0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub> .....	
	FSP002_ModuleWarnings .....	4
	0x02 <sub>H</sub> /2 <sub>D</sub> /0x3032 <sub>ASCII</sub> .....	
	FSP003_ModuleErrors.....	5
	0x03 <sub>H</sub> /3 <sub>D</sub> /0x3033 <sub>ASCII</sub> .....	
	FSP004_ModuleInterlocks.....	6
	0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub> .....	
	FSP006_InterlocksArrivalSequence .....	7
	0x06 <sub>H</sub> /6 <sub>D</sub> /0x3036 <sub>AS</sub> .....	
	FSP009_ModuleSerialNumber .....	8
	0x09 <sub>H</sub> /9 <sub>D</sub> /0x3039 <sub>ASCII</sub> .....	
	FSP010_ModuleCommands .....	9
	0x0A <sub>H</sub> /10 <sub>D</sub> /0x3041 <sub>ASCII</sub> .....	
	FSP011_ModuleInterlocksMask_n .....	10
	0x0B <sub>H</sub> /11 <sub>D</sub> /0x3042 <sub>ASCII</sub> .....	
	FSP012_USIConfig.....	12
	0x0C <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub> .....	
	FSP013_PeripheralConfig .....	13
	0x0D <sub>H</sub> /13 <sub>D</sub> /0x3044 <sub>ASCII</sub> .....	
	FSP040_RemoteUpdateStatus.....	14
	0x28 <sub>H</sub> /40 <sub>D</sub> /0x3238 <sub>ASCII</sub> .....	
	FSP041_RemoteUpdateCommands.....	15
	0x29 <sub>H</sub> /41 <sub>D</sub> /0x3239 <sub>ASCII</sub> .....	
	FSP042_RemoteUpdateData.....	16
	0x2A <sub>H</sub> /42 <sub>D</sub> /0x3241 <sub>ASCII</sub> .....	
	FSP045_AlteraRemoteUpdateCmd.....	18
	0x2D <sub>H</sub> /45 <sub>D</sub> /0x3244 <sub>ASCII</sub> .....	
	FSP046_AlteraRemoteUpdateStatus.....	19
	0x2E <sub>H</sub> /46 <sub>D</sub> /0x3245 <sub>ASCII</sub> .....	
	FSP050_ADC_PowerSupplyValues.....	20
	0x32 <sub>H</sub> /50 <sub>D</sub> /0x3332 <sub>ASCII</sub> .....	
	FSP058_ParameterChecksumValue .....	21
	0x3A <sub>H</sub> /58 <sub>D</sub> /0x3341 <sub>ASCII</sub> .....	
	FSP059_ParameterChecksumValueCalculated .....	22
	0x3B <sub>H</sub> /59 <sub>D</sub> /0x3342 <sub>ASCII</sub> .....	
	FSP060_InterlockInputFilter.....	23
	0x3C <sub>H</sub> /60 <sub>D</sub> /0x3343 <sub>ASCII</sub> .....	
	FSP061_HSBackChSelector .....	24
	0x3D <sub>H</sub> /61 <sub>D</sub> /0x3344 <sub>ASCII</sub> .....	
	FSP062_LowVoltageInputs_ADC_Values .....	25
	0x3E <sub>H</sub> /62 <sub>D</sub> /0x3345 <sub>ASCII</sub> .....	
	FSP063_CH4_5_6_Inputs_ADC_Values.....	26
	0x3F <sub>H</sub> /63 <sub>D</sub> /0x3346 <sub>ASCII</sub> .....	
	FSP064_CH_DiffVAlues .....	27
	0x40 <sub>H</sub> /64 <sub>D</sub> /0x3430 <sub>ASCII</sub> .....	
	FSP065_CH_ThrsValues.....	28
	0x41 <sub>H</sub> /65 <sub>D</sub> /0x3431 <sub>ASCII</sub> .....	

**1. Änderungsliste**

Datum	Name	Kommentar
31.03.2022	D. Schupp	Dokument erstellt aus ACU-FSP mUSIc TFT

## **2. ACU\_MonitoringModule**

Dieses Kapitel behandelt modulspezifische FSPs des ACU Monitoring Modules (AMM).

Name	<b>FSP001_ModuleStatus</b>
Adresse	<b>0x01<sub>H</sub>/1<sub>D</sub>/0x3031<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

[15..14] n.u.

[13] Interlock OFF (active high)

[12] External interlock (active low)

[11..8] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

[7] TriplineMemorized

[6] USIIsHighSpeed  
when ,1' the USI is in Highspeed Mode

[5] SumInterlock (active low)

[4] NoErrors

[3] NoWarnings

[2] ModuleReady

[1] Parameter ChecksumOK

[0] ParametersLoaded

Name	<b>FSP002_ModuleWarnings</b>
Adresse	<b>0x02<sub>H</sub>/2<sub>D</sub>/0x3032<sub>ASCII</sub></b>
Tiefe	modulabhängig
I/O	1 Byte / 8 Bit
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt ( z.B. Temperatur des Moduls zu hoch ).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] das FSP001\_ModuleStatus = ,0'.

[7..0]        n.u., immer ,1'

Name	<b>FSP003_ModuleErrors</b>
Adresse	<b>0x03<sub>H</sub>/3<sub>D</sub>/0x3033<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] das FSP001\_ModuleStatus = ,0'.

[7..0]        n.u., immer ,1'

Name	<b>FSP004_ModuleInterlocks</b>
Adresse	<b>0x04<sub>H</sub>/4<sub>D</sub>/0x3034<sub>ASCII</sub></b>
Tiefe	2 Byte / 16 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] das FSP001\_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

#### **Gespeicherte Interlocks**

- [15..14] n.u., immer ,1'
- [13] Quench input signal
- [12] External Interlock
- [11] PCB Power supply interlock
- [10] CH5-CH6 interlock: the difference exceeds the thresholds (via poti configured)
- [9] CH3-CH4 interlock: the difference exceeds the thresholds (via poti configured)
- [8] CH1-CH2 interlock: the difference exceeds the thresholds (via poti configured)

#### **Aktuell anstehende Interlocks**

- [7..6] n.u., immer ,1'
- [5] Quench input signal
- [4] External Interlock
- [3] PCB Power supply interlock
- [2] CH5-CH6 interlock: the difference exceeds the thresholds (via poti configured)
- [1] CH3-CH4 interlock: the difference exceeds the thresholds (via poti configured)
- [0] CH1-CH2 interlock: the difference exceeds the thresholds (via poti configured)



Name	<b>FSP006_InterlocksArrivalSequence</b>
Adresse	<b>0x06<sub>H</sub>/6<sub>D</sub>/0x3036<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Byte
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

Name	<b>FSP009_ModuleSerialNumber</b>
Adresse	<b>0x09<sub>H</sub>/9<sub>D</sub>/0x3039<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

[47..0]      ACU\_MonitoringModule\_ID

Name	<b>FSP010_ModuleCommands</b>
Adresse	<b>0x0A<sub>H</sub>/10<sub>D</sub>/0x3041<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

[7..5] n.u.

[4] Wenn ,1' → V5\_On\_V6\_Off aktiv

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

Name	<b>FSP011_ModuleInterlocksMask_n</b>
Adresse	<b>0x0B<sub>H</sub>/11<sub>D</sub>/0x3042<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_00_00 <sub>H</sub>

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

#### **Zugelassene Interlocks nach der Reglerfreigabe**

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschutz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschutz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

- [23..22] n.u., immer ,1'
- [21] Quench input signal
- [20] External Interlock
- [19] PCB Power supply interlock
- [18] CH5-CH6 interlock: the difference exceeds the thresholds (via poti configured)
- [17] CH3-CH4 interlock: the difference exceeds the thresholds (via poti configured)
- [16] CH1-CH2 interlock: the difference exceeds the thresholds (via poti configured)

#### **Gespeicherte Interlocks**

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

- [15..14] n.u., immer ,1'
- [13] Quench input signal
- [12] External Interlock
- [11] PCB Power supply interlock
- [10] CH5-CH6 interlock: the difference exceeds the thresholds (via poti configured)
- [9] CH3-CH4 interlock: the difference exceeds the thresholds (via poti configured)
- [8] CH1-CH2 interlock: the difference exceeds the thresholds (via poti configured)

#### **Aktuell anstehende Interlocks**

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [7..6] n.u., immer ,1'
- [5] Quench input signal
- [4] External Interlock
- [3] PCB Power supply interlock
- [2] CH5-CH6 interlock: the difference exceeds the thresholds (via poti configured)
- [1] CH3-CH4 interlock: the difference exceeds the thresholds (via poti configured)

[0] CH1-CH2 interlock: the difference exceeds the thresholds (via poti configured)

Name	<b>FSP012_USIConfig</b>
Adresse	<b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP definiert die USI Konfiguration

[7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3] n.u.

[2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	<b>FSP013_PeripheralConfig</b>
Adresse	<b>0x0D<sub>H</sub>/13<sub>D</sub>/0x3044<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80 <sub>H</sub>

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058\_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt. Das Löschen dieses Bit löscht die „alte“ errechnete Prüfsumme.
- [6..0] n.u.

Name	<b>FSP040_RemoteUpdateStatus</b>
Adresse	<b>0x28<sub>H</sub>/40<sub>D</sub>/0x3238<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042\_Busy  
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042\_ReadyToSendData,  
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042\_ReadyToReceiveData,  
wenn ,1' können Daten vom Host an FSP42 gesendet werden



Name	<b>FSP041_RemoteUpdateCommands</b>
Adresse	<b>0x29<sub>H</sub>/41<sub>D</sub>/0x3239<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init

Name	<b>FSP042_RemoteUpdateData</b>
Adresse	<b>0x2A<sub>H</sub>/42<sub>D</sub>/0x3241<sub>ASCII</sub></b>
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

**Achtung:** Dieses FSP ist besonders im Hinblick auf Lesen und Schreiben. Da das FSP ein nachgeschaltetes serielles Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

#### Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

#### Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

#### Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ADCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

**Abbrechen/Beenden**

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

Name	<b>FSP045_AlteraRemoteUpdateCmd</b>
Adresse	<b>0x2D<sub>H</sub>/45<sub>D</sub>/0x3244<sub>ASCII</sub></b>
Tiefe	6/7 Byte / 48/56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0 <sub>H</sub>

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

#### Imagetyyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyyp.

#### Imagetyyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

**Für CycloneV ändert sich dieses FSP inhaltlich leicht.**

**Die Startadresse wandert um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)**

#### Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

#### Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

#### Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read\_n\_Write\_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	<b>FSP046_AlteraRemoteUpdateStatus</b>
Adresse	<b>0x2E<sub>H</sub>/46<sub>D</sub>/0x3245<sub>ASCII</sub></b>
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) <sub>H</sub>

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

- [79..72] ReconfTriggerCondition
- [71..69] Force Osc\_int n.u.
- [68] Force Osc\_int
- [67..44] Boot Address
- [43..41] Watchdog Enable n.u.
- [40] Watchdog Enable
- [39..8] Watchdog timeout
- [7..5] Cd\_early n.u.
- [4] Cd\_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
- [3..2] MSM State n.u.
- [1..0] MSM State ('00' = Factory Image, '11' = Application Image)

Name	<b>FSP050_ADC_PowerSupplyValues</b>
Adresse	<b>0x32<sub>H</sub>/50<sub>D</sub>/0x3332<sub>ASCII</sub></b>
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

[63..48]     -15 Volt (13 Bit)

[47..32]     15 Volt (13 Bit)

[31..16]     5 Volt (13 Bit)

[15..0]      3,3 Volt (13 Bit)

Name	<b>FSP058_ParameterChecksumValue</b>
Adresse	<b>0x3A<sub>H</sub>/58<sub>D</sub>/0x3341<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 <sub>H</sub>

Repräsentiert die Vergleichs-Prüfsumme der vom Modul empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „FSP059\_ParameterChecksumValueCalculated“ verglichen.

[23..0]      Checksumme der Datenübertragung zum Modul.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUSIc (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

Name	<b>FSP059_ParameterChecksumValueCalculated</b>
Adresse	<b>0x3B<sub>H</sub>/59<sub>D</sub>/0x3342<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0]        errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.



Name	<b>FSP060_InterlockInputFilter</b>
Adresse	<b>0x3C<sub>H</sub>/60<sub>D</sub>/0x3343<sub>ASCII</sub></b>
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the Digital electric interlock filter settings in terms of mask bits and filter delay time. In the module the electric interlocks are 10, so only 10 of 16 mask bits are used for this project.

[31..26] n.u.

[25..16] Mask bit active high: when the interlock is masked and the delay value(see below) is different from zero, the delay between input and output is maximum 10µs (see ACU\_InputFilter.docx for more details)

[15..0] Delay value: it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action).

Name	<b>FSP061_HSBackChSelector</b>
Adresse	<b>0x3D<sub>H</sub>/61<sub>D</sub>/0x3344<sub>ASCII</sub></b>
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 <sub>H</sub>

It selects the high speed back channel data:

[7..4] High speed back channel data selector down part

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	CH1_Value(16bits)
0x2	CH2_Value(16bits)
0x3	CH3_Value(16bits)
0x4	CH4_Value(16bits)
0x5	CH5_Value(16bits)
0x6	CH6_Value(16bits)
0x7	CH1_2_Difference Value(16bits)
0x8	CH3_4_Difference Value(16bits)
0x9	CH5_6_Difference Value(16bits)
0xA	CH1_2_Threshold Value(16bits)
0xB	CH3_4_Threshold Value(16bits)
0xC	CH5_6_Threshold Value(16bits)

[3..0] High speed back channel data selector up part

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	CH1_Value(16bits)
0x2	CH2_Value(16bits)
0x3	CH3_Value(16bits)
0x4	CH4_Value(16bits)
0x5	CH5_Value(16bits)
0x6	CH6_Value(16bits)
0x7	CH1_2_Difference Value(16bits)
0x8	CH3_4_Difference Value(16bits)
0x9	CH5_6_Difference Value(16bits)
0xA	CH1_2_Threshold Value(16bits)
0xB	CH3_4_Threshold Value(16bits)
0xC	CH5_6_Threshold Value(16bits)

Name	<b>FSP062_LowVoltageInputs_ADC_Values</b>
Adresse	<b>0x3E<sub>H</sub>/62<sub>D</sub>/0x3345<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It containd the analog to digital converted value of the inputs X1, X2 and X3

[47..32] CH3 value [15..0]

[31..16] CH2 value [15..0]

[15..0] CH1 value [15..0]

Name	<b>FSP063_CH4_5_6_Inputs_ADC_Values</b>
Adresse	<b>0x3F<sub>H</sub>/63<sub>D</sub>/0x3346<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It containd the analog to digital converted value of the inputs X4, X5 and X6

[47..32] CH6 value [15..0]

[31..16] CH5 value [15..0]

[15..0] CH4 value [15..0]

Name	<b>FSP064_CH_DiffValues</b>
Adresse	<b>0x40<sub>H</sub>/64<sub>D</sub>/0x3430<sub>ASCII</sub></b>
Tiefe	6 Byte / 48 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) <sub>H</sub>

It contains the differences values of the channels listed in the FSP062 and FSP0623:

[47..32] CH6-CH5 value [15..0]

[31..16] CH4-CH3 value [15..0]

[15..0] CH2-CH1 value [15..0]

Name	<b>FSP065_CH_ThrsValues</b>
Adresse	<b>0x41<sub>H</sub>/65<sub>D</sub>/0x3431<sub>ASCII</sub></b>
Tiefe	6 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x46_46_46 <sub>H</sub>

It contains the threshold values adjusted via poti and used to generate the electric interlocks:

[47..32] CH6-CH5 Threshold value [15..0]

[31..16] CH4-CH3 Threshold value [15..0]

[15..0] CH2-CH1 Threshold value [15..0]