



FSPs der Interlock- und Control Modul (ICM) (ab FW 7.5.x)

Version vom: Mittwoch, 4. Mai 2022, 12:01:00

Inhaltsverzeichnis

1. Änderungsliste	1
2. ACU-FSPs_ICMIII	1
FSP001_ModuleStatus	2
0x01 _H /1 _D /0x3031 _{ASCII}	
FSP002_ModuleWarnings	4
0x02 _H /2 _D /0x3032 _{ASCII}	
FSP003_ModuleErrors.....	5
0x03 _H /3 _D /0x3033 _{ASCII}	
FSP004_ModuleInterlocks.....	6
0x04 _H /4 _D /0x3034 _{ASCII}	
FSP005_InterlocksEnable	8
0x05 _H /5 _D /0x3035 _{ASCII}	
FSP006_InterlocksArrivalSequence	9
0x06 _H /6 _D /0x3036 _{AS}	
FSP009_ModuleSerialNumber	10
0x09 _H /9 _D /0x3039 _{ASCII}	
FSP010_ModuleCommands	11
0x0A _H /10 _D /0x3041 _{ASCII}	
FSP011_ModuleInterlocksMask_n	12
0x0B _H /11 _D /0x3042 _{ASCII}	
FSP012_USIConfig.....	14
0x0C _H /12 _D /0x3043 _{ASCII}	
FSP013_PeripheralConfig.....	15
0x0D _H /13 _D /0x3044 _{ASCII}	
FSP017_DataStorageStatus	16
0x11 _H /17 _D /0x3131 _{ASCII}	
FSP018_DataStorageCfg.....	17
0x12 _H /18 _D /0x3132 _{ASCII}	
FSP030_SetValue_A.....	19
0x1E _H /30 _D /0x3145 _{ASCII}	
FSP031_SetValue_B	20
0x1F _H /31 _D /0x3146 _{ASCII}	
FSP040_RemoteUpdateStatus.....	21
0x28 _H /40 _D /0x3238 _{ASCII}	
FSP041_RemoteUpdateCommands.....	22
0x29 _H /41 _D /0x3239 _{ASCII}	
FSP042_RemoteUpdateData.....	23
0x2A _H /42 _D /0x3241 _{ASCII}	
FSP045_AlteraRemoteUpdateCmd.....	25
0x2D _H /45 _D /0x3244 _{ASCII}	
FSP046_AlteraRemoteUpdateStatus.....	26
0x2E _H /46 _D /0x3245 _{ASCII}	
FSP050_ModuleSupplyValues	27
0x32 _H /50 _D /0x3332 _{ASCII}	
FSP051_ModulePotIValues	28
0x33 _H /51 _D /0x3333 _{ASCII}	
FSP052_ModuleComparatorValues.....	29
0x34 _H /52 _D /0x3334 _{ASCII}	
FSP055_WaterFlowMeasurement	30
0x37 _H /55 _D /0x3337 _{ASCII}	
FSP058_ParameterChecksumValue	31
0x3A _H /58 _D /0x3341 _{ASCII}	
FSP059_ParameterChecksumValueCalculated	32
0x3B _H /59 _D /0x3342 _{ASCII}	
FSP060_ValCounter.....	33
0x3C _H /60 _D /0x3343 _{ASCII}	
FSP061_Controller_3_InputSourceSelectionMultiplexer	34
0x3D _H /61 _D /0x3344 _{ASCII}	
FSP062_Controller_3_DifferenceCalculatorMultiplier	36
0x3E _H /62 _D /0x3345 _{ASCII}	
FSP063_Controller_3_PI_Settings	37
0x3F _H /63 _D /0x3346 _{ASCII}	
FSP064_InterlockSelectMUX	38
0x40 _H /64 _D /0x3440 _{ASCII}	
FSP065_Controller_3_Limits	39

0x41 _H /65 _D /0x3431 _{ASCII}	
FSP067_Controller_3_ComparatorLimits.....	40
0x43 _H /67 _D /0x3433 _{ASCII}	
FSP069_Controller_3_Values	41
0x45 _H /69 _D /0x3435 _{ASCII}	
FSP070_Controller_1_InputSourceSelectionMultiplexer	42
0x46 _H /70 _D /0x3436 _{ASCII}	
FSP071_Controller_1_DifferenceCalculatorMultiplier	44
0x47 _H /71 _D /0x3731 _{ASCII}	
FSP072_Controller_1_Pi_Settings	45
0x48 _H /72 _D /0x3448 _{ASCII}	
FSP073_Controller_1_Limits	46
0x49 _H /73 _D /0x3439 _{ASCII}	
FSP074_Controller_1_ComparatorLimits.....	47
0x4A _H /74 _D /0x3441 _{ASCII}	
FSP077_Adder_1_SourceSelectMux.....	48
0x4D _H /77 _D /0x3444 _{ASCII}	
FSP078_Adder_1_Limits.....	50
0x4E _H /78 _D /0x3445 _{ASCII}	
FSP079_Controller_1_Values	51
0x4F _H /79 _D /0x3446 _{ASCII}	
FSP080_Controller_2_InputSourceSelectionMultiplexer	52
0x50 _H /80 _D /0x3530 _{ASCII}	
FSP081_Controller_2_DifferenceCalculatorMultiplier	54
0x51 _H /81 _D /0x3531 _{ASCII}	
FSP082_Controller_2_Pi_Settings	55
0x52 _H /82 _D /0x3542 _{ASCII}	
FSP083_Controller_2_Limits	56
0x53 _H /83 _D /0x3533 _{ASCII}	
FSP084_Controller_2_ComparatorLimits.....	57
0x54 _H /84 _D /0x3544 _{ASCII}	
FSP085_Adder_2_SourceSelectMux.....	58
0x55 _H /85 _D /0x3535 _{ASCII}	
FSP086_SPI_Ext_Cfg.....	59
0x56 _H /86 _D /0x3536 _{ASCII}	
FSP087_Adder_2_Limits.....	60
0x57 _H /87 _D /0x3537 _{ASCII}	
FSP088_UdCorrection_90_Values	61
0x58 _H /88 _D /0x3538 _{ASCII}	
FSP089_Controller_2_Values	62
0x59 _H /89 _D /0x3539 _{ASCII}	
FSP090_Ud_Correction_Inputs_SourceSelectionMUX	63
0x5A _H /90 _D /0x3541 _{ASCII}	
FSP091_Ud_Correction_90_ControlBitsAndSetValue	65
0x5B _H /91 _D /0x3542 _{ASCII}	
FSP092_Ud_Correction_0_ControlBitsAndSetValue	66
0x5C _H /92 _D /0x3543 _{ASCII}	
FSP093_Ud_Correction_Limits	67
0x5D _H /93 _D /0x3544 _{ASCII}	
FSP094_InputFilterDelay.....	68
0x5E _H /94 _D /0x3545 _{ASCII}	
FSP095_ExtSPI_EEPROM_Cfg	69
0x5F _H /95 _D /0x3546 _{ASCII}	
FSP096_ExtSPI_ID	70
0x60 _H /96 _D /0x3630 _{ASCII}	
FSP097_ExtSPI_IO_Outputs.....	71
0x61 _H /97 _D /0x3631 _{ASCII}	
FSP098_ExtSPI_IO_Inputs	72
0x62 _H /98 _D /0x3632 _{ASCII}	
FSP099_UdCorrection_0_Values	73
0x63 _H /99 _D /0x3939 _{ASCII}	
FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us	74
0x64 _H /100 _D /0x3634 _{ASCII}	
FSP101_WaterFlow_Thresholds.....	75
0x65 _H /101 _D /0x3635 _{ASCII}	
FSP102_ExtSPI_3_ADAndUser_OFFSET_CHx.....	76
0x66 _H /102 _D /0x3636 _{ASCII}	

FSP103_ExtSPI_3_ADCandUser_GAIN_Chx	77
0x67 _H /103 _D /0x3637 _{ASCII}	
FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx	78
0x68 _H /104 _D /0x3638 _{ASCII}	
FSP105_ExtSPI_4_ADCandUser_GAIN_Chx.....	79
0x69 _H /105 _D /0x3639 _{ASCII}	
FSP106_ExtSPI_Status.....	80
0x6A _H /106 _D /0x3641 _{ASCII}	
FSP107_LastOpticOutputDrivingCircuit	81
0x6B _H /107 _D /0x3642 _{ASCII}	
FSP108_PWM_CLEBT_Config	82
0x6C _H /108 _D /0x3643 _{ASCII}	
FSP109_PWM_PLLPhaseShift_ReConfig	84
0x6D _H /109 _D /0x3644 _{ASCII}	
FSP110_PWM_Config.....	85
0x6E _H /110 _D /0x3645 _{ASCII}	
FSP111_PWM_Limits	88
0x6F _H /111 _D /0x3646 _{ASCII}	
FSP112_PWM_InhibitValue	89
0x70 _H /112 _D /0x3730 _{ASCII}	
FSP113_HighSpeed_ReturnChannels_SourceSelectionMux.....	90
0x71 _H /113 _D /0x3731 _{ASCII}	
FSP114_ZCM_Cfg	92
0x72 _H /114 _D /0x3732 _{ASCII}	
FSP115_ExtSPI_3_ADC_OffsetGain.....	93
0x73 _H /115 _D /0x3733 _{ASCII}	
FSP116_ExtSPI_3_ADC_Thrs.....	94
0x74 _H /116 _D /0x3734 _{ASCII}	
FSP117_ExtSPI_3_ADC_Sig.....	95
0x75 _H /117 _D /0x3735 _{ASCII}	
FSP118_ExtSPI_3_ADC_SigScaledAndAveraged.....	96
0x76 _H /118 _D /0x3736 _{ASCII}	
FSP119_ExtSPI_4_ADC_OffsetGain.....	97
0x77 _H /119 _D /0x3737 _{ASCII}	
FSP120_ExtSPI_4_ADC_Thrs.....	98
0x78 _H /120 _D /0x3738 _{ASCII}	
FSP121_ExtSPI_4_ADC_Sig.....	99
0x79 _H /121 _D /0x3739 _{ASCII}	
FSP122_ExtSPI_4_ADC_SigScaledAndAveraged.....	100
0x7A _H /122 _D /0x3741 _{ASCII}	
FSP123_ICM_OnBoard_ADC_ScaledAndAvgValues.....	101
0x7B _H /123 _D /0x3742 _{ASCII}	
FSP124_OnBoard_ADCUserOffset	102
0x7C _H /124 _D /0x3743 _{ASCII}	
FSP125_OnBoard_ADCUserGain	103
0x7D _H /125 _D /0x3744 _{ASCII}	

1. Änderungsliste

Datum	Name	Kommentar
01.17.2021	D. Schupp	Dokument erstellt aus ACU-FSP mUSlc TFT

2. ACU-FSPs_ICMIII

Dieses Kapitel behandelt modulspezifische FSPs des Interlock- und Controll-Moduls (ICM).

Gültig für ICMIII mit konfigurierbarer PWM.

Für ältere Module bitte ältere Versionen dieses Dokuments verwenden.

Name	FSP001_ModuleStatus
Adresse	0x01_H/1_D/0x3031_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

- [23] wenn ,1', Hauptschütz geschlossen
- [22] wenn ,1', externe Reglerfreigabe
- [21] wenn ,1', EnZCM (enable Zero Crossing Modulation)
- [20] wenn ,1', Regler freigegeben
- [19..16] Status des Moduls

[3..0]	Status
0x0	Kein Status lesbar
0x1	<i>cSTATUSSetDefaults/ cSTATUSWaitForParameters</i> keine definierter Status
0x2	<i>cSTATUSUnitOff</i> Gerät ausgeschaltet
0x3	<i>cSTATUSLoadingBank</i> Bank laden
0x4	<i>cSTATUSSwitchingUnitOn</i> Gerät einschalten
0x5	<i>cSTATUSUnitOn</i> Gerät eingeschaltet
0x6	<i>cSTATUSControllerDisabledByFPGAInternalCause</i> FPGA interne Gründe (des Status erzeugenden Moduls) sperren den Regler
0x7	<i>cSTATUSControllerEnabled</i> Regler freigegeben
0x8	<i>cSTATUSSwitchingUnitOff</i> Gerät ausschalten
0x9	<i>cSTATUSControllerDisabledByCommand</i> Das Kommando <i>cCMDDisableController</i> sperrt den Regler
0xA	<i>cSTATUSControllerDisabledByFPGAExternalCause</i> FPGA externe Gründe (des Status erzeugenden Moduls) sperren den Regler
0xB	<i>cSTATUSResetInterlocks</i>
0xC	<i>cSTATUSMachineProtection</i>
0xD	n.u.
0xE	<i>cSTATUSPowerOnReset</i>
0xF	<i>cSTATUSWhenOthers</i> keine definierter Status

- [15..12] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i>

	Reset durchführen (z.B. Interlocks)
0x4	<i>cCMDDisableController</i>
0x5	<i>cCMDTriggerSomething</i> hiermit lassen sich Sonderfunktionen in Modulen auslösen

- [11..9] Reserviert
Reserviert für zukünftige Anwendungen
- [8] USIsHighSpeed
wenn ,1' ist USI im Highspeed Mode
- [7] Reserviert
Reserviert für zukünftige Anwendungen
- [6] SwitchingOperationTimerCheck
- [5] NoInterlocks
wenn ,1' stehen keine Interlocks an
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors
wenn ,1' ist Modul fehlerfrei
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings
wenn ,1' ist Modul ohne Warnungen
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady
wenn ,1' ist Modul betriebsbereit
Das Modul ist voll betriebsbereit
- [1] ChecksumOK
wenn ,1' Parameter Checksumme OK
Die Prüfsumme für die Modulparameter ist bestätigt.
- [0] ParametersLoaded
wenn ,1' sind die Parameter geladen
Das Modul hat seine Konfigurationsparameter geladen.

Name	FSP002_ModuleWarnings
Adresse	0x02_H/2_D/0x3032_{ASCII}
Tiefe	modulabhängig
I/O	3 Byte / 24 Bit
Reset	0x(siehe Beschreibung) _H

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt (z.B. Temperatur des Moduls zu hoch).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] des FSP001_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	FSP003_ModuleErrors
Adresse	0x03_H/3_D/0x3033_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] des FSP001_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	FSP004_ModuleInterlocks
Adresse	0x04_H/4_D/0x3034_{ASCII}
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] des FSP001_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

Gespeicherte Interlocks

- [79...78] wenn ,0', TooLessWater_SPI_2_Filt[1..0]
- [77..76] wenn ,0', TooLessWater_SPI_1_Filt[1..0]
- [75..72] wenn ,0', anstehendes Interlock am ExtensionBusIn[6,4,2,0]
EXTENSION_BUS_IN[6],
EXTENSION_BUS_IN[4],
EXTENSION_BUS_IN[2],
EXTENSION_BUS_IN[0]
- [71] n.u., immer ,1'
VCC_BUS[0]
- [70] USIsHighSpeed Abbruch
USISlave1_IsHighSpeed
- [69..68] wenn ,0', anstehendes Interlock am zugehörigen Wasserdurchflusswächter
WaterFlowOK_Filt[2..1]
- [67..58] wenn ,0', anstehendes Interlock am zugehörigen elektrischen Eingang
ELECTRICAL_IN_Filtred[9..0]
- [57] wenn ,0', anstehendes Interlock am Quench In
QUENCH_IN
- [56..49] wenn ,0', anstehendes Interlock am zugehörigen optische Eingang
OPTICAL_IN[7..0]
- [48..40] wenn ,0', anstehendes Interlock am zugehörigen Komparator
COMP_IN[9..1]

Aktuell anstehende Interlocks

- [39..38] wenn ,0', TooLessWater_SPI_1_Filt[1..0]
- [37..36] wenn ,0', TooLessWater_SPI_0_Filt[1..0]
- [35..32] wenn ,0', anstehendes Interlock am ExtensionBusIn[6,4,2,0]
EXTENSION_BUS_IN[6],
EXTENSION_BUS_IN[4],
EXTENSION_BUS_IN[2],
EXTENSION_BUS_IN[0]
- [31] n.u., immer ,1'
VCC_BUS[0]

- [30] USIsHighSpeed Abbruch
USISlave1_IsHighSpeed
- [29..28] wenn '0', anstehendes Interlock am zugehörigen Wasser-Durchflusswächter
WaterFlowOK_Filt[2..1]
- [27..18] wenn '0', anstehendes Interlock am zugehörigen elektrischen Eingang
ELECTRICAL_IN_Filtred[9..0]
- [17] wenn '0', anstehendes Interlock am Quench In
QUENCH_IN
- [16..9] wenn '0', anstehendes Interlock am zugehörigen optische Eingang
OPTICAL_IN[7..0]
- [8..0] wenn '0', anstehendes Interlock am zugehörigen Komparator
COMP_IN[9..1]

Name	FSP005_InterlocksEnable
Adresse	0x05_H/5_D/0x3035_{ASCII}
Tiefe	5 Byte / 40 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Im FSP sind alle Interlock Enable Informationen des Moduls abgebildet sofern darüber Informationen zur Verfügung gestellt werden. I.d.R. werden auf Modulen z.B. Jumperstellungen bzgl. der Zulässigkeit von Interlocks abgefragt und deren Einstellungen hier abgelegt.

Ist ein Interlock aktiviert (also zugelassen) ist das korrespondierende Bit in diesem FSP gesetzt, nicht zugelassene, also dauerhaft gesperrte Interlocks werden durch eine ,0' dargestellt.

[39..36] n.u., immer ,0'

[35..32] wenn ,1' Interlocks des ExtensionBusIn[6,4,2,0] aktiv

[31..28] n.u., immer ,0'

[27..18] wenn '1' Interlock des zugehörigen elektrischen Eingangs aktiv

[17..9] wenn '1' Interlock des zugehörigen optischen Eingangs aktiv

[8..0] n.u., immer ,0'

Name	FSP006_InterlocksArrivalSequence
Adresse	0x06_H/6_D/0x3036_{ASCII}
Tiefe	6 Byte / 48 Byte
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

Name	FSP009_ModuleSerialNumber
Adresse	0x09_H/9_D/0x3039_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

[95..48] Erweiterungsmodule an X22 Seriennummer

[47..0] ICM Modul Seriennummer

Name	FSP010_ModuleCommands
Adresse	0x0A_H/10_D/0x3041_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

Die Kommandos dieses FSPs werden nur ausgeführt, wenn das Modul mittels Standard-USI angebunden ist. Wird die USI HighSpeed Verbindung verwendet, dann werden die Kommandos aus diesem FSP ignoriert. Stattdessen erfolgt die Kommandoübertragung über die HighSpeed Anbindung.

[7..5] n.u.

[4] Wenn ,1' → V5_On_V6_Off aktiv

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (z.B. Interlocks)
0x4	<i>cCMDDisableController</i>
0x5	<i>cCMDTriggerSomething</i> hiermit lassen sich Sonderfunktionen in Modulen auslösen

Name	FSP011_ModuleInterlocksMask_n
Adresse	0x0B_H/11_D/0x3042_{ASCII}
Tiefe	15 Byte / 120 Bit
I/O	lesen / schreiben
Reset	0xFFC0000000_FFC0000000_FFC0000000 _H

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

Zugelassene Interlocks nach der Reglerfreigabe

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschutz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschutz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

[119...118] wenn ,0', werden zugehörige TooLessWater_SPI_1_Filt[1..0] dauerhaft erfasst

[117..116] wenn ,0', werden zugehörige TooLessWater_SPI_0_Filt[1..0] dauerhaft erfasst

[115..112] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock dauerhaft erfasst
EXTENSION_BUS_IN[6],
EXTENSION_BUS_IN[4],
EXTENSION_BUS_IN[2],
EXTENSION_BUS_IN[0]

[111] n.u., immer ,1'

[110] wenn ,0' wird ein USILsHighSpeed Abbruch dauerhaft erfasst
USISlave1_IsHighSpeed

[109..108] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks dauerhaft erfasst
WaterFlowOK_Filt[2..1]

[107..98] wenn ,0' werden zugehörige Elektrische Eingangs-Interlocks dauerhaft erfasst
ELECTRICAL_IN_Filtred[9..0]

[97] wenn ,0' wird zugehöriges Optische Eingangs-Interlocks dauerhaft erfasst
QUENCH_IN

[96..89] wenn ,0' werden zugehörige Optische Eingangs-Interlocks dauerhaft erfasst
OPTICAL_IN[7..0]

[88..80] wenn ,0', werden zugehörige Komparator-Interlocks dauerhaft erfasst
COMP_IN[9..1]

Gespeicherte Interlocks

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

[79...78] wenn ,0', werden zugehörige TooLessWater_SPI_1_Filt[1..0] gespeichert

[77..76] wenn ,0', werden zugehörige TooLessWater_SPI_0_Filt[1..0] gespeichert

[75..72] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock gespeichert
EXTENSION_BUS_IN[6],
EXTENSION_BUS_IN[4],
EXTENSION_BUS_IN[2],
EXTENSION_BUS_IN[0]

- [71] n.u., immer ,1'
- [70] wenn ,0' wird ein USIIsHighSpeed Abbruch gespeichert
USISlave1_IsHighSpeed
- [69..68] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks gespeichert
WaterFlowOK_Filt[2..1]
- [67..58] wenn '0' werden zugehörige Elektrische Eingangs-Interlocks gespeichert
ELECTRICAL_IN_Filtred[9..0]
- [57] wenn '0' wird zugehöriges Optische Eingangs-Interlocks gespeichert
QUENCH_IN
- [57..49] wenn '0' werden zugehörige Optische Eingangs-Interlocks gespeichert
OPTICAL_IN[7..0]
- [48..40] wenn '0', werden zugehörige Komparator-Interlocks gespeichert
COMP_IN[9..1]

Aktuell anstehende Interlocks

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [39..38] wenn ,0', werden zugehörige TooLessWater_SPI_1_Filt[1..0] angezeigt
- [37..36] wenn ,0', werden zugehörige TooLessWater_SPI_0_Filt[1..0] angezeigt
- [35..32] wenn ,0', werden zugehörige ExtensionBusIn[6,4,2,0] Interlock angezeigt
EXTENSION_BUS_IN[6],
EXTENSION_BUS_IN[4],
EXTENSION_BUS_IN[2],
EXTENSION_BUS_IN[0]
- [31] n.u., immer ,1'
- [30] wenn ,0' wird ein USIIsHighSpeed Abbruch angezeigt
USISlave1_IsHighSpeed
- [29..28] wenn ,0' werden zugehörige Wasser-Durchflusswächter-Interlocks angezeigt
WaterFlowOK_Filt[2..1]
- [27..18] wenn '0' werden zugehörige Elektrische Eingangs-Interlocks angezeigt
ELECTRICAL_IN_Filtred[9..0]
- [17] wenn '0' wird zugehöriges Optische Eingangs-Interlocks angezeigt
QUENCH_IN
- [16..9] wenn '0' werden zugehörige Optische Eingangs-Interlocks angezeigt
OPTICAL_IN[7..0]
- [8..0] wenn '0', werden zugehörige Komparator-Interlocks angezeigt
COMP_IN[9..1]

Name	FSP012_USIConfig
Adresse	0x0C_H/12_D/0x3043_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Dieser FSP definiert die USI Konfiguration

[7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3] n.u.

[2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	FSP013_PeripheralConfig
Adresse	0x0D_H/13_D/0x3044_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80 _H

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt.
Das Löschen dieses Bit löscht die zuvor errechnete Prüfsumme.
- [6..0] n.u.

Name	FSP017_DataStorageStatus
Adresse	0x11_H/17_D/0x3131_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält den DataStorage Status

[15..8] Wert n der Adressweite der Erfassung (2^n), bei z.B. 14 $\Rightarrow 2^{14}$ = mögliche Speicheradressen

Die oberen 8 Bit des FSP017 verraten wieviel Data das DataStorage-Modul später ggf. senden wird. Der darin befindliche Wert gibt die Anzahl der Adressleitungen an. D.h. wenn der Wert "&H1" um diese Anzahl nach links verschoben wird ($2^{\text{dieser Wert}}$), ergibt das die Speichertiefe des DataStorage-Moduls.

Beispiel:

"&H0E" \Rightarrow 14(d) \Rightarrow 0x00_0000_0000_0001

um 14 geschoben = 0x10_0000_0000_0000 = 2^{14}

DataStorage hat 14 Adressleitungen für 32 Bit Werte \Rightarrow 16384 mgl. Adressen für 32 Bit Werte. Es werden bei "jedem Schuss" aber 64 Bit Daten (also 2×32 Bit) geschrieben, d.h. es bleiben somit eigentlich nur 13 Adressleitungen für 32 Bit Werte \Rightarrow 8192 mgl. Adressen für 64 Bit Werte. Da jede Speicherstelle 32 Bit tief ist, werden 16384×4 Bytes = 65536 Bytes gespeichert. Wird DataStorage also mit 14 Adressleitungen gelesen, werden insgesamt 64kByte Daten empfangen.

Es werden also insgesamt nur $(2^{14})/2$ Bytes Empfangen

Welche Daten erfasst werden und anschließend zur Verfügung stehen bitte dem „FSP018_DataStorageCfg“ auf Seite 17 entnehmen.

[7..3] n.u.

[2] Trigger condition detected

[1] Read complete

[0] Write complete

Name	FSP018_DataStorageCfg
Adresse	0x12_H/18_D/0x3132_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen /schreiben
Reset	0_0000_0000_0_0_0 _H

Enthält die DataStorage Konfiguration

[47..44] ACU_DataStorage data input selector

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Offset/Gain UND UserOffset/USerGain korrigierte ADC Werte über SPI3 Trigger: New_ExtSPI_3_ADC_SigAvrgr, jeder neue Messwert wird erfasst Da es 4 ADCs sind, sind die Daten über FSP017 wie folgt zu interpretieren: [63..48] CH1(16Bit) [47..32] CH2(16Bit) [31..16] CH3(16Bit) [15..0] CH4(16Bit)
0x2	Offset/Gain UND UserOffset/USerGain korrigierte ADC Werte über SPI4 Trigger: New_ExtSPI_4_ADC_SigAvrgr, jeder neue Messwert wird erfasst Da es 4 ADCs sind, sind die Daten über FSP017 wie folgt zu interpretieren: [63..48] CH1(16Bit) [47..32] CH2(16Bit) [31..16] CH3(16Bit) [15..0] CH4(16Bit)
0x3	InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us[31..0], InvertedWaterFlowPulseWidth_SPI_1[31..0] Trigger: incrCmd_1ms, a 16b freewheeling counter incremented every 1 us Die Daten über FSP017 sind wie folgt zu interpretieren: [63..48] WaterFlow_2_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden [46..32] WaterFlow_1_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden [31..16] WaterFlow_SPI_1_1_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden [15..0] WaterFlow_SPI_1_0_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden
0x4	InvertedWaterFlowPulseWidth_SPI_2[31..0], Comparator_ADC_5_Direct[15..0], Comparator_ADC_5_Filter[15..0] Trigger: incrCmd_1ms, a 16b freewheeling counter incremented every 1 us Die Daten über FSP017 sind wie folgt zu interpretieren: [63..48] WaterFlow_SPI_2_1_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden [47..32] WaterFlow_SPI_2_0_TimePeriode, Dauer zwischen zwei Pulsen in µ-Sekunden [31..16] Comparator_ADC_5_Direct [15..0] Comparator_ADC_5_Filter
0x5	Comparator_ADC_1_Direct[15..0], Comparator_ADC_2_Direct[15..0], Comparator_ADC_3_Direct[15..0], Comparator_ADC_4_Direct[15..0] Trigger: NewADC_x_Result_y, jeder neue Messwert wird erfasst Die Daten über FSP017 sind wie folgt zu interpretieren: [63..48] Comparator_ADC_1_Direct [47..32] Comparator_ADC_2_Direct [31..16] Comparator_ADC_3_Direct [15..0] Comparator_ADC_4_Direct

0x6	Comparator_ADC_1_Filter[15..0], Comparator_ADC_2_Filter[15..0], Comparator_ADC_3_Filter[15..0], Comparator_ADC_4_Filter[15..0] Trigger: NewADC_x_Result_y, jeder neue Messwert wird erfasst Die Daten über FSP017 sind wie folgt zu interpretieren: [63..48] Comparator_ADC_1_Filter [47..32] Comparator_ADC_2_Filter [31..16] Comparator_ADC_3_Filter [15..0] Comparator_ADC_4_Filter
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[43..42] n.u.

[41..28] preTriggerLocationNumber : it can be left to default 0 value (16b) in “internal oscilloscope” mode, this parameter defines how many RAM location have to be not overwritten before the trigger condition detection.
It is useful to implement a pre-trigger, center or post trigger acquisition mode.

[27..12] Number of skippable values : it can be left to default 0 value(16b) it defines the number of ADC values that have not to be written in the RAM. When 0, all the received values are written.

[11..9] n.u.

[8] ExtTiggerCommand: it is used to trigger the write action
the rising edge of this signal stops the write action in “loop” mode. The ACU_DataStorage module continues to write the RAM till the location where the external trigger condition was detected. After that the write actions are stopped. This functionality is useful when the ACU_Data storage module is used as “internal oscilloscope”.

[7..5] n.u.

[4] RdEnable: it is used to arm the read action when the write is completed it has to be set to 1 (level) during the read operation when the write complete status is reported on the FSP 123.

[3..2] n.u.

[0] Reset command, necessary before start to record data

Name	FSP030_SetValue_A
Adresse	0x1E_H/30_D/0x3145_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 _H

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes_A an diverse Ziele.

[23..0] 20 Bit Sollwert_A, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert_A vorgegeben:

- Als Sollwert für den PI Regler **1** mittels des Sollwert-Multiplexer, welcher über „FSP070_Controller_1_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **2** mittels des Sollwert-Multiplexer, welcher über „FSP080_Controller_2_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **3** mittels des Sollwert-Multiplexer, welcher über „FSP061_Controller_3_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Summand **1** und/oder Summand **2** für den internen Addierer **1** mittels des Addierer-Summand-1-2-Multiplexers, welcher über „FSP077_Adder_1_SourceSelectMux“ konfiguriert wird.
- Als Summand **1** und/oder Summand **2** für den internen Addierer **2** mittels des Addierer-Summand-1-2-Multiplexers, welcher über „FSP085_Adder_2_SourceSelectMux“ konfiguriert wird.
- Als Sollwert für die PWM mittels des PWM-Multiplexer welcher über „FSP110_PWM_Config“ konfiguriert wird.
- Als Kontrollwert für die Ud Korrektur **0°**, mittels des Ud Kontrollwert Multiplexer, welcher über „FSP090_Ud_Correction_Inputs_SourceSelectionMUX“ konfiguriert wird.
- Als Kontrollwert für die Ud Korrektur **90°**, mittels des Ud Kontrollwert Multiplexer, welcher über „FSP090_Ud_Correction_Inputs_SourceSelectionMUX“ konfiguriert wird.
- Als CLEBT Komparator Wert mittels des HysteresisComparator CLEBT Eingang Selektor über „FSP108_PWM_CLEBT_ConfigFSP108_PWM_CLEBT_Config“
- Als ZCM (Zero Crossing Modulation) Aktivierungs-Sollwert mittels des „FSP114_ZCM_Cfg“

Name	FSP031_SetValue_B
Adresse	0x1F_H/31_D/0x3146_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 _H

Dieser FSP dient zur Übermittlung eines 16 Bit Sollwertes_B an diverse Ziele.

[23..0] 20 Bit Sollwert_B, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert_B vorgegeben:

- Als Sollwert für den PI Regler **1** mittels des Sollwert-Multiplexer, welcher über „FSP070_Controller_1_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **2** mittels des Sollwert-Multiplexer, welcher über „FSP080_Controller_2_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Sollwert für den PI Regler **3** mittels des Sollwert-Multiplexer, welcher über „FSP061_Controller_3_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **1** mittels des Istwert-Multiplexer, welcher über „FSP070_Controller_1_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **2** mittels des Istwert-Multiplexer, welcher über „FSP080_Controller_2_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Istwert für den PI Regler **3** mittels des Istwert-Multiplexer, welcher über „FSP061_Controller_3_InputSourceSelectionMultiplexer“ konfiguriert wird.
- Als Summand 1 und/oder Summand 2 für den internen Addierer **1** mittels des Addierer-Summand-1-2-Multiplexers, welcher über „FSP077_Adder_1_SourceSelectMux“ konfiguriert wird.
- Als Summand 1 und/oder Summand 2 für den internen Addierer **2** mittels des Addierer-Summand-1-2-Multiplexers, welcher über „FSP085_Adder_2_SourceSelectMux“ konfiguriert wird.
- Als Sollwert für die PWM **90°** mittels des PWM-Multiplexer welcher über „FSP110_PWM_Config“ konfiguriert wird.
- Als Kontrollwert für die Ud Korrektur **0°**, mittels des Ud Kontrollwert Multiplexer, welcher über „FSP090_Ud_Correction_Inputs_SourceSelectionMUX“ konfiguriert wird.
- Als Kontrollwert für die Ud Korrektur **90°**, mittels des Ud Kontrollwert Multiplexer, welcher über „FSP090_Ud_Correction_Inputs_SourceSelectionMUX“ konfiguriert wird.
- Als CLEBT Komparator Wert mittels des HysteresisComparator CLEBT Eingang Selektor über „FSP108_PWM_CLEBT_ConfigFSP108_PWM_CLEBT_Config“

Name	FSP040_RemoteUpdateStatus
Adresse	0x28_H/40_D/0x3238_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042_Busy
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042_ReadyToSendData,
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042_ReadyToReceiveData,
wenn ,1' können Daten vom Host an FSP42 gesendet werden

Name	FSP041_RemoteUpdateCommands
Adresse	0x29_H/41_D/0x3239_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init

Name	FSP042_RemoteUpdateData
Adresse	0x2A_H/42_D/0x3241_{ASCII}
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) _H

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

Achtung: Dieser FSP ist besonders im Hinblick auf Lesen und Schreiben. Da der FSP einen nachgeschalteten seriellen Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ADCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

Abbrechen/Beenden

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

Name	FSP045_AlteraRemoteUpdateCmd
Adresse	0x2D_H/45_D/0x3244_{ASCII}
Tiefe	7 Byte / 56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0 _H

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

Imagetyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyp.

Imagetyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

Mit Einführung des CycloneV änderte sich dieses FSP inhaltlich leicht.

Die Startadresse wanderte um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)

Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read_n_Write_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	FSP046_AlteraRemoteUpdateStatus
Adresse	0x2E_H/46_D/0x3245_{ASCII}
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) _H

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

- [79..72] ReconfTriggerCondition
- [71..69] Force Osc_int n.u.
- [68] Force Osc_int
- [67..44] Boot Address
- [43..41] Watchdog Enable n.u.
- [40] Watchdog Enable
- [39..8] Watchdog timeout
- [7..5] Cd_early n.u.
- [4] Cd_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
- [3..2] MSM State n.u.
- [1..0] MSM State ('00' = Factory Image, '11' = Application Image)

Name	FSP050_ModuleSupplyValues
Adresse	0x32_H/50_D/0x3332_{ASCII}
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -12 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 12 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

Name	FSP051_ModulePotiValues
Adresse	0x33_H/51_D/0x3333_{ASCII}
Tiefe	20 Byte / 160 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Poti-Spannungen der Komparator/Potimodule. Diese Spannungen definieren die Schaltschwelle der Komparatoren.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

[159..144]	ADC1 Poti-Spannungen des Moduls auf X16 (bipolar), negative Schwelle (13 Bit)
[143..128]	ADC1 Poti-Spannungen des Moduls auf X16 (bipolar), positive Schwelle (13 Bit)
[127..112]	ADC2 Poti-Spannungen des Moduls auf X25 (bipolar), negative Schwelle (13 Bit)
[111..96]	ADC2 Poti-Spannungen des Moduls auf X25 (bipolar), positive Schwelle (13 Bit)
[95..80]	ADC3 Poti-Spannungen des Moduls auf X17 (bipolar), negative Schwelle (13 Bit)
[79..64]	ADC3 Poti-Spannungen des Moduls auf X17 (bipolar), positive Schwelle (13 Bit)
[63..48]	ADC4 Poti-Spannungen des Moduls auf X26 (bipolar), negative Schwelle (13 Bit)
[47..32]	ADC4 Poti-Spannungen des Moduls auf X26 (bipolar), positive Schwelle (13 Bit)
[31..16]	n.u., immer ,0'
[15..0]	ADC5 Poti-Spannungen des Moduls auf X15 (unipolar), positive Schwelle (13 Bit)

Name	FSP052_ModuleComparatorValues
Adresse	0x34_H/52_D/0x3334_{ASCII}
Tiefe	20 Byte / 160 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Komparator-Spannungen der Komparator/Potimodule, jeweils vor und hinter dem Filter.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

[159..144]	ADC1 Komparator-Spannung des Moduls auf X16 (bipolar), hinter dem Filter (13 Bit)
[143..128]	ADC1 Komparator-Spannung des Moduls auf X16 (bipolar), vor dem Filter (13 Bit)
[127..112]	ADC2 Komparator-Spannung des Moduls auf X25 (bipolar), hinter dem Filter (13 Bit)
[111..96]	ADC2 Komparator-Spannung des Moduls auf X25 (bipolar), vor dem Filter (13 Bit)
[95..80]	ADC3 Komparator-Spannung des Moduls auf X17 (bipolar), hinter dem Filter (13 Bit)
[79..64]	ADC3 Komparator-Spannung des Moduls auf X17 (bipolar), vor dem Filter (13 Bit)
[63..48]	ADC4 Komparator-Spannung des Moduls auf X26 (bipolar), hinter dem Filter (13 Bit)
[47..32]	ADC4 Komparator-Spannung des Moduls auf X26 (bipolar), vor dem Filter (13 Bit)
[31..16]	ADC5 Komparator-Spannung des Moduls auf X15 (unipolar), hinter dem Filter' (13 Bit)
[15..0]	ADC5 Komparator-Spannung des Moduls auf X15 (unipolar), vor dem Filter (13 Bit)

Name	FSP055_WaterFlowMeasurement
Adresse	0x37_H/55_D/0x3337_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_06_6465 _H

Sind Wasserwächter im Modul vorhanden, werden diese über verschiedene Parameter beschrieben um deren aktuellen Durchfluss zu bestimmen und dazustellen.

„FSP101_WaterFlow_Thresholds“ wird mit den unteren und oberen Schwellwerten für den Durchfluss in μ Sekunden zwischen zwei Pulsen beschrieben. Zu beachten ist, dass der untere Grenzwert die minimal zulässige Zeitdauer in μ Sekunden angibt, die zwischen zwei Pulsen liegen darf, damit aber den maximalen Durchfluss beschreibt. Je kleiner die Zeitspanne zwischen zwei Pulsen ist, desto mehr Wasser fließt durch den Wasserwächter. Umgekehrt beschreibt der obere Schwellwert mit maximal zulässige Zeitdauer in μ Sekunden, die zwischen zwei Pulsen liegen darf und damit den minimalen Durchfluss. Je größer die Zeitspanne zwischen zwei Pulsen ist, desto weniger Wasser fließt durch den Wasserwächter.

„FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us“ gibt die Zeitdauer zwischen zwei Messimpulsen des Wasserwächters in μ Sekunden zurück.

Diese FSP können beliebig im Modul zu finden sein.

Daher beschreibt FSP055 u. A. deren FSP-Adressen.

- [47..44] Index-Typ *) des SPI_2_1. Wasserwächters/Durchflussmessers
- [43..40] Index-Typ *) des SPI_2_0. Wasserwächters/Durchflussmessers
- [39..36] Index-Typ *) des SPI_1_1. Wasserwächters/Durchflussmessers
- [35..32] Index-Typ *) des SPI_1_0. Wasserwächters/Durchflussmessers
- [31..28] Index-Typ *) des 2. Wasserwächters/Durchflussmessers
- [27..24] Index-Typ *) des 1. Wasserwächters/Durchflussmesser
- [23..16] Anzahl der verfügbaren Wasserwächter-/Durchflussmesserkanäle (hier 6)
- [15..8] Adresse des „FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us“ (0x64_H = 100_D)
- [7..0] Adresse des „FSP101_WaterFlow_Thresholds“ Indextypen (0x65_H = 101_D)

*) Indextypen

- | | | |
|---|------------------------------|--------------------------------------------------------|
| 0 | Float_Type_or_norm_Interlock | (normaler Schaltkontakt, kein Durchfluss uebermittelt) |
| 1 | Customized_Values | (Benutzerwerte - kein Durchfluss ermittelt) |
| 2 | RRI_010xxx020_2I | (GHM-Hornsberg) |
| 3 | RRI_010xxx050_12I | (GHM-Hornsberg) |
| 4 | RRI_010xxx070_14I | (GHM-Hornsberg) |
| 5 | RRI_025xxx180_36I | (GHM-Hornsberg) |
| 6 | RRI_025xxx120_72I | (GHM-Hornsberg) |
| 7 | RRI_010xxx160_120I | (GHM-Hornsberg) |
| 8 | DRS_9250XXF300 | (Kobold) |

Name	FSP058_ParameterChecksumValue
Adresse	0x3A_H/58_D/0x3341_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 _H

Repräsentiert die Vergleichs-Prüfsumme der vom Modul empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „FSP058_ParameterChecksumValue“ verglichen.

[23..0] Checksumme der Datenübertragung zum Modul.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUISC (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

Name	FSP059_ParameterChecksumValueCalculated
Adresse	0x3B_H/59_D/0x3342_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0] errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.

Name	FSP060_ValCounter
Adresse	0x3C_H/60_D/0x3343_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_00_00_00 _H

Gibt Zeiten vor, die das ICM für die Ein-/Ausschaltzyklen benötigt

- [31..24] ,Val_CutOffTime_s' = Wertigkeit * 1 Sekunde, gibt die Zeit an die vergeht, bis die Wiedereinschaltssperre des Gerätes freigegeben wird nachdem das Gerät ausgeschaltet wurde
- [23..16] ,Val_Timer3_RunTime_in_s' = Wertigkeit * 1 Sekunde, gibt die Zeit an die vergeht, bis die Regler-Freigabe erfolgt nachdem der elektrische Schaltkontakt 3 eingeschaltet wurde
- [15..8] ,Val_Timer2_RunTime_in_s' = Wertigkeit * 1 Sekunden, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 3 eingeschaltet wird nachdem der elektrische Schaltkontakt 2 eingeschaltet wurde
- [7..0] ,Val_Timer1_RunTime_in_s' = Wertigkeit * 1 Sekunde, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 2 eingeschaltet wird nachdem der elektrische Schaltkontakt 1 eingeschaltet wurde

Name	FSP061_Controller_3_InputSourceSelectionMultiplexer
Adresse	0x3D_H/61_D/0x3344_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0_0_0_0 _H

Repräsentiert die Einstellungen der PI Regler **3** Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **1** ist der „FSP070_Controller_1_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **2** ist der „FSP080_Controller_2_InputSourceSelectionMultiplexer“.

[15..12] Regler **3** Istwert Vorauswahl (ADC_Sel_ActVal_C3) für die anschließende Auswahl mittels den Bits[7..4].

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x9	Comparator_ADC_1_Direct[15..0],GND_BUS[3..0]
0xA	OnBoard_ADC_1_AvrgVal[15..0],GND_BUS[3..0]
0xB	Comparator_ADC_3_Direct[15..0],GND_BUS[3..0]
0xC	OnBoard_ADC_3_AvrgVal[15..0],GND_BUS[3..0]
0xD	n.u.
0xE	n.u.
0xF	n.u.

[11..8] n.u.

[7..4] Regler **3** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Ausgang des ADC_Sel_ActVal_C3 Multiplexers (Bits[15..12]) zur Vorauswahl von erfassten ADC Messwerten über ein SPI ADC Modul oder den „OnBoard“ Komparator ADCs
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_2[31..12]
0x5	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_1[31..18],GND_BUS[5..0]
0x7	HighSpeedPort_Received_USI_Slave_2[17..5],GND_BUS[6..0]
0x8	HighSpeedPort_Received_USI_Slave_2[31..18],GND_BUS[5..0]
0x9	
0xA	
0xB	
0xC	

0xD	
0xE	
0xF	

[3..0] Regler **3** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller 2 , Regler 2 , PI-Anteil
0x5	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_1[31..18], GND_BUS[5..0]
0x7	HighSpeedPort_Received_USI_Slave_2[31..12]
0x8	HighSpeedPort_Received_USI_Slave_2[17..5], GND_BUS[6..0]
0x9	HighSpeedPort_Received_USI_Slave_2[31..18], GND_BUS[5..0]
0xA	HighSpeedPort_Received_USI_Slave_2[31], HighSpeedPort_Received_USI_Slave_2[31..13]
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP062_Controller_3_DifferenceCalculatorMultiplier
Adresse	0x3E_H/62_D/0x3345_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 _H

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Regler **3**.

Das Äquivalent für Regler **1** ist der „FSP071_Controller_1_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **2** ist der „FSP081_Controller_2_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als Signed Integer zwischen $\pm 2^{10}$.

[15..11] n.u.

[10..0] Multiplikator (11 Bit) für den Differenzbildner Regler **3**

Name	FSP063_Controller_3_PI_Settings
Adresse	0x3F_H/63_D/0x3346_{ASCII}
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 _H

Über diesen FSP können die I und P1, P2 Anteile des Regler **3** gesetzt werden.

Das Äquivalent für Regler **1** ist der „FSP072_Controller_1_PI_Settings“.

Das Äquivalent für Regler **2** ist der „FSP082_Controller_2_PI_Settings“.

[103..96] Controller_3_PI_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller_3_I_Part (32 Bit), repräsentiert den I Anteil des PI Regler **3**.

[63..32] Controller_3_P2_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **3**.

[31..0] Controller_3_P1_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **3**.

Name	FSP064_InterlockSelectMUX
Adresse	0x40_H/64_D/0x3440_{ASCII}
Tiefe	3 Byte /24 Bit
I/O	lesen / schreiben
Reset	0x12_2C_2D _H

Diese FSP legt fest welches korrespondierende Bit der anstehenden Interlocks eine Sonderfunktion auslöst.

Der dabei zu selektierende Bit-Bus ist 46 Bit breit (gezählt werden die Bits von 0..45) und ist wie folgt belegt:

[VCC][GND][Reißleine(1..4)][InterlockBits(39..0)]

InterlockBits entspricht dabei der Interlockverteilung aus „FSP004_ModuleInterlocks“.

[23..22] n.u.

[21..16] Bitposition, an der das Hauptschutz-Interlock zu finden ist.
Das Hauptschutz wird über den elektrischen Schaltausgang 1 bedient.
Die Bitposition des Hauptschützes in diesem FSP muss festgelegt werden, damit die Rückmeldung des Hauptschützes über den zugehörigen Interlockeingang im ICM korrekt verarbeitet werden kann. Andernfalls wird das ICM keine Regler-Freigabe erteilen.
Nach dem Reset ist Bit 18_D, 12_H ausgewählt. Dies entspricht dem digital-elektrischen Interlock Nummer 1.

[15..14] n.u.

[13..8] Bitposition, die das PSS auslöst .
Das PSS wird über den elektrischen Schaltausgang 3 signalisiert.
Wird Bit 44_D, 2C_H gewählt ist der Schaltausgang dauerhaft ausgeschaltet, wird Bit 45_D, 2D_H gewählt dauerhaft eingeschaltet.
Nach dem Reset ist Bit 44_D, 2C_H ausgewählt, wodurch der Schaltausgang dauerhaft abgeschaltet ist.

[7..6] n.u.

[5..0] Bitposition, die eine externe Regler-Sperre zulässt.
Die Regler-Sperre/-freigabe wird über den elektrischen Schaltausgang 4 signalisiert. die Freigabe ist dabei von mehreren Faktoren abhängig. Über diese Bits ist es möglich einen Interlockeingang oder eine Reißleine zur Regler-Sperre zu nutzen. Außerdem lässt sich eine dauerhafte Sperrung erzwingen (Bit 44_D, 2C_H) oder die Funktion der externen Regler-Sperre dauerhaft deaktivieren (Bit 45_D, 2D_H).
Nach dem Reset ist Bit 45_D, 2D_H ausgewählt, wodurch die Funktion der externen Regler-Sperre dauerhaft abgeschaltet ist.

Name	FSP065_Controller_3_Limits
Adresse	0x41_H/65_D/0x3431_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 _H

Über diesen FSP können die Bereichsgrenzen des PI Regler **3** festgelegt werden.

Das Äquivalent für Regler **1** ist der „FSP073_Controller_1_Limits“.

Das Äquivalent für Regler **2** ist der „FSP083_Controller_2_Limits“.

[47..24] Controller_3_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **3**

[23..0] Controller_3_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **3**

Name	FSP067_Controller_3_ComparatorLimits
Adresse	0x43_H/67_D/0x3433_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 _H

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **1** ist der „FSP074_Controller_1_ComparatorLimits“.

Das Äquivalent für Regler **2** ist der „FSP084_Controller_2_ComparatorLimits“.

[96..72] Controller_3_I_Part_ComparatorOFFThreshold (20 Bit)

[71..48] Controller_3_I_Part_ComparatorONThreshold (20 Bit)

[47..24] Controller_3_P2_Part_ComparatorOFFThreshold (20 Bit)

[23..0] Controller_3_P2_Part_ComparatorONThreshold (20 Bit)

Name	FSP069_Controller_3_Values
Adresse	0x45_H/69_D/0x3435_{ASCII}
Tiefe	18 Byte / 143 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert Ausgangswerte des Regler **3** zurück

Das Äquivalent für Regler **1** ist der „FSP079_Controller_1_Values“.

Das Äquivalent für Regler **2** ist der „FSP089_Controller_2_Values“.

- [143..120] Controller_3_Pi_Part_Output (20 Bit)
- [119..96] Controller_3_I_Part_Output (20 Bit)
- [95..72] Controller_3_P_Part_Output (20 Bit)
- [71..48] Controller_3_Deviation (20 Bit)
- [47..24] Controller_3_ActValueMuxOut (20 Bit)
- [23..0] Controller_3_SetValueMuxOut (20 Bit)

Name	FSP070_Controller_1_InputSourceSelectionMultiplexer
Adresse	0x46_H/70_D/0x3436_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0_0_0_0 _H

Repräsentiert die Einstellungen der PI Regler **1** Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **2** ist der „FSP080_Controller_2_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **3** ist der „FSP061_Controller_3_InputSourceSelectionMultiplexer“.

[15..12] Regler **1** Istwert Vorauswahl (ADC_Sel_ActVal_C1) für die anschließende Auswahl mittels den Bits[7..4].

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_ScaledSig[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_ScaledSig[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_ScaledSig[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_ScaledSig[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_ScaledSig[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_ScaledSig[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_ScaledSig[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_ScaledSig[15..0],GND_BUS[3..0]
0x9	Comparator_ADC_1_Direct[15..0],GND_BUS[3..0]
0xA	OnBoard_ADC_1_AvrgVal[15..0],GND_BUS[3..0]
0xB	Comparator_ADC_3_Direct[15..0],GND_BUS[3..0]
0xC	OnBoard_ADC_3_AvrgVal[15..0],GND_BUS[3..0]
0xD	n.u.
0xE	n.u.
0xF	n.u.

[11..10] n.u.

[9] wenn '1' => Regler **1** Quellenwahl für Istwert-Quellen-Multiplexer-Ausgangssignal invertiert

[8] wenn ,1' => Regler **1** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal invertiert

[7..4] Regler **1** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Ausgang des ADC_Sel_ActVal_C1 Multiplexers (Bits[15..12]) zur Vorauswahl von erfassten ADC Messwerten über ein SPI ADC Modul oder den „OnBoard“ Komparator ADCs
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_2[31..12]
0x5	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_1[31..18],GND_BUS[5..0]
0x7	HighSpeedPort_Received_USI_Slave_2[17..5],GND_BUS[6..0]
0x8	HighSpeedPort_Received_USI_Slave_2[31..18],GND_BUS[5..0]
0x9	n.u.

0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Regler **1** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x5	HighSpeedPort_Received_USI_Slave_1[31..18], GND_BUS[5..0]
0x6	HighSpeedPort_Received_USI_Slave_2[31..12]
0x7	HighSpeedPort_Received_USI_Slave_2[17..5], GND_BUS[6..0]
0x8	HighSpeedPort_Received_USI_Slave_2[31..18], GND_BUS[5..0]
0x9	HighSpeedPort_Received_USI_Slave_2[31], HighSpeedPort_Received_USI_Slave_2[31..13]
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP071_Controller_1_DifferenceCalculatorMultiplier
Adresse	0x47_H/71_D/0x3731_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 _H

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Regler **1**.

Das Äquivalent für Regler **2** ist der „FSP081_Controller_2_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **3** ist der „FSP062_Controller_3_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als Signed Integer zwischen $\pm 2^{10}$.

[15..11] n.u.

[10..0] Multiplikator (11 Bit) für den Differenzbildner Regler **1**

Name	FSP072_Controller_1_PI_Settings
Adresse	0x48_H/72_D/0x3448_{ASCII}
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 _H

Über diesen FSP können die I und P1, P2 Anteile des Regler **1** gesetzt werden.

Das Äquivalent für Regler **2** ist der „FSP082_Controller_2_PI_Settings“.

Das Äquivalent für Regler **3** ist der „FSP063_Controller_3_PI_Settings“.

[103..96] Controller_1_PI_Control

[103..99] n.u.

[98] Wenn '1' P2 Enable comparator activation

[97] Wenn '1' I Disable comparator activation

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller_1_I_Part (32 Bit), repräsentiert den I Anteil des PI Regler **1**.

[63..32] Controller_1_P2_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **1**.

[31..0] Controller_1_P1_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **1**.

Name	FSP073_Controller_1_Limits
Adresse	0x49_H/73_D/0x3439_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 _H

Über diesen FSP können die Bereichsgrenzen des PI Regler **1** festgelegt werden.

Das Äquivalent für Regler **2** ist der „FSP083_Controller_2_Limits“.

Das Äquivalent für Regler **3** ist der „FSP065_Controller_3_Limits“.

[47..24] Controller_1_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **1**

[23..0] Controller_1_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **1**

Name	FSP074_Controller_1_ComparatorLimits
Adresse	0x4A_H/74_D/0x3441_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 _H

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **2** ist der „FSP084_Controller_2_ComparatorLimits“.

Das Äquivalent für Regler **3** ist der „FSP067_Controller_3_ComparatorLimits“.

[96..72] Controller_1_I_Part_ComparatorOFFThreshold (20 Bit)

[71..48] Controller_1_I_Part_ComparatorONThreshold (20 Bit)

[47..24] Controller_1_P2_Part_ComparatorOFFThreshold (20 Bit)

[23..0] Controller_1_P2_Part_ComparatorONThreshold (20 Bit)

Name	FSP077_Adder_1_SourceSelectMux
Adresse	0x4D_H/77_D/0x3444_{ASCII}
Tiefe	2 Byte / 12 Bit
I/O	lesen / schreiben
Reset	0x00_0_0 _H

Repräsentiert die Einstellungen der Addierer **1** Eingangs-Multiplexer für dessen Summanden **1** und **2**.

Das Äquivalent für Addierer **2** ist der „FSP085_Adder_2_SourceSelectMux“.

[15..10] n.u.

[9] '1' Ausgangswert des Multiplexer [Adder_1_Summand_2] wird invertiert

[8] '1' Ausgangswert des Multiplexer [Adder_1_Summand_1] wird invertiert

[7..4] Quellenwahl für Multiplexes Ausgangssignal [Adder_1_Summand_2] (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller, Regler 1 , PI-Anteil
0x5	Ausgang des PI_Controller, Regler 2 , PI-Anteil
0x6	Ausgang des PI_Controller, Regler 3 , PI-Anteil
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Quellenwahl für Multiplexer Ausgangssignal [Adder_1_Summand_1] (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller, Regler 1 , PI-Anteil
0x5	Ausgang des PI_Controller, Regler 2 , PI-Anteil
0x6	Ausgang des PI_Controller, Regler 3 , PI-Anteil
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.

0xE	n.u.
0xF	n.u.

Name	FSP078_Adder_1_Limits
Adresse	0x4E_H/78_D/0x3445_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 _H

Über diesen FSP werden die Bereichsgrenzen des Addierer **1** festgelegt.

Das Äquivalent für Addierer **2** ist der „FSP087_Adder_2_Limit“.

[47..24] Adder_1_MaxVal (20 Bit), repräsentiert den oberen Grenzwert des Addierer **1**.

[23..0] Adder_1_MinVal (20 Bit), repräsentiert den unteren Grenzwert des Addierer **1**.

Name	FSP079_Controller_1_Values
Adresse	0x4F_H/79_D/0x3446_{ASCII}
Tiefe	27 Byte / 216 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert Ausgangswerte des Regler **1** zurück

Das Äquivalent für Regler **2** ist der „FSP089_Controller_2_Values“.

Das Äquivalent für Regler **3** ist der „FSP069_Controller_3_Values“.

[215..192]	Adder_1_SumOut (20 Bit)
[191..168]	Adder_1_Summand_2_MultiplexerOut (20 Bit)
[167..144]	Adder_1_Summand_1_MultiplexerOut (20 Bit)
[143..120]	Controller_1_Pi_Part_Output (20 Bit)
[119..96]	Controller_1_I_Part_Output (20 Bit)
[95..72]	Controller_1_P_Part_Output (20 Bit)
[71..48]	Controller_1_Deviation (20 Bit)
[47..24]	Controller_1_ActValueMuxOut (20 Bit)
[23..0]	Controller_1_SetValueMuxOut (20 Bit)

Name	FSP080_Controller_2_InputSourceSelectionMultiplexer
Adresse	0x50_H/80_D/0x3530_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x0_0_0_0 _H

Repräsentiert die Einstellungen der PI Regler **2** Eingangsmultiplexer für dessen Soll- und Istwert-Quellen.

Das Äquivalent für Regler **1** ist der „FSP070_Controller_1_InputSourceSelectionMultiplexer“.

Das Äquivalent für Regler **3** ist der „FSP061_Controller_3_InputSourceSelectionMultiplexer“.

[15..12] Regler **2** Istwert Vorauswahl (ADC_Sel_ActVal_C2) für die anschließende Auswahl mittels den Bits[7..4].

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_ScaledSig[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_ScaledSig[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_ScaledSig[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_ScaledSig[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_ScaledSig[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_ScaledSig[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_ScaledSig[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_ScaledSig[15..0],GND_BUS[3..0]
0x9	Comparator_ADC_1_Direct[15..0],GND_BUS[3..0]
0xA	OnBoard_ADC_1_AvrgVal[15..0],GND_BUS[3..0]
0xB	Comparator_ADC_3_Direct[15..0],GND_BUS[3..0]
0xC	OnBoard_ADC_3_AvrgVal[15..0],GND_BUS[3..0]
0xD	n.u.
0xE	n.u.
0xF	n.u.

[11..10] n.u.

[9] wenn '1' Regler **2** Quellenwahl für Istwert-Quellen-Multiplexer-Ausgangssignal invertiert

[8] wenn ,1' Regler **2** Quellenwahl für Sollwert-Quellen-Multiplexer-Ausgangssignal invertiert

[7..4] Regler **2** Quellenwahl für das Istwert-Quellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Ausgang des ADC_Sel_ActVal_C2 Multiplexers (Bits[15..12]) zur Vorauswahl von erfassten ADC Messwerten über ein SPI ADC Modul oder den „On-Board“ Komparator ADCs
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	HighSpeedPort_Received_USI_Slave_2[31..12]
0x5	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_1[31..18],GND_BUS[5..0]
0x7	HighSpeedPort_Received_USI_Slave_2[17..5],GND_BUS[6..0]
0x8	HighSpeedPort_Received_USI_Slave_2[31..18],GND_BUS[5..0]
0x9	n.u.

0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Regler **2** Quellenwahl für Sollwertquellen-Multiplexer-Ausgangssignal (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller 1 , Regler 1 , PI-Anteil
0x5	HighSpeedPort_Received_USI_Slave_1[17..5], GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_1[31..18], GND_BUS[5..0]
0x7	HighSpeedPort_Received_USI_Slave_2[31..12]
0x8	HighSpeedPort_Received_USI_Slave_2[17..5], GND_BUS[6..0]
0x9	HighSpeedPort_Received_USI_Slave_2[31..18], GND_BUS[5..0]
0xA	HighSpeedPort_Received_USI_Slave_2[31], HighSpeedPort_Received_USI_Slave_2[31..13]
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP081_Controller_2_DifferenceCalculatorMultiplier
Adresse	0x51_H/81_D/0x3531_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x0001 _H

Repräsentiert den Multiplikator für den Multiplikand Delta I der Regelabweichung des Reglers **2**.

Das Äquivalent für Regler **1** ist der „FSP071_Controller_1_DifferenceCalculatorMultiplier“.

Das Äquivalent für Regler **3** ist der „FSP062_Controller_3_DifferenceCalculatorMultiplier“.

Die Regelabweichung zwischen Soll- und Istwert sollte i.d.R. sehr klein sein. Das ist hinderlich sofern der Wert auf einem Anzeigeinstrument (z.B. ext. Oszilloskop) dargestellt werden soll. Aus diesem Grund befinden sich in jedem Regler Multiplikator-Stufen, die den Wert der Regelabweichung mit einem Multiplikator so hoch verstärken können, dass eine vernünftige Darstellung möglich ist.

Der Multiplikator versteht sich als signed Integer zwischen $\pm 2^{10}$.

[15..11] n.u.

[10..0] Multiplikator (11 Bit) für den Differenzbildner Regler **2**

Name	FSP082_Controller_2_Pi_Settings
Adresse	0x52_H/82_D/0x3542_{ASCII}
Tiefe	13 Byte / 104 Bit
I/O	lesen / schreiben
Reset	0x00_00000000_00000000_00000000 _H

Über diesen FSP können die I und P1, P2 Anteile des Reglers **2** gesetzt werden.

Das Äquivalent für Regler **1** ist der „FSP072_Controller_1_Pi_Settings“.

Das Äquivalent für Regler **3** ist der „FSP063_Controller_3_Pi_Settings“.

[103..96] Controller_2_Pi_Control

[103..97] n.u.

[96] Wenn ,1' wird der I-Anteil des Reglers um den Faktor 1000 verlangsamt.

[95..64] Controller_2_I_Part (32 Bit), repräsentiert den I Anteil des PI Regler **2**.

[63..32] Controller_2_P2_Part (32 Bit), repräsentiert den 2. P Anteil des PI Regler **2**.

[31..0] Controller_2_P1_Part (32 Bit), repräsentiert den 1. P Anteil des PI Regler **2**.

Name	FSP083_Controller_2_Limits
Adresse	0x53_H/83_D/0x3533_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x000000_000000 _H

Über diesen FSP können die Bereichsgrenzen des PI Regler **2** festgelegt werden.

Das Äquivalent für Regler **1** ist der „FSP073_Controller_1_Limits“.

Das Äquivalent für Regler **3** ist der „FSP065_Controller_3_Limits“.

[47..24] Controller_2_MaxVal (20 Bit), repräsentiert den oberen (maximalen) Grenzwert des PI Regler **2**

[23..0] Controller_2_MinVal (20 Bit), repräsentiert den unteren (minimalen) Grenzwert des PI Regler **2**

Name	FSP084_Controller_2_ComparatorLimits
Adresse	0x54_H/84_D/0x3544_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 _H

Repräsentiert die Bereichsgrenzen in denen der I Anteil, bzw. P2 bei der Regelung berücksichtigt werden soll.

Das Äquivalent für Regler **1** ist der „FSP074_Controller_1_ComparatorLimits“.

Das Äquivalent für Regler **3** ist der „FSP067_Controller_3_ComparatorLimits“.

[96..72] Controller_2_I_Part_ComparatorOFFThreshold (20 Bit)

[71..48] Controller_2_I_Part_ComparatorONThreshold (20 Bit)

[47..24] Controller_2_P2_Part_ComparatorOFFThreshold (20 Bit)

[23..0] Controller_2_P2_Part_ComparatorONThreshold (20 Bit)

Name	FSP085_Adder_2_SourceSelectMux
Adresse	0x55_H/85_D/0x3535_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Repräsentiert die Einstellungen der Addierer **2** Eingangs-Multiplexer für dessen Summanden **1** und **2**.

Das Äquivalent für Addierer **1** ist der „FSP077_Adder_1_SourceSelectMux“.

[7..4] Quellenwahl für Multiplexes Ausgangssignal [Adder_2_Summand_2] (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller, Regler 1 , PI-Anteil
0x5	Ausgang des PI_Controller, Regler 2 , PI-Anteil
0x6	Ausgang des PI_Controller, Regler 3 , PI-Anteil
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Quellenwahl für Multiplexer Ausgangssignal [Adder_2_Summand_1] (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Ausgang des PI_Controller, Regler 1 , PI-Anteil
0x5	Ausgang des PI_Controller, Regler 2 , PI-Anteil
0x6	Ausgang des PI_Controller, Regler 3 , PI-Anteil
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP086_SPI_Ext_Cfg
Adresse	0x56_H/86_D/0x3536_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 _H

It contains the settings to configure the four SPI extension modules

- [23] ADC average SPI**4** flush FIFO
- [22] ADC average SPI**3** flush FIFO
- [21] n.u.
- [20] n.u.
- [19] Enable ADC average 16x SPI**4**
- [18] Enable ADC average 16x SPI**3**
- [17] n.u.
- [16] n.u.
- [15] EnPSSonOut10 for SPI port **4** (active high) when the module connected is a SPI IO Ext one
- [14] MultiLoadEn for SPI port **4** (active high) when the module connected is a SPI IO Ext one
- [13] EnPSSonOut10 for SPI port **3** (active high) when the module connected is a SPI IO Ext one
- [12] MultiLoadEn for SPI port **3** (active high) when the module connected is a SPI IO Ext one
- [11] EnPSSonOut10 for SPI port **2** (active high) when the module connected is a SPI IO Ext one
- [10] MultiLoadEn for SPI port **2** (active high) when the module connected is a SPI IO Ext one
- [9] EnPSSonOut10 for SPI port **1** (active high) when the module connected is a SPI IO Ext one
- [8] MultiLoadEn for SPI port **1** (active high) when the module connected is a SPI IO Ext one
- [7..4] n.u.
- [3] Enable thresholds monitoring on SPI**4** (active high) when the module connected is a SPI ADC Ext one
- [2] Enable thresholds monitoring on SPI**3** (active high) when the module connected is a SPI ADC Ext one
- [1] n.u.
- [0] n.u.

Name	FSP087_Adder_2_Limits
Adresse	0x57_H/87_D/0x3537_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Über diesen FSP werden die Bereichsgrenzen des Addierer **2** festgelegt.

Das Äquivalent für Addierer **1** ist der „FSP078_Adder_1_Limits“.

[47..24] Adder_2_MaxVal (20 Bit), repräsentiert den oberen Grenzwert des Addierer **2**.

[23..0] Adder_2_MinVal (20 Bit), repräsentiert den unteren Grenzwert des Addierer **2**.

Name	FSP088_UdCorrection_90_Values
Adresse	0x58_H/88_D/0x3538_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Das Äquivalent für UdCorrection 0° ist der „FSP099_UdCorrection_0_Values“.

- [95..72] PWM_MUX_SetValue_90[19..0], GND_BUS[3..0]
Ausgangssignal des PWM_SetValue_90 Multiplexers, bestimmt über
„FSP110_PWM_Config“
- [71..48] UdCorrection_90_ControlValue_Out[13..0], GND_BUS[9..0]
Ausgangssignal der UdCorrection_90
- [47..24] UdCorrection_90_ControlValue_In[19..0], GND_BUS[3..0]
Ausgang des UdCorrection_90_ControlValue_In Multiplexer, bestimmt über
“FSP090_Ud_Correction_Inputs_SourceSelectionMUX”
- [23..0] UdCorrection_90_ActualValue[19..0], GND_BUS[3..0]
Ausgang des UdCorrection_90_ActualValue Multiplexer, bestimmt über
“FSP090_Ud_Correction_Inputs_SourceSelectionMUX”

Name	FSP089_Controller_2_Values
Adresse	0x59_H/89_D/0x3539_{ASCII}
Tiefe	27 Byte / 216 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) _H

Liefert Ausgangswerte des Reglers **2** zurück

Das Äquivalent für Regler **1** ist der „FSP079_Controller_1_Values“.

Das Äquivalent für Regler **3** ist der „FSP069_Controller_3_Values“.

[215..192]	Adder_2_SumOut (20 Bit)
[191..168]	Adder_2_Summand_2_MultiplexerOut (20 Bit)
[167..144]	Adder_2_Summand_1_MultiplexerOut (20 Bit)
[143..120]	Controller_2_Pi_Part_Output (20 Bit)
[119..96]	Controller_2_I_Part_Output (20 Bit)
[95..72]	Controller_2_P_Part_Output (20 Bit)
[71..48]	Controller_2_Deviation (20 Bit)
[47..24]	Controller_2_ActValueMuxOut (20 Bit)
[23..0]	Controller_2_SetValueMuxOut (20 Bit)

Name	FSP090_Ud_Correction_Inputs_SourceSelectionMUX
Adresse	0x5A_H/90_D/0x3541_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	lesen / schreiben
Reset	0x00_0_0 _H

Repräsentiert die Einstellungen der Ud Korrekturen (0°, 90°) Eingangsmultiplexer für deren Istwert- und Kontrollwert-Quellen.

[15..4] Ud Korrektur **90°** Quellenwahl für „UdCorrection_90_ControlValue_In“ (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Adder_1_Sum[19..0]
0x5	Adder_2_Sum[19..0]
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[11..8] Ud Korrektur **90°** Quellenwahl für „UdCorrection_90_ActualValue“ (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[7..4] Ud Korrektur **0°** Quellenwahl für „UdCorrection_0_ControlValue_In“ (4 Bit)

[3..0]	Ausgang des Multiplexers
--------	--------------------------

0x0	0
0x1	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	Adder_1_Sum[19..0]
0x5	Adder_2_Sum[19..0]
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] Ud Korrektur **0°** Quellenwahl für „UdCorrection_0_ActualValue“ (4 Bit)

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP091_Ud_Correction_90_ControlBitsAndSetValue
Adresse	0x5B_H/91_D/0x3542_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_000000 _H

Repräsentiert mittels Kontrollbits die Möglichkeit die Ud Korrektur **90°** ein- oder auszuschalten. Außerdem wird der Sollwert der Ud Korrektur **90°** festgelegt.

Das Äquivalent für UdCorrection **0°** ist der „FSP092_Ud_Correction_0_ControlBitsAndSetValue“.

- [31..24] UdCorrection_90_ControlBits (8 Bit)
 - [31..23] n.u.
 - [24] wenn '1' => Ud Korrektur **90°** aktiv
- [23..0] UdCorrection_90_SetValue (20 Bit)

Name	FSP092_Ud_Correction_0_ControlBitsAndSetValue
Adresse	0x5C_H/92_D/0x3543_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen / schreiben
Reset	0x00_000000 _H

Repräsentiert mittels Kontrollbits die Möglichkeit die Ud Korrektur **0°** ein- oder auszuschalten. Außerdem wird der Sollwert der Ud Korrektur **0°** festgelegt.

Das Äquivalent für UdCorrection **90°** ist der „FSP091_Ud_Correction_90_ControlBitsAndSetValue“.

- [31..24] UdCorrection_0_ControlBits (8 Bit)
 - [31..23] n.u.
 - [24] wenn '1' => Ud Korrektur **0°** aktiv
- [23..0] UdCorrection_0_SetValue (20 Bit)

Name	FSP093_Ud_Correction_Limits
Adresse	0x5D_H/93_D/0x3544_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x000000_000000_000000_000000 _H

Repräsentiert die zulässigen Bereichsgrenzen der Ud Korrekturen **0°** und **90°**

[95..72] UdCorrection_**90**_MaxOutput (14 Bit)

[71..48] UdCorrection_**90**_MinOutput (14 Bit)

[47..24] UdCorrection_**0**_MaxOutput (14 Bit)

[23..0] UdCorrection_**0**_MinOutput (14 Bit)

Name	FSP094_InputFilterDelay
Adresse	0x5E_H/94_D/0x3545_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0x0_3F_00000_03FF_0000 _H

It contains the Digital electric interlock and water interlock filter settings in terms of mask bits and filter delay time. In the ICM the electric interlocks are 10, so only 10 of 16 mask bits are used for this project.

Dasselbe gilt für die Wasserinterlockbits. Hier sind lediglich 6 Bit benutzt- und maskierbar

[63..58] n.u.

[57..52] Water interlock mask bit active high:
when the interlock is masked and the delay value(see below) is different from zero, the delay between input and output is maximum 10µs
(see ACU_InputFilter.docx for more details)

[51..50] n.u.

[49..32] Water interlock delay value:
it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action).

[31..26] n.u.

[25..16] Digital electric interlock mask bit active high:
when the interlock is masked and the delay value (see below) is different from zero, the delay between input and output is maximum 10µs
(see ACU_InputFilter.docx for more details)

[15..0] Digital electric interlock delay value:
it defines how long an input interlock has to be ignored (not reported to the output) after its activation. The minimum delay value is 1=>10µs. When it is set to zero, the output will follow the input immediately (no filtering action).

Name	FSP095_ExtSPI_EEPROM_Cfg
Adresse	0x5F_H/95_D/0x3546_{ASCII}
Tiefe	5 Byte / 40 Bit
I/O	lesen / schreiben
Reset	0x00_00_0_F_CAFE _H

It contains the EEPROM configuration enable bit, ExtSPI EEPROM address read and write commands, the 16b data to write into the EEPROM during the ExtSPI card test session.

[39..36]	n.u.
[35]	SPI 4 EEPROM configuration enable bit
[34]	SPI 3 EEPROM configuration enable bit
[33]	SPI 2 EEPROM configuration enable bit
[32]	SPI 1 EEPROM configuration enable bit
[31..24]	EEPROM write address.
[23]	Write EEPROM command on SPI port 4
[22]	Write EEPROM command on SPI port 3
[21]	Write EEPROM command on SPI port 2
[20]	Write EEPROM command on SPI port 1
[19]	Read EEPROM command on SPI port 4
[18]	Read EEPROM command on SPI port 3
[17]	Read EEPROM command on SPI port 2
[16]	Read EEPROM command on SPI port 1
[15..0]	EEPROM Data to write

Name	FSP096_ExtSPI_ID
Adresse	0x60_H/96_D/0x3630_{ASCII}
Tiefe	24 Byte / 192 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the read module ID and module version of all 4 SPI ports

- [191..184] Module ID on SPI port **4** (8b)
- [183..176] Module version on SPI port **4** (8b)
- [175..144] Serial number on SPI port **4** (32b)
- [143..136] Module ID on SPI port **3** (8b)
- [135..128] Module version on SPI port **3** (8b)
- [127..96] Serial number on SPI port **3** (32b)
- [95..88] Module ID on SPI port **2** (8b)
- [87..80] Module version on SPI port **2** (8b)
- [79..48] Serial number on SPI port **2** (32b)
- [47..40] Module ID on SPI port **1** (8b)
- [39..32] Module version on SPI port **1** (8b)
- [31..0] Serial number on SPI port **1** (32b)

Name	FSP097_ExtSPI_IO_Outputs
Adresse	0x61_H/97_D/0x3631_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0xFFFF_FFFF_FFFF_FFFF _H

It contains the MAX7301 chip (IO extension chip) outputs driving status of all 4 SPI ports

Depending of the SPI extension card connected, these bits can represent different quantities (chip select, switch driver, etc..)

SPI IO Ext Module:

[63..58]	n.u.
[57..48]	Extended outputs on SPI port 4 (10b)
[47..42]	n.u.
[41..32]	Extended outputs on SPI port 3 (10b)
[31..28]	n.u.
[25..16]	Extended outputs on SPI port 2 (10b)
[15..10]	n.u.
[9..0]	Extended outputs on SPI port 1 (10b)

SPI ADC Ext Module:

[63..0]	n.u.
---------	------

SPI Opt Ext Module:

[63..58]	n.u.
[57..48]	Extended outputs on SPI port 4 (10b)
[47..42]	n.u.
[41..32]	Extended outputs on SPI port 3 (10b)
[31..28]	n.u.
[25..16]	Extended outputs on SPI port 2 (10b)
[15..10]	n.u.
[9..0]	Extended outputs on SPI port 1 (10b)

SPI PhaseGridMonitoring Ext Module:

[63..0]	n.u.
---------	------

Name	FSP098_ExtSPI_IO_Inputs
Adresse	0x62_H/98_D/0x3632_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the MAX7301 chip (IO extension chip) extended inputs status of all 4 SPI ports.

Depending of the SPI extension card connected, these bits can represent different quantities (status, interlock, etc.)

SPI IO Ext Module:

[63..58]	n.u.
[57..48]	Extended inputs on SPI port 4 (10b)
[47..42]	n.u.
[41..32]	Extended inputs on SPI port 3 (10b)
[31..26]	n.u.
[25..18]	Extended inputs on SPI port 2 (8b)
[17..16]	Extended Water flow PWM pulses on SPI port 2 (2b)
[15..10]	n.u.
[9..2]	Extended inputs on SPI port 1 (8b)
[1..0]	Extended Water flow PWM pulses on SPI port 1 (2b)

SPI ADC Ext Module:

[63..56]	Latched interlocks on SPI port 4 (8b)
[55..48]	Pending interlocks on SPI port 4 (8b)
[47..40]	Latched interlocks on SPI port 3 (8b)
[39..32]	Pending interlocks on SPI port 3 (8b)
[31..24]	Latched interlocks on SPI port 2 (8b)
[23..16]	Pending interlocks on SPI port 2 (8b)
[15..8]	Latched interlocks on SPI port 1 (8b)
[7..0]	Pending interlocks on SPI port 1 (8b)

SPI Opt Ext Module:

[63..58]	n.u.
[57..48]	Extended inputs on SPI port 4 (10b)
[47..42]	n.u.
[41..32]	Extended inputs on SPI port 3 (10b)
[31..26]	n.u.
[25..16]	Extended inputs on SPI port 2 (10b)
[15..10]	n.u.
[9..0]	Extended inputs on SPI port 1 (10b)

SPI PhaseGridMonitoring Ext Module:

[63..0]	
---------	--

Name	FSP099_UdCorrection_0_Values
Adresse	0x63_H/99_D/0x3939_{ASCII}
Tiefe	15 Byte / 120 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Das Äquivalent für UdCorrection 90° ist der „FSP088_UdCorrection_90_Values“.

- [95..72] PWMMux_SetValue_0[19..0], GND_BUS[3..0]
Ausgangssignal des PWM_SetValue_0 Multiplexers, bestimmt über „FSP110_PWM_Config“
- [71..48] UdCorrection_0_ControlValue_Out[13..0], GND_BUS[9..0]
Ausgangssignal der UdCorrection_0
- [47..24] UdCorrection_0_ControlValue_In[19..0], GND_BUS[3..0]
Ausgang des UdCorrection_0_ControlValueIn Multiplexer, bestimmt über
“FSP090_Ud_Correction_Inputs_SourceSelectionMUX”
- [23..0] UdCorrection_0_ActualValue[19..0], GND_BUS[3..0]
Ausgang des UdCorrection_0_ActualValue Multiplexer, bestimmt über
“FSP090_Ud_Correction_Inputs_SourceSelectionMUX”

Name	FSP100_InvertedWaterFlow_TimePeriodeBetweenTwoPulses_in_us
Adresse	0x64_H/100_D/0x3634_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Gibt die die Zeiten in μ -Sekunden zwischen zwei detektierten Wasserflusswächterpulsen als invertierte, vorzeichenbehaftete Integer-Wert an.

Beispiel: 100us => 0x64_H wird invertiert als 0x7FFF_H – 0,64_H = 0x7F9B_H erfasst und ausgegeben.

30,52Hz ist die kleinste erfassbare Pulsbreite 32,767ms => 32.767 μ s => 32.767_d = 0x7FFF_H => 0x0000_H

31Hz => Pulsbreite 32,258ms => 32.258 μ s => 32.258_d = 0x7E02_H => 0x01FD_H

100Hz => Pulsbreite 10ms => 10.000 μ s => 10.000_d = 0x2710_H => 0x58EF_H

500Hz => Pulsbreite 2ms => 2.000 μ s => 2.000_d = 0x07D0_H => 0x782F_H

Begrenzt durch die hardwareseitigen Optokoppler ist

2kHz ist die größte erfassbare Pulsbreite 0,005ms => 5 μ s => 5_d = 0x0005_H => 0x7FFA_H

[95..80] WaterFlow_SPI_2_1_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

[79..64] WaterFlow_SPI_2_0_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

[63..48] WaterFlow_SPI_1_1_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

[47..32] WaterFlow_SPI_1_0_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

[31..16] WaterFlow_2_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

[15..0] WaterFlow_1_TimePeriode, Dauer zwischen zwei Pulsen in μ -Sekunden

Name	FSP101_WaterFlow_Thresholds
Adresse	0x65_H/101_D/0x3635_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen / schreiben
Reset	0x0000_0000_0000_0000_0000_0000 _H

Gibt die Zeiten in μ -Sekunden als Integer-Wert an, die minimal zwischen zwei detektierten Wasserflusswächterpulsen liegen dürfen.

Bedingt Datenbreite von 16 Bit ist die minimale Zeitspanne in μ s zwischen zwei Pulsen begrenzt auf 32.767 μ s \Rightarrow 32.767_d = 0x7FFF_h.

Je größer die Zeitspanne zwischen zwei Pulsen, desto geringer der Durchfluss.

Bsp.: 100 Pulse bei 1 Liter Durchfluss

und

15 Liter/Minute Durchfluss **minimal**, dürfen nicht unterschritten werden.

$\rightarrow 100 \text{ Pulse/Liter} * 15 \text{ Liter/Minute} = 1500 \text{ Pulse/Minute}$

$\rightarrow 25 \text{ Pulse/Sekunde}$

$\rightarrow \text{mit } 1/25 = 0,04 \text{ Sekunden} = 40 \text{ mSekunden} = 40.000 \mu\text{s Zeitspanne zwischen 2 Pulsen}$

$\rightarrow 40.000_{\text{d}} = 0x9C40_{\text{h}}$

Die **max. zulässige Zeitspanne** zwischen 2 Pulsen liegt also bei 40.000 μ s (bei 15 Litern Durchfluss). Steigt die Zeitspanne über 40.000 μ s, ist der Durchfluss zu gering.

Bsp.: 400 Pulse bei 1 Liter Durchfluss

und

5 Liter/Minute Durchfluss **minimal**, dürfen nicht unterschritten werden.

$\rightarrow 400 \text{ Pulse/Liter} * 5 \text{ Liter/Minute} = 2000 \text{ Pulse/Minute}$

$\rightarrow 33,3 \text{ Pulse/Sekunde}$

$\rightarrow \text{mit } 1/33,3 = 0,03 \text{ Sekunden} = 30 \text{ mSekunden} = 30.000 \mu\text{s Zeitspanne zwischen 2 Pulsen}$

$\rightarrow 30.000_{\text{d}} = 0x7530_{\text{h}}$

Die **max. zulässige Zeitspanne** zwischen 2 Pulsen liegt also bei 30.000 μ s (bei 5 Litern Durchfluss). Steigt die Zeitspanne über 30.000 μ s, ist der Durchfluss zu gering.

[95..80] WaterFlow_SPI_2_1_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne

[79..64] WaterFlow_SPI_2_0_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne

[63..48] WaterFlow_SPI_1_1_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne

[47..32] WaterFlow_SPI_1_0_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne

[31..16] WaterFlow_2_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne

[15..0] WaterFlow_1_MaxTimeBetweenTwoPulses_in_us (16 Bit)
minimale Durchflussrate -> maximale Zeitspanne
0_d = 0x7FFF_h 24.000_d = 0x5DC0_h 40.000_d = 0x9C40_h

Name	FSP102_ExtSPI_3_ADCandUser_OFFSET_CHx
Adresse	0x66_H/102_D/0x3636_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält den kombinierten ADC- (Offset aus FSP115_ExtSPI_3_ADC_OffsetGain) und User-Offset-Wert (ADCOffset + UserOffset) für den SPI-Port **3** (sofern ein SPI_ADC-Modul am Port **3** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **3** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **4** ist der „FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx“.

Die Gain Daten des SPI Port **3** sind im „FSP105_ExtSPI_4_ADCandUser_GAIN_Chx“.

[63..48] ExtSPI_3_ADCandUser_Offset_CH**4**(16)

[47..32] ExtSPI_3_ADCandUser_Offset_CH**3**(16)

[31..16] ExtSPI_3_ADCandUser_Offset_CH**2**(16)

[15..0] ExtSPI_3_ADCandUser_Offset_CH**1**(16)

Name	FSP103_ExtSPI_3_ADCandUser_GAIN_CHx
Adresse	0x67_H/103_D/0x3637_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält den kombinierten ADC- (Gain aus FSP115_ExtSPI_3_ADC_OffsetGain) und User-Gain-Wert (ADCGain * UserGain) für den SPI-Port **3** (sofern ein SPI_ADC-Modul am Port **3** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **3** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **4** ist der „FSP105_ExtSPI_4_ADCandUser_GAIN_Chx“.

Die Offset Daten des SPI Port **3** sind im „FSP105_ExtSPI_4_ADCandUser_GAIN_Chx“.

[63..48] ExtSPI_3_ADCandUser_Gain_CH4(16)

[47..32] ExtSPI_3_ADCandUser_Gain_CH3(16)

[31..16] ExtSPI_3_ADCandUser_Gain_CH2(16)

[15..0] ExtSPI_3_ADCandUser_Gain_CH1(16)

Name	FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx
Adresse	0x68_H/104_D/0x3638_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält den kombinierten ADC- (Offset aus FSP119_ExtSPI_4_ADC_OffsetGain) und User-Offset-Wert (ADCOffset + UserOffset) für den SPI-Port **4** (sofern ein SPI_ADC-Modul am Port **4** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **4** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **3** ist der „FSP102_ExtSPI_3_ADCandUser_OFFSET_CHx“.

Die Gain Daten des SPI Port **4** sind im „FSP105_ExtSPI_4_ADCandUser_GAIN_Chx“.

[63..48] ExtSPI_4_ADCandUser_Offset_CH**4**(16)

[47..32] ExtSPI_4_ADCandUser_Offset_CH**3**(16)

[31..16] ExtSPI_4_ADCandUser_Offset_CH**2**(16)

[15..0] ExtSPI_4_ADCandUser_Offset_CH**1**(16)

Name	FSP105_ExtSPI_4_ADCandUser_GAIN_Chx
Adresse	0x69_H/105_D/0x3639_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält den kombinierten ADC- (Gain aus FSP119_ExtSPI_4_ADC_OffsetGain) und User-Gain-Wert (ADCGain * UserGain) für den SPI-Port **4** (sofern ein SPI_ADC-Modul am Port **4** des SPI Hub angeschlossen ist).

Ist kein SPI ADC Modul an SPI Port **4** angeschlossen ist der Inhalt dieses FSP „0xFFFFFFFF FFFFFFFF“.

Das Äquivalent für SPI Port **3** ist der „FSP103_ExtSPI_3_ADCandUser_GAIN_Chx“.

Die Offset Daten des SPI Port **4** sind im „FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx“.

[63..48] ExtSPI_4_ADCandUser_Gain_CH4(16)

[47..32] ExtSPI_4_ADCandUser_Gain_CH3(16)

[31..16] ExtSPI_4_ADCandUser_Gain_CH2(16)

[15..0] ExtSPI_4_ADCandUser_Gain_CH1(16)

Name	FSP106_ExtSPI_Status
Adresse	0x6A_H/106_D/0x3641_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the status info of all 4 SPI ports

[23..17]	n.u.
[16]	SPI_HUB connected (active low)
[15]	Incoming tripline from SPI port 4 : 1=>OK; 0=> Failure
[14]	Incoming tripline from SPI port 3 : 1=>OK; 0=> Failure
[13]	Incoming tripline from SPI port 2 : 1=>OK; 0=> Failure
[12]	Incoming tripline from SPI port 1 : 1=>OK; 0=> Failure
[11]	Slave connected status of SPI port 4 : 1=>No module connected
[10]	Slave connected status of SPI port 3 : 1=>No module connected
[9]	Slave connected status of SPI port 2 : 1=>No module connected
[8]	Slave connected status of SPI port 1 : 1=>No module connected
[7]	SPI port 4 busy: 1=> busy, no EEPROM read/write action is allowed
[6]	SPI port 3 busy: 1=> busy, no EEPROM read/write action is allowed
[5]	SPI port 2 busy: 1=> busy, no EEPROM read/write action is allowed
[4]	SPI port 1 busy: 1=> busy, no EEPROM read/write action is allowed
[3]	SPI port 4 EEPROM WriteInProgres: 1=> Write in progress
[2]	SPI port 3 EEPROM WriteInProgres: 1=> Write in progress
[1]	SPI port 2 EEPROM WriteInProgres: 1=> Write in progress
[0]	SPI port 1 EEPROM WriteInProgres: 1=> Write in progress

Name	FSP107_LastOpticOutputDrivingCircuit
Adresse	0x6B_H/107_D/0x3642_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Definiert den letzten optischen Ausgang

- [7..2] n.u.
- [1] wenn ,0' =>
D14 auf dem Optic Extension Board (FG660_132) = USI_SLAVE_INT_TRIPLINE_OK
wenn '1' =>
D14 auf dem Optic Extension Board (FG660_132) = Command_RESET
- [0] wenn ,0' =>
D63 auf dem ICM (FG660_059) = USI_SLAVE_INT_TRIPLINE_OK
wenn '1' =>
D63 auf dem ICM (FG660_059) = Command_RESET

Name	FSP108_PWM_CLEBT_Config
Adresse	0x6C_H/108_D/0x3643_{ASCII}
Tiefe	7 Byte / 56 Bit
I/O	schreiben/lesen
Reset	0x00_0_00000_00000_3 _H

Dieses FSP konfiguriert die CLEBT PWM Mode

[55..49] n.u.

[48] Wenn ,1': HysteresisComparator CLEBT Enabled

[47..44] HysteresisComparator CLEBT Eingang Selektor

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	HighSpeedPort_Received_USI_Slave_1[31..12]
0x2	HighSpeedPort_Received_USI_Slave_1[17..5],GND_BUS[6..0]
0x3	HighSpeedPort_Received_USI_Slave_1[31..18],GND_BUS[5..0]
0x4	Sollwert A , bestimmt durch „FSP030_SetValue_A“
0x5	Sollwert B , bestimmt durch „FSP031_SetValue_B“
0x6	n.u.
0x7	n.u.
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[43.. 24] HysteresisComparator CLEBT **ON** Threshold (20 Bit)

[23.. 4] HysteresisComparator CLEBT **OFF** Threshold (20 Bit)

[3 ..0] V9_V12 Dead time

[3..0]	
0x0	0,25 µs
0x1	0,5 µs
0x2	0,75 µs
0x3	1 µs
0x4	1,25 µs
0x5	1,5 µs
0x6	1,75 µs
0x7	2 µs
0x8	2,25 µs
0x9	2,5 µs
0xA	2,75 µs
0xB	3 µs
0xC	3,25 µs
0xD	3,5 µs

0xE	3,75 μ s
0xF	4 μ s

Name	FSP109_PWM_PLLPhaseShift_ReConfig
Adresse	0x6D_H/109_D/0x3644_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	schreiben/lesen
Reset	0000000000000000

Enthält Daten für die re-konfigurable PWM.

[63..60] n.u.

[58][39..32][57][31..24]

PWM_PhSh_PLLReconf.MDataReconf (18 Bit)

[55..48][59][47..40]

PWM_PhSh_PLLReconf.NDataReconf (18 Bit)

[23..16][56][15..8]

PWM_PhSh_PLLReconf.CxDataReconf (17 Bit)

[7..5] n.u.

[4] wenn '1' => PWM_PhSh_PLLReconf.EnReconf

[3..1] n.u.

[0] wenn '1' => PWM_PhSh_PLLReconf.PhaseShiftEn

Name	FSP110_PWM_Config
Adresse	0x6E_H/110_D/0x3645_{ASCII}
Tiefe	5 Byte / 40 Bit
I/O	schreiben/lesen
Reset	0x0_0_00_0_0_0_3_3_3 _H

Dieses FSP konfiguriert die re-konfigurierbare PWM im Hinblick auf deren Sollwerte und Verhalten

[39..36] n.u.

[35..32] PWM **90°** Sollwert Multiplexer Quellenwahl

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A, bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B, bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	UdCorrection_0_ControlValue_Out[13..0],GND_BUS[5..0]
0x5	UdCorrection_90_ControlValue_Out[13..0],GND_BUS[5..0]
0x6	Controller_1_PI_Part_Output[19..0]
0x7	Controller_2_PI_Part_Output[19..0]
0x8	Controller_3_PI_Part_Output[19..0]
0x9	Adder_1_SumOut[19..0]
0xA	Adder_2_SumOut[19..0]
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[31..29] n.u.

[28] Wenn ,1': Ausgang des PWM **0°** Sollwert Multiplexer Quellenwahl

[27..24] PWM **0°** Sollwert Multiplexer Quellenwahl

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Sollwert A, bestimmt durch „FSP030_SetValue_A“
0x2	Sollwert B, bestimmt durch „FSP031_SetValue_B“
0x3	HighSpeedPort_Received_USI_Slave_1[31..12]
0x4	UdCorrection_0_ControlValue_Out[13..0],GND_BUS[5..0]
0x5	UdCorrection_90_ControlValue_Out[13..0],GND_BUS[5..0]
0x6	Controller_1_PI_Part_Output[19..0]
0x7	Controller_2_PI_Part_Output[19..0]
0x8	Controller_3_PI_Part_Output[19..0]
0x9	Adder_1_SumOut[19..0]
0xA	Adder_2_SumOut[19..0]
0xB	n.u.
0xC	n.u.
0xD	n.u.

	0xE	n.u.
	0xF	n.u.
[23]	PulseInhibitor	
[22]	n.u.	
[21..20]	CarrierPeriod / Clock_Mode (2 Bit)	
[19..16]	PWM Mode (4 Bit)	
[15..12]	V5OnInhbCntValue / HV_BlockTime (4 Bit)	
[11..8]	Totzeit für V6 (4 Bit)	

[3..0]	
0x0	0,25 μ s
0x1	0,5 μ s
0x2	0,75 μ s
0x3	1 μ s
0x4	1,25 μ s
0x5	1,5 μ s
0x6	1,75 μ s
0x7	2 μ s
0x8	2,25 μ s
0x9	2,5 μ s
0xA	2,75 μ s
0xB	3 μ s
0xC	3,25 μ s
0xD	3,5 μ s
0xE	3,75 μ s
0xF	4 μ s

[7..4] DeadTimeDoubleC_Bank / Totzeit für V5 (4 Bit)

[3..0]	
0x0	0,25 μ s
0x1	0,5 μ s
0x2	0,75 μ s
0x3	1 μ s
0x4	1,25 μ s
0x5	1,5 μ s
0x6	1,75 μ s
0x7	2 μ s
0x8	2,25 μ s
0x9	2,5 μ s
0xA	2,75 μ s
0xB	3 μ s
0xC	3,25 μ s
0xD	3,5 μ s
0xE	3,75 μ s
0xF	4 μ s

[3..0] DeadTime_Vi / Totzeit für V1..V4 (4 Bit)

[3..0]	
0x0	0,25 μ s
0x1	0,5 μ s
0x2	0,75 μ s
0x3	1 μ s
0x4	1,25 μ s
0x5	1,5 μ s
0x6	1,75 μ s
0x7	2 μ s
0x8	2,25 μ s
0x9	2,5 μ s
0xA	2,75 μ s
0xB	3 μ s
0xC	3,25 μ s
0xD	3,5 μ s
0xE	3,75 μ s
0xF	4 μ s

Name	FSP111_PWM_Limits
Adresse	0x6F_H/111_D/0x3646_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	schreiben/lesen
Reset	0x0000_0000 _H

Beinhaltet die Bereichsgrenzen der PWM

[31..16] PWM_MaxValue (14 Bit)

[15..0] PWM_MinValue (14 Bit)

Name	FSP112_PWM_InhibitValue
Adresse	0x70_H/112_D/0x3730_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	schreiben/lesen
Reset	0x000000 _H

Beinhaltet das PWM_InhibitValue (Impulsperre der PWM)

[23..0] PWM_InhibitValue (14 Bit)

Name	FSP113_HighSpeed_ReturnChannels_SourceSelectionMux
Adresse	0x71_H/113_D/0x3731_{ASCII}
Tiefe	2 Byte / 16 Bit
I/O	schreiben/lesen
Reset	0x0_0 _H

Ermöglicht das Setzen der HighSpeed Rückkanal-Multiplexer für USI1 und USI2.

Jeder HighSpeed Rückkanal verfügt über insgesamt maximal 32 Bits, die wie folgt belegt sind.

HighSpeed_USI_Slave_x_ReturnChannel	[31..12]	definierbar
	[11..4]	immer ,0' (fix)
SwitchingOperationsStatus	[3..0]	fix

Für den HighSpeed_USI_Slave_1_ReturnChannel besteht die Möglichkeit sämtlich 32 Bit durch die Daten des DataStorage Moduls zu ersetzen. Dazu wird Bit[4] des „FSP018_DataStorageCfg“ gesetzt.

[7..4] HighSpeed_USI_Slave_2_ReturnChannel

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	ExtSPI_3_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x2	ExtSPI_3_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x3	ExtSPI_3_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x4	ExtSPI_3_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x5	ExtSPI_4_ADC_SigScaledAndAvrgr[63..48],GND_BUS[3..0]
0x6	ExtSPI_4_ADC_SigScaledAndAvrgr[47..32],GND_BUS[3..0]
0x7	ExtSPI_4_ADC_SigScaledAndAvrgr[31..16],GND_BUS[3..0]
0x8	ExtSPI_4_ADC_SigScaledAndAvrgr[15..0],GND_BUS[3..0]
0x9	HighSpeedPort_Received_USI_Slave_2[31..12]
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[3..0] HighSpeed_USI_Slave_1_ReturnChannel

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Comparator_ADC_1_Direct[15..0],GND_BUS[3..0]
0x2	OnBoard_ADC_1_AvrgrVal[15..0],GND_BUS[3..0]
0x3	Comparator_ADC_2_Direct[15..0],GND_BUS[3..0]
0x4	OnBoard_ADC_2_AvrgrVal [15..0],GND_BUS[3..0]
0x5	Comparator_ADC_3_Direct[15..0],GND_BUS[3..0]
0x6	OnBoard_ADC_3_AvrgrVal [15..0],GND_BUS[3..0]
0x7	Comparator_ADC_4_Direct[15..0],GND_BUS[3..0]
0x8	OnBoard_ADC_4_AvrgrVal [15..0],GND_BUS[3..0]
0x9	Comparator_ADC_5_Direct[15..0],GND_BUS[3..0]
0xA	Comparator_ADC_5_Filtered[15..0],GND_BUS[3..0]
0xB	HighSpeedPort_Received_USI_Slave_1[31..12]

0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

Name	FSP114_ZCM_Cfg
Adresse	0x72_H/114_D/0x3732_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0x0_0000_0_00000_00000 _H

Zero Crossing Modulation

[63..60] FSP114_EnZCM_Comp[3..0]
 [63..61] n.u.
 [60] '1' aktiviert den ZCM Komparator

[59..44] FSP114_ZCMValue[15..0]

[43..40] FSP114_SelZCM_Comp[3..0]
 Definiert den Ausgang des ZCM_CompValue Multiplexer und damit das Signal
 ZCM_Activation_SetValue[19..0]

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	HighSpeedPort_Received_USI_Slave_1[31..12]
0x2	HighSpeedPort_Received_USI_Slave_1[17..5],GND_BUS[6..0]
0x3	HighSpeedPort_Received_USI_Slave_1[17..5],GND_BUS[6..0]
0x4	HighSpeedPort_Received_USI_Slave_2[31..12]
0x5	HighSpeedPort_Received_USI_Slave_2[17..5],GND_BUS[6..0]
0x6	HighSpeedPort_Received_USI_Slave_2[31..18],GND_BUS[5..0]
0x7	FSP30_SetValue_A[23..4]
0x8	n.u.
0x9	n.u.
0xA	n.u.
0xB	n.u.
0xC	n.u.
0xD	n.u.
0xE	n.u.
0xF	n.u.

[39..20] FSP114_ZCOffThr[19..0] Komparator OFF Wert

[19..0] FSP114_ZCOnThr[19..0] Komparator ON Wert

Name	FSP115_ExtSPI_3_ADC_OffsetGain
Adresse	0x73_H/115_D/0x3733_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the SPI port **3** ADC Offset and Gain read back from the EEPROM

Das Äquivalent für SPI Port **4** ist der „FSP119_ExtSPI_4_ADC_OffsetGain“.

[31..16] ADC SPI port **3** offset 0x000 = 0V (16b)

[15..0] ADC SPI port **3** gain 0x4000=1 (16b)

Name	FSP116_ExtSPI_3_ADC_Thrs
Adresse	0x74_H/116_D/0x3734_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the SPI **3** ADC monitored thresholds

Das Äquivalent für SPI Port **4** ist der „FSP120_ExtSPI_4_ADC_Thrs“.

- [95..84] ADC channel **4** negative threshold (12b)
- [83..72] ADC channel **4** positive threshold (12b)
- [71..60] ADC channel **3** negative threshold (12b)
- [59..48] ADC channel **3** positive threshold (12b)
- [47..36] ADC channel **2** negative threshold (12b)
- [35..24] ADC channel **2** positive threshold (12b)
- [23..12] ADC channel **1** negative threshold (12b)
- [11..0] ADC channel **1** positive threshold (12b)

Name	FSP117_ExtSPI_3_ADC_Sig
Adresse	0x75_H/117_D/0x3735_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält die SPI **3** ADC Signale. Es handelt sich dabei um die tatsächlichen Messwerte der ADCs also weder Offset noch Gain korrigiert.

Die korrigierten SPI **3** ADC Signale finden sich im FSP „FSP118_ExtSPI_3_ADC_SigScaledAndAveraged“.

Das Äquivalent für SPI Port **4** ist der „FSP121_ExtSPI_4_ADC_Sig“.

[63..48] Messwert ADC Kanal **4** (16b)

[47..32] Messwert ADC Kanal **3** (16b)

[31..16] Messwert ADC Kanal **2** (16b)

[15..0] Messwert ADC Kanal **1** (16b)

Name	FSP118_ExtSPI_3_ADC_SigScaledAndAveraged
Adresse	0x76_H/118_D/0x3736_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält die SPI **3** ADC Signale. Diese sind Offset/Gain korrigiert und enthalten ggf. noch eine zusätzliche Benutzer (User) Offset/Gain Korrektur(FSP102_ExtSPI_3_ADCandUser_OFFSET_CHx, FSP103_ExtSPI_3_ADCandUser_GAIN_CHx). Außerdem ist der Wert ggf. 16-fach gemittelt, sofern das Bit[**19**] des „FSP086_SPI_Ext_Cfg“ gesetzt ist.

Das Äquivalent für SPI Port **4** ist der „FSP122_ExtSPI_4_ADC_SigScaledAndAveraged“.

[63..48] Messwert ADC Kanal **4** (16b), Offset/Gain korrigiert, ggf. gemittelt

[47..32] Messwert ADC Kanal **3** (16b), Offset/Gain korrigiert, ggf. gemittelt

[31..16] Messwert ADC Kanal **2** (16b), Offset/Gain korrigiert, ggf. gemittelt

[15..0] Messwert ADC Kanal **1** (16b), Offset/Gain korrigiert, ggf. gemittelt

Name	FSP119_ExtSPI_4_ADC_OffsetGain
Adresse	0x77_H/119_D/0x3737_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the SPI port **4** ADC Offset and Gain read back from the EEPROM

Das Äquivalent für SPI Port **3** ist der „FSP115_ExtSPI_3_ADC_OffsetGain“.

[31..16] ADC SPI port **4** offset 0x000 = 0V (16b)

[15..0] ADC SPI port **4** gain 0x4000=1 (16b)

Name	FSP120_ExtSPI_4_ADC_Thrs
Adresse	0x78_H/120_D/0x3738_{ASCII}
Tiefe	12 Byte / 96 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

It contains the SPI **4** ADC monitored thresholds

Das Äquivalent für SPI Port **3** ist der „FSP116_ExtSPI_3_ADC_Thrs“.

- [95..84] ADC channel **4** negative threshold (12b)
- [83..72] ADC channel **4** positive threshold (12b)
- [71..60] ADC channel **3** negative threshold (12b)
- [59..48] ADC channel **3** positive threshold (12b)
- [47..36] ADC channel **2** negative threshold (12b)
- [35..24] ADC channel **2** positive threshold (12b)
- [23..12] ADC channel **1** negative threshold (12b)
- [11..0] ADC channel **1** positive threshold (12b)

Name	FSP121_ExtSPI_4_ADC_Sig
Adresse	0x79_H/121_D/0x3739_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält die SPI **4** ADC Signale. Es handelt sich dabei um die tatsächlichen Messwerte der ADCs also weder Offset noch Gain korrigiert.

Die korrigierten SPI **4** ADC Signale finden sich im FSP „FSP122_ExtSPI_4_ADC_SigScaledAndAveraged“.

Das Äquivalent für SPI Port **3** ist der „FSP117_ExtSPI_3_ADC_Sig“.

[63..48] Messwert ADC Kanal **4** (16b)

[47..32] Messwert ADC Kanal **3** (16b)

[31..16] Messwert ADC Kanal **2** (16b)

[15..0] Messwert ADC Kanal **1** (16b)

Name	FSP122_ExtSPI_4_ADC_SigScaledAndAveraged
Adresse	0x7A_H/122_D/0x3741_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Enthält die SPI **4** ADC Signale. Diese sind Offset/Gain korrigiert und enthalten ggf. noch eine zusätzliche Benutzer (User) Offset/Gain Korrektur(FSP104_ExtSPI_4_ADCandUser_OFFSET_Chx, FSP105_ExtSPI_4_ADCandUser_GAIN_Chx). Außerdem ist der Wert ggf. 16-fach gemittelt, sofern das Bit[**18**] des „FSP086_SPI_Ext_Cfg“ gesetzt ist.

Das Äquivalent für SPI Port **3** ist der „FSP118_ExtSPI_3_ADC_SigScaled“.

[63..48] Messwert ADC Kanal **4** (16b), Offset/Gain korrigiert, ggf. gemittelt

[47..32] Messwert ADC Kanal **3** (16b), Offset/Gain korrigiert, ggf. gemittelt

[31..16] Messwert ADC Kanal **2** (16b), Offset/Gain korrigiert, ggf. gemittelt

[15..0] Messwert ADC Kanal **1** (16b), Offset/Gain korrigiert, ggf. gemittelt

Name	FSP123_ICM_OnBoard_ADC_ScaledAndAvrgValues
Adresse	0x7B_H/123_D/0x3742_{ASCII}
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die mittels UserOffset (FSP124_OnBoard_ADCUserOffset)und User-Gain(FSP125_OnBoard_ADCUserGain) korrigierten Werte der 4 Analogen Komparatoreingänge. Im Weiteren sind die Werte 16-fach gemittelt.

[63..48] OnBoard_ADC_4_ScaledAndAvrgVal[15..0]

[47..32] OnBoard_ADC_3_ScaledAndAvrgVal[15..0]

[31..16] OnBoard_ADC_2_ScaledAndAvrgVal[15..0]

[15..0] OnBoard_ADC_1_ScaledAndAvrgVal[15..0]

Name	FSP124_OnBoard_ADCUserOffset
Adresse	0x7C_H/124_D/0x3743_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0x0000_0000_0000_0000 _H

Vom Anwender einstellbarer Offset für die OnBoard ADCs der Komparatoreingänge.

[63..48] OnBoard UserOffset ADC CH4 0x0000 = 0V (16b)

[47..32] OnBoard UserOffset ADC CH3 0x0000 = 0V (16b)

[31..16] OnBoard UserOffset ADC CH2 0x0000 = 0V (16b)

[15..0] OnBoard UserOffset ADC CH1 0x0000 = 0V (16b)

Name	FSP125_OnBoard_ADCUserGain
Adresse	0x7D_H/125_D/0x3744_{ASCII}
Tiefe	8 Byte / 64 Bit
I/O	lesen / schreiben
Reset	0x4000_4000_4000_4000 _H

Vorzeichenloser vom Anwender einstellbarer Gain für die OnBoard ADCs der Komparatoreingänge.

[63..48] OnBoard UserGain ADC CH4 0x4000 = 1 (16b)

[47..32] OnBoard UserGain ADC CH3 0x4000 = 1 (16b)

[31..16] OnBoard UserGain ADC CH2 0x4000 = 1 (16b)

[15..0] OnBoard UserGain ADC CH1 0x4000 = 1 (16b)