



FSPs des Aanalog Interlock Moduls (ab FW 7.0.x)

Version vom: Mittwoch, 4. Mai 2022, 12:10:00

Inhaltsverzeichnis

1. Änderungsliste	1
2. ACU_AnalogInterlockModule	2
FSP001_ModuleStatus	3
0x01 _H /1 _D /0x3031 _{ASCII}	
FSP002_ModuleWarnings	5
0x02 _H /2 _D /0x3032 _{ASCII}	
FSP003_ModuleErrors.....	6
0x03 _H /3 _D /0x3033 _{ASCII}	
FSP004_ModuleInterlocks.....	7
0x04 _H /4 _D /0x3034 _{ASCII}	
FSP006_InterlocksArrivalSequence	8
0x06 _H /6 _D /0x3036 _{AS}	
FSP009_ModuleSerialNumber	9
0x09 _H /9 _D /0x3039 _{ASCII}	
FSP010_ModuleCommands	10
0x0A _H /10 _D /0x3041 _{ASCII}	
FSP011_ModuleInterlocksMask_n	11
0x0B _H /11 _D /0x3042 _{ASCII}	
FSP012_USIConfig.....	13
0x0C _H /12 _D /0x3043 _{ASCII}	
FSP013_PeripheralConfig	14
0x0D _H /13 _D /0x3044 _{ASCII}	
FSP040_RemoteUpdateStatus.....	15
0x28 _H /40 _D /0x3238 _{ASCII}	
FSP041_RemoteUpdateCommands.....	16
0x29 _H /41 _D /0x3239 _{ASCII}	
FSP042_RemoteUpdateData.....	17
0x2A _H /42 _D /0x3241 _{ASCII}	
FSP045_AlteraRemoteUpdateCmd.....	19
0x2D _H /45 _D /0x3244 _{ASCII}	
FSP046_AlteraRemoteUpdateStatus.....	20
0x2E _H /46 _D /0x3245 _{ASCII}	
FSP050_AIM_PowerSupplyValues.....	21
0x32 _H /50 _D /0x3332 _{ASCII}	
FSP051_ADC_With_CompThrs_PotiValues.....	22
0x33 _H /51 _D /0x3333 _{ASCII}	
FSP052_ModuleComparatorValues.....	23
0x34 _H /52 _D /0x3334 _{ASCII}	
FSP053_OnBoardTemperatures	24
0x35 _H /53 _D /0x3335 _{ASCII}	
FSP054_ModuleTemperaturesComparisonThresholds.....	25
0x36 _H /54 _D /0x3336 _{ASCII}	
FSP058_ParameterChecksumValue	26
0x3A _H /58 _D /0x3341 _{ASCII}	
FSP059_ParameterChecksumValueCalculated	27
0x3B _H /59 _D /0x3342 _{ASCII}	
FSP060_ADC_WithOut_CompValues.....	28
0x3C _H /60 _D /0x3343 _{ASCII}	
FSP061_DACxSourceSelectionMultiplexer.....	29
0x3D _H /61 _D /0x3344 _{ASCII}	
FSP062_DACGain_Offset.....	31
0x3E _H /62 _D /0x3345 _{ASCII}	
FSP063_ADT7410ExternalTemperatures	32
0x3F _H /63 _D /0x3346 _{ASCII}	
FSP070_X1_to_X6_CompThr	33
0x46 _H /70 _D /0x3436 _{ASCII}	

1. Änderungsliste

Datum	Name	Kommentar
31.03.2022	D. Schupp	Dokument erstellt aus ACU-FSP mUSIc TFT

2. ACU_AnalogInterlockModule

Dieses Kapitel behandelt modulspezifische FSPs des Analog Interlock Moduls (AIM)

Name	FSP001_ModuleStatus
Adresse	0x01_H/1_D/0x3031_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

- [23..21] Reserviert
Reserviert für zukünftige Anwendungen
- [20] ControllerEnable wenn ,1', Regler freigegeben
- [19..16] Status des Moduls

[3..0]	Status
0x0	Kein Status lesbar
0x1	<i>cSTATUSSetDefaults/ cSTATUSWaitForParameters</i> keine definierter Status
0x2	<i>cSTATUSUnitOff</i> Gerät ausgeschaltet
0x3	<i>cSTATUSLoadingBank</i> Bank laden
0x4	<i>cSTATUSSwitchingUnitOn</i> Gerät einschalten
0x5	<i>cSTATUSUnitOn</i> Gerät eingeschaltet
0x6	<i>cSTATUSControllerDisabledByFPGAInternalCause</i> FPGA interne Gründe (des Status erzeugenden Moduls) sperren den Regler
0x7	<i>cSTATUSControllerEnabled</i> Regler freigegeben
0x8	<i>cSTATUSSwitchingUnitOff</i> Gerät ausschalten
0x9	<i>cSTATUSControllerDisabledByCommand</i> Das Kommando <i>cCMDDisableController</i> sperrt den Regler
0xA	<i>cSTATUSControllerDisabledByFPGAExternalCause</i> FPGA externe Gründe (des Status erzeugenden Moduls) sperren den Regler
0xB	<i>cSTATUSResetInterlocks</i>
0xC	<i>cSTATUSMachineProtection</i>
0xD	n.u.
0xE	<i>cSTATUSPowerOnReset</i>
0xF	<i>cSTATUSWhenOthers</i> keine definierter Status

- [15..12] Modul Kommando

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

- [11..9] Reserviert
Reserviert für zukünftige Anwendungen
- [8] USIIsHighSpeed
wenn ,1' ist USI im Highspeed Mode
- [7] Reserviert
Reserviert für zukünftige Anwendungen
- [6] n.u.
- [5] NoInterlocks
wenn ,1' stehen keine Interlocks an
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors
wenn ,1' ist Modul fehlerfrei
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings
wenn ,1' ist Modul ohne Warnungen
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady
wenn ,1' ist Modul betriebsbereit
Das Modul ist voll betriebsbereit
- [1] ChecksumOK
wenn ,1' Parameter Checksumme OK
Die Prüfsumme für die Modulparameter ist bestätigt.
- [0] ParametersLoaded
wenn ,1' sind die Parameter geladen
Das Modul hat seine Konfigurationsparameter geladen.

Name	FSP002_ModuleWarnings
Adresse	0x02_H/2_D/0x3032_{ASCII}
Tiefe	modulabhängig
I/O	3 Byte / 24 Bit
Reset	0x(siehe Beschreibung) _H

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt (z.B. Temperatur des Moduls zu hoch).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] das FSP001_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	FSP003_ModuleErrors
Adresse	0x03_H/3_D/0x3033_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] das FSP001_ModuleStatus = ,0'.

[23..0] n.u., immer ,1'

Name	FSP004_ModuleInterlocks
Adresse	0x04_H/4_D/0x3034_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] das FSP001_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

Gespeicherte Interlocks

[31..30]	n.u., immer ,1'
[29..24]	ADC_WithoutComp_Xn_Interlock[5..0] (X1...X6)
[23]	ADC_WithComp_ThNeg_Exeed[3] (X23)
[22]	ADC_WithComp_ThPos_Exeed[3] (X23)
[21]	ADC_WithComp_ThNeg_Exeed[2] (X10)
[20]	ADC_WithComp_ThPos_Exeed[2] (X10)
[19]	ADC_WithComp_ThNeg_Exeed[1] (X22)
[18]	ADC_WithComp_ThPos_Exeed[1] (X22)
[17]	ADC_WithComp_ThNeg_Exeed[0] (X11)
[16]	ADC_WithComp_ThPos_Exeed[0] (X11)

Aktuell anstehende Interlocks

[15..14]	n.u., immer ,1'
[13..8]	ADC_WithoutComp_Xn_Interlock[5..0] (X1...X6)
[7]	ADC_WithComp_ThNeg_Exeed[3] (X23)
[6]	ADC_WithComp_ThPos_Exeed[3] (X23)
[5]	ADC_WithComp_ThNeg_Exeed[2] (X10)
[4]	ADC_WithComp_ThPos_Exeed[2] (X10)
[3]	ADC_WithComp_ThNeg_Exeed[1] (X22)
[2]	ADC_WithComp_ThPos_Exeed[1] (X22)
[1]	ADC_WithComp_ThNeg_Exeed[0] (X11)
[0]	ADC_WithComp_ThPos_Exeed[0] (X11)

Name	FSP006_InterlocksArrivalSequence
Adresse	0x06_H/6_D/0x3036_{ASCII}
Tiefe	6 Byte / 48 Byte
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

Name	FSP009_ModuleSerialNumber
Adresse	0x09_H/9_D/0x3039_{ASCII}
Tiefe	36 Byte / 288 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

Das Modul stellt eine ganze Reihe Seriennummern zur Verfügung, weil auch die aufsteckbaren Filter/Komparator Module und ggf. an X22 angeschlossene Erweiterungsmodule eindeutige Seriennummern haben. Diese werden aus den Modulen ausgelesen und in diesem FSP gesammelt übertragen.

[287..240] ExtensionCard_ID[47..0]

[239..192] CompX23Card_ID[47..0]

[191..144] CompX10Card_ID[47..0]

[143..96] CompX22Card_ID[47..0]

[95..48] CompX11Card_ID[47..0]

[47..0] AnalogInterlockModule_ID[47..0]

Name	FSP010_ModuleCommands
Adresse	0x0A_H/10_D/0x3041_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

[7..5] n.u.

[4] Wenn ,1' → V5_On_V6_Off aktiv

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

[3..0]	Kommando
0x0	<i>cCMDNoAction</i> keine Aktion
0x1	<i>cCMDSwitchUnitOn</i> Gerät einschalten (wenn möglich)
0x2	<i>cCMDSwitchUnitOff</i> Gerät abschalten
0x3	<i>cCMDResetUnit</i> Reset durchführen (Interlocks)
0x4	<i>cCMDDisableController</i>

Name	FSP011_ModuleInterlocksMask_n
Adresse	0x0B_H/11_D/0x3042_{ASCII}
Tiefe	6 Byte / 48 Bit
I/O	lesen / schreiben
Reset	0x0000_0000_0000 _H

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

Zugelassene Interlocks nach der Reglerfreigabe

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschütz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschütz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

- [47..46] n.u., immer ,1'
- [45..40] ADC_WithoutComp_Xn_Interlock[5..0] (X1...X6)
- [39] ADC_WithComp_ThNeg_Exeed[3] (X23)
- [38] ADC_WithComp_ThPos_Exeed[3] (X23)
- [37] ADC_WithComp_ThNeg_Exeed[2] (X10)
- [36] ADC_WithComp_ThPos_Exeed[2] (X10)
- [35] ADC_WithComp_ThNeg_Exeed[1] (X22)
- [34] ADC_WithComp_ThPos_Exeed[1] (X22)
- [33] ADC_WithComp_ThNeg_Exeed[0] (X11)
- [32] ADC_WithComp_ThPos_Exeed[0] (X11)

Gespeicherte Interlocks

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

- [31..30] n.u., immer ,1'
- [29..24] ADC_WithoutComp_Xn_Interlock[5..0] (X1...X6)
- [23] ADC_WithComp_ThNeg_Exeed[3] (X23)
- [22] ADC_WithComp_ThPos_Exeed[3] (X23)
- [21] ADC_WithComp_ThNeg_Exeed[2] (X10)
- [20] ADC_WithComp_ThPos_Exeed[2] (X10)
- [19] ADC_WithComp_ThNeg_Exeed[1] (X22)
- [18] ADC_WithComp_ThPos_Exeed[1] (X22)
- [17] ADC_WithComp_ThNeg_Exeed[0] (X11)
- [16] ADC_WithComp_ThPos_Exeed[0] (X11)

Aktuell anstehende Interlocks

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

[15..14]	n.u., immer ,1'
[13..8]	ADC_WithoutComp_Xn_Interlock[5..0] (X1...X6)
[7]	ADC_WithComp_ThNeg_Exeed[3] (X23)
[6]	ADC_WithComp_ThPos_Exeed[3] (X23)
[5]	ADC_WithComp_ThNeg_Exeed[2] (X10)
[4]	ADC_WithComp_ThPos_Exeed[2] (X10)
[3]	ADC_WithComp_ThNeg_Exeed[1] (X22)
[2]	ADC_WithComp_ThPos_Exeed[1] (X22)
[1]	ADC_WithComp_ThNeg_Exeed[0] (X11)
[0]	ADC_WithComp_ThPos_Exeed[0] (X11)

Name	FSP012_USIConfig
Adresse	0x0C_H/12_D/0x3043_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Dieser FSP definiert die USI Konfiguration

[7] wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3] n.u.

[2..0] USI Bitrate

[2..0]	Bitrate
111	115,2 kBit (default)
110	1 MBit
101	2 MBit
100	5 MBit
011	10 MBit
010	16,6 MBit
001	20 MBit
000	25 MBit (Test only!)

Name	FSP013_PeripheralConfig
Adresse	0x0D_H/13_D/0x3044_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x80 _H

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

AIM

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt.
Das Löschen dieses Bit löscht die „alte“ im AIM errechnete Prüfsumme.
- [6..0] n.u.

Name	FSP040_RemoteUpdateStatus
Adresse	0x28_H/40_D/0x3238_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042_Busy
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042_ReadyToSendData,
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042_ReadyToReceiveData,
wenn ,1' können Daten vom Host an FSP42 gesendet werden

Name	FSP041_RemoteUpdateCommands
Adresse	0x29_H/41_D/0x3239_{ASCII}
Tiefe	1 Byte / 8 Bit
I/O	lesen / schreiben
Reset	0x00 _H

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

[2..0]	Kommando
000	NOP
001	Erase Bulk, das gesamte Flash löschen
010	Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen
011	Write single bytes, ein einzelnes Bytes ins Flash schreiben
100	Write continuously, beliebige Anzahl Bytes ins Flash schreiben
101	Read single byte, ein einzelnes Bytes aus dem Flash lesen
110	Read continuously, beliebige Anzahl Bytes aus dem Flash lesen
111	Init

Name	FSP042_RemoteUpdateData
Adresse	0x2A_H/42_D/0x3241_{ASCII}
Tiefe	256 Byte / 2048 Bit
I/O	lesen / schreiben
Reset	0x(siehe Beschreibung) _H

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

Achtung: Dieses FSP ist besonders im Hinblick auf Lesen und Schreiben. Da das FSP ein nachgeschalteter serieller Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ASCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

Abbrechen/Beenden

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

Name	FSP045_AlteraRemoteUpdateCmd
Adresse	0x2D_H/45_D/0x3244_{ASCII}
Tiefe	6/7 Byte / 48/56 Bit
I/O	lesen / schreiben
Reset	Reset:0x00100000_00_0_0_0_0 _H

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

Imagetyyp lesen

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyyp.

Imagetyyp wechseln

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

Für CycloneV ändert sich dieses FSP inhaltlich leicht.

Die Startadresse wandert um 4 Bits nach links (beginnt nicht mehr bei Bit 20, sondern erst bei Bit 24) und wird um 4 weitere Bits ergänzt (hat also nun die Breite 32 Bits). (18.12.19 – DS)

Altes Format

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

Neues Format

[55..24] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[23..17] n.u.

Gemeinsam unverändert

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read_n_Write_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

Name	FSP046_AlteraRemoteUpdateStatus
Adresse	0x2E_H/46_D/0x3245_{ASCII}
Tiefe	10 Byte / 80 Bit
I/O	lesen
Reset	Reset:0x(siehe Beschreibung) _H

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

[79..72]	ReconfTriggerCondition
[71..69]	Force Osc_int n.u.
[68]	Force Osc_int
[67..44]	Boot Address
[43..41]	Wachdog Enable n.u.
[40]	Wachdog Enable
[39..8]	Wachdog timeout
[7..5]	Cd_early n.u.
[4]	Cd_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
[3..2]	MSM State n.u.
[1..0]	MSM State ('00' = Factory Image, '11' = Application Image)

Name	FSP050_AIM_PowerSupplyValues
Adresse	0x32_H/50_D/0x3332_{ASCII}
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -12 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 12 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

Name	FSP051_ADC_With_CompThrs_PotiValues
Adresse	0x33_H/51_D/0x3333_{ASCII}
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Poti-Spannungen der Komparator/Potimodule. Diese Spannungen definieren die Schaltschwelle der Komparatoren.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

[127..112]	CompX23_ADC_3_ThrNeg[15..0]
[111..96]	CompX23_ADC_3_ThrPos[15..0]
[95..80]	CompX10_ADC_2_ThrNeg[15..0]
[79..64]	CompX10_ADC_2_ThrPos[15..0]
[63..48]	CompX22_ADC_1_ThrNeg[15..0]
[47..32]	CompX22_ADC_1_ThrPos[15..0]
[31..16]	CompX11_ADC_0_ThrNeg[15..0]
[15..0]	CompX11_ADC_0_ThrPos[15..0]

Name	FSP052_ModuleComparatorValues
Adresse	0x34_H/52_D/0x3334_{ASCII}
Tiefe	16 Byte / 128 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Liefert die vorzeichenbehafteten Komparator-Spannungen der Komparator/Potimodule, jeweils vor und hinter dem Filter.

Für alle Spannungen gilt, dass jeweils nur die OBEREN 13 Bit Verwendung finden. Das MSB ist dabei das Vorzeichen. Die unteren 3 Bit sind immer ,0'.

Die Spannungen sind dabei wie folgt sortiert.

[127..112]	CompX23_ADC_3_Filter[15..0]
[111..96]	CompX23_ADC_3_Direct[15..0]
[95..80]	CompX10_ADC_2_Filter[15..0]
[79..64]	CompX10_ADC_2_Direct[15..0]
[63..48]	CompX22_ADC_1_Filter[15..0]
[47..32]	CompX22_ADC_1_Direct[15..0]
[31..16]	CompX11_ADC_0_Filter[15..0]
[15..0]	CompX11_ADC_0_Direct[15..0]

Name	FSP053_OnBoardTemperatures
Adresse	0x35_H/53_D/0x3335_{ASCII}
Tiefe	4 Byte / 32 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

[31..24] Alarm_Info

[7..0]	Bedeutung
0x00	n.u., Resetzustand
0x01	Device 1 nicht bereit
0x02	Device 2 nicht bereit
0x04	Device 3 nicht bereit
0x08	DeviceSearchRunDone
0x10	Device 1 Grenze überschritten
0x20	Device 2 Grenze überschritten
0x40	Device 3 Grenze überschritten
0x80	Alarm Interrupt wenn Grenze bei einem Device überschritten

[23..16] Sensor 3: Temperatur Modul Mitte (8 Bit)

[15..8] Sensor 2: Temperatur FPGA (8 Bit)

[7..0] Sensor 1: Temperatur DC-DC Wandler (8 Bit)

Die Schwellen der Temperaturgrenzen werden im „FSP054_ModuleTemperaturesComparationThresholds“ festgelegt.

Name	FSP054_ModuleTemperaturesComparisonThresholds
Adresse	0x36_H/54_D/0x3336_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x46_46_58 _H

Stellt die vorzeichenbehafteten Vergleichswerte zur Verfügung bei denen die Temperatursensoren Alarm auslösen sollen, sofern die Temperatur überschritten wurde.

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

Als Standardwert ist 70° Celsius (70_D = 46_H) gewählt.

[23..16] Sensor 3: Temperatur Modul Mitte (8 Bit)

[15..8] Sensor 2: Temperatur FPGA (8 Bit)

[7..0] Sensor 1: Temperatur DC-DC Wandler (8 Bit)

Name	FSP058_ParameterChecksumValue
Adresse	0x3A_H/58_D/0x3341_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x000000 _H

Repräsentiert die Vergleichs-Prüfsumme der vom Modul empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „FSP059_ParameterChecksumValueCalculated“ verglichen.

[23..0] Checksumme der Datenübertragung zum Modul.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUSIc (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

Name	FSP059_ParameterChecksumValueCalculated
Adresse	0x3B_H/59_D/0x3342_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0] errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.

Name	FSP060_ADC_WithOut_CompValues
Adresse	0x3C_H/60_D/0x3343_{ASCII}
Tiefe	24 Byte / 192 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

This FSP contains the digital value of the signals connected to X1...X6. The value stored is the direct conversion from analog to digital and the filtered (before the analog to digital conversion) value.

[191..176] ADC_WithoutComp_X6_Filter[15..0]
 [175..160] ADC_WithoutComp_X6_Direct[15..0]
 [159..144] ADC_WithoutComp_X5_Filter[15..0]
 [143..128] ADC_WithoutComp_X5_Direct[15..0]
 [127..112] ADC_WithoutComp_X4_Filter[15..0]
 [111..96] ADC_WithoutComp_X4_Direct[15..0]
 [95..80] ADC_WithoutComp_X3_Filter[15..0]
 [79..64] ADC_WithoutComp_X3_Direct[15..0]
 [63..48] ADC_WithoutComp_X2_Filter[15..0]
 [47..32] ADC_WithoutComp_X2_Direct[15..0]
 [31..16] ADC_WithoutComp_X1_Filter[15..0]
 [15..0] ADC_WithoutComp_X1_Direct[15..0]

Name	FSP061_DACxSourceSelectionMultiplexer
Adresse	0x3D_H/61_D/0x3344_{ASCII}
Tiefe	3 Byte / 24 Bit
I/O	lesen / schreiben
Reset	0x00_4_3_2_1 _H

Repräsentiert die Einstellungen der DAC Eingangsmultiplexer.

[23..20] n.u.

[19] '1' Ausgangswert des Multiplexers [DAC_4_Input] → X20/X30 wird invertiert

[18] '1' Ausgangswert des Multiplexers [DAC_3_Input] → X19/X29 wird invertiert

[17] '1' Ausgangswert des Multiplexers [DAC_2_Input] → X18/X28 wird invertiert

[16] '1' Ausgangswert des Multiplexers [DAC_1_Input] → X17/27 wird invertiert

[15..12] Quellenwahl für Multiplexer Ausgangssignal [DAC_4_Input] → DAC A ; X20/X30

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Comparator X11 ADC Filtred value
0x2	Comparator X22 ADC Filtred value
0x3	Comparator X10 ADC Filtred value
0x4	Comparator X23 ADC Filtred value
0x5	X1 ADC Filtred value
0x6	X2 ADC Filtred value
0x7	X3 ADC Filtred value
0x8	X4 ADC Filtred value
0x9	X5 ADC Filtred value
0xA	X6 ADC Filtred value
0xB	High Speed Data Received (31..12)
0xC	High Speed Data Received (31..18)
0xD	High Speed Data Received (17..4)
0xE	Stuck to 31775d (For debugging purposes)
0xF	Not connected

[11..8] Quellenwahl für Multiplexer Ausgangssignal [DAC_3_Input] → DAC B ; X19/X29

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Comparator X11 ADC Direct value
0x2	Comparator X22 ADC Direct value
0x3	Comparator X10 ADC Direct value
0x4	Comparator X23 ADC Direct value
0x5	X1 ADC Direct value
0x6	X2 ADC Direct value
0x7	X3 ADC Direct value
0x8	X4 ADC Direct value
0x9	X5 ADC Direct value
0xA	X6 ADC Direct value
0xB	High Speed Data Received (31..12)
0xC	High Speed Data Received (31..18)

0xD	High Speed Data Received (17..4)
0xE	Stuck to -31776d (For debugging purposes)
0xF	Not connected

[7..4] Quellenwahl für Multiplexer Ausgangssignal [DAC_2_Input] → DAC C X18/X28

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Comparator X11 ADC Filtred value
0x2	Comparator X22 ADC Filtred value
0x3	Comparator X10 ADC Filtred value
0x4	Comparator X23 ADC Filtred value
0x5	X1 ADC Filtred value
0x6	X2 ADC Filtred value
0x7	X3 ADC Filtred value
0x8	X4 ADC Filtred value
0x9	X5 ADC Filtred value
0xA	X6 ADC Filtred value
0xB	High Speed Data Received (31..12)
0xC	High Speed Data Received (31..18)
0xD	High Speed Data Received (17..4)
0xE	Stuck to 1023d (For debugging purposes)
0xF	Not connected

[3..0] Quellenwahl für Multiplexer Ausgangssignal [DAC_1_Input] → DAC D ; X17/X27

[3..0]	Ausgang des Multiplexers
0x0	0
0x1	Comparator X11 ADC Direct value
0x2	Comparator X22 ADC Direct value
0x3	Comparator X10 ADC Direct value
0x4	Comparator X23 ADC Direct value
0x5	X1 ADC Direct value
0x6	X2 ADC Direct value
0x7	X3 ADC Direct value
0x8	X4 ADC Direct value
0x9	X5 ADC Direct value
0xA	X6 ADC Direct value
0xB	High Speed Data Received (31..12)
0xC	High Speed Data Received (31..18)
0xD	High Speed Data Received (17..4)
0xE	Stuck to -1024d (For debugging purposes)
0xF	Not connected

Name	FSP062_DACGain_Offset
Adresse	0x3E_H/62_D/0x3345_{ASCII}
Tiefe	24 Byte / 192 Bit
I/O	lesen / schreiben
Reset	0x400000_000000_400000_000000_400000_000000_400000_000000 _H

Repräsentiert den Verstärkungsfaktor und Offsetwert des 4-fachen DAC für die vorne an der MFU vorhandenen. DAC Diagnosebuchsen.

- [191..168] DAC 4 (X17/X27) Gain, vorzeichenbehafteter 19 Bit Wert
- [167..144] DAC 4 (X17/X27) Offset, vorzeichenbehafteter 18 Bit Wert
- [143..120] DAC 3 (X18/X28) Gain, vorzeichenbehafteter 19 Bit Wert
- [119..96] DAC 3 (X18/X28) Offset, vorzeichenbehafteter 18 Bit Wert
- [95..72] DAC 2 (X19/X29) Gain, vorzeichenbehafteter 19 Bit Wert
- [71..48] DAC 2 (X19/X29) Offset, vorzeichenbehafteter 18 Bit Wert
- [47..24] DAC 1 (X20/X30) Gain, vorzeichenbehafteter 19 Bit Wert
- [23..0] DAC 1 (X20/X30) Offset, vorzeichenbehafteter 18 Bit Wert

Name	FSP063_ADT7410ExternalTemperatures
Adresse	0x3F_H/63_D/0x3346_{ASCII}
Tiefe	9 Byte / 72 Bit
I/O	lesen
Reset	0x(siehe Beschreibung) _H

Es können bis zu 4 externe ADT7410 Temperatursensoren an das Modul angeschlossen werden.

[71] Wenn der ADT7410 an Kanal A gelesen wird ist dieses Bit ,1‘

[70..68] n.u., immer ,0‘

[67..64] Status

[3..0]	Beschreibung
0x00	n.u., Resetzustand
0x01	Device an Kanal A gefunden
0x02	Device an Kanal B gefunden
0x04	Device an Kanal C gefunden
0x08	Device 1 an Kanal D gefunden

[63..48] Temperatur des ADT7410 an Kanal A (15 Bit)

[47..32] Temperatur des ADT7410 an Kanal B (15 Bit)

[31..16] Temperatur des ADT7410 an Kanal C (15 Bit)

[15..0] Temperatur des ADT7410 an Kanal D (15 Bit)

Name	FSP070_X1_to_X6_CompThr
Adresse	0x46 _H /70 _D /0x3436 _{ASCII}
Tiefe	30 Byte / 240 Bit
I/O	lesen / schreiben
Reset	0x00_0000_0000_00_0000_0000_00_0000_0000_00_0000_0000_00_0000_0 000_00_0000_0000 _H

This FSP contains the settings for the X1 to X6 analog interlock generation. The filtered analog value is converted in digital and connected to a modular comparator instance. If the digital value exceeds the positive or the negative thresholds, an interlock is generated. The interlock is active LOW(as usual).

[239..233] n.u.

[232] X6_Comp_En if 1 the comparator is active otherwise the output is stuck to 1

[231..216] X6_CompTh_Neg[15..0] X6 Negative threshold

[215..200] X6_CompTh_Pos[15..0] X6 Positive threshold

[199..193] n.u.

[192] X5_Comp_En if 1 the comparator is active otherwise the output is stuck to

[191..176] X5_CompTh_Neg[15..0] X5 Negative threshold

[175..160] X5_CompTh_Pos[15..0] X5 Positive threshold

[159..153] n.u.

[152] X4_Comp_En if 1 the comparator is active otherwise the output is stuck to 1

[151..136] X4_CompTh_Neg[15..0] X4 Negative threshold

[135..120] X4 CompTh Pos[15..0] X4 Positive threshold

[119..113] n.u.

[112] X3_Comp_En if 1 the comparator is active otherwise the output is stuck to 1

[111..96] X3_CompTh_Neg[15..0] X3 Negative threshold

[95..80]	X3_CompTh_Pos[15..0]	X3 Positive threshold
----------	----------------------	-----------------------

[79..73] n.u.

[72] X2_Comp_En if 1 the comparator is active otherwise the output is stuck to 1

[71..56] X2_CompTh_Neg[15..0] X2 Negative threshold

[55..40]	X2	CompTh	Pos[15..0]	X2	Positive threshold
----------	----	--------	------------	----	--------------------

[39..33] n.u.

[32] X1 Comp En if 1 the comparator is active otherwise the output is stuck to 1

[31..16] X1 CompTh Neg[15..0] X1 Negative threshold

[15..0]	X1	CompTh	Pos[15..0]	X1	Positive threshold
---------	----	--------	------------	----	--------------------