



## FSPs des ADC DAC IO Ver. II Moduls (ab FW 7.1.x)

Version vom: Freitag, 17. März 2023, 14:53:00

## Inhaltsverzeichnis

|   |    |
|---|----|
| 1. Änderungsliste .....   | 1  |
| 2. FSPs ADC DAC IO (Ver.II) FG660.46x .....                       | 2  |
| FSP001_ModuleStatus .....   | 3  |
| 0x01 <sub>H</sub> /1 <sub>D</sub> /0x3031 <sub>ASCII</sub> .....  |    |
| FSP002_ModuleWarnings .....                                       | 5  |
| 0x02 <sub>H</sub> /2 <sub>D</sub> /0x3032 <sub>ASCII</sub> .....  |    |
| FSP003_ModuleErrors .....   | 6  |
| 0x03 <sub>H</sub> /3 <sub>D</sub> /0x3033 <sub>ASCII</sub> .....  |    |
| FSP004_ModuleInterlocks .....                                     | 7  |
| 0x04 <sub>H</sub> /4 <sub>D</sub> /0x3034 <sub>ASCII</sub> .....  |    |
| FSP006_InterlocksArrivalSequence .....                            | 10 |
| 0x06 <sub>H</sub> /6 <sub>D</sub> /0x3036 <sub>AS</sub> .....     |    |
| FSP009_ModuleSerialNumber .....                                   | 11 |
| 0x09 <sub>H</sub> /9 <sub>D</sub> /0x3039 <sub>ASCII</sub> .....  |    |
| FSP010_ModuleCommands .....                                       | 12 |
| 0x0A <sub>H</sub> /10 <sub>D</sub> /0x3041 <sub>ASCII</sub> ..... |    |
| FSP011_ModuleInterlocksMask_n .....                               | 13 |
| 0x0B <sub>H</sub> /11 <sub>D</sub> /0x3042 <sub>ASCII</sub> ..... |    |
| FSP012_USIConfig .....  | 15 |
| 0x0C <sub>H</sub> /12 <sub>D</sub> /0x3043 <sub>ASCII</sub> ..... |    |
| FSP013_PeripheralConfig .....                                     | 16 |
| 0x0D <sub>H</sub> /13 <sub>D</sub> /0x3044 <sub>ASCII</sub> ..... |    |
| FSP020_ActualValue_A .....  | 17 |
| 0x14 <sub>H</sub> /20 <sub>D</sub> /0x3134 <sub>ASCII</sub> ..... |    |
| FSP030_SetValue_A .....   | 18 |
| 0x1E <sub>H</sub> /30 <sub>D</sub> /0x3145 <sub>ASCII</sub> ..... |    |
| FSP031_SetValue_B .....   | 19 |
| 0x1F <sub>H</sub> /31 <sub>D</sub> /0x3146 <sub>ASCII</sub> ..... |    |
| FSP033_SetValue_C .....   | 20 |
| 0x20 <sub>H</sub> /33 <sub>D</sub> /0x3230 <sub>ASCII</sub> ..... |    |
| FSP034_SetValue_D .....   | 21 |
| 0x21 <sub>H</sub> /34 <sub>D</sub> /0x3231 <sub>ASCII</sub> ..... |    |
| FSP040_RemoteUpdateStatus .....                                   | 22 |
| 0x28 <sub>H</sub> /40 <sub>D</sub> /0x3238 <sub>ASCII</sub> ..... |    |
| FSP041_RemoteUpdateCommands .....                                 | 23 |
| 0x29 <sub>H</sub> /41 <sub>D</sub> /0x3239 <sub>ASCII</sub> ..... |    |
| FSP042_RemoteUpdateData .....                                     | 24 |
| 0x2A <sub>H</sub> /42 <sub>D</sub> /0x3241 <sub>ASCII</sub> ..... |    |
| FSP043_FSP_Image_Generator .....                                  | 26 |
| 0x2B <sub>H</sub> /43 <sub>D</sub> /0x3242 <sub>ASCII</sub> ..... |    |
| FSP044_FSP_Image_Status .....                                     | 27 |
| 0x2C <sub>H</sub> /44 <sub>D</sub> /0x3243 <sub>ASCII</sub> ..... |    |
| FSP045_AlteraRemoteUpdateCmd .....                                | 28 |
| 0x2D <sub>H</sub> /45 <sub>D</sub> /0x3244 <sub>ASCII</sub> ..... |    |
| FSP046_AlteraRemoteUpdateStatus .....                             | 29 |
| 0x2E <sub>H</sub> /46 <sub>D</sub> /0x3245 <sub>ASCII</sub> ..... |    |
| FSP050_ModuleSupplyValues .....                                   | 30 |
| 0x32 <sub>H</sub> /50 <sub>D</sub> /0x3332 <sub>ASCII</sub> ..... |    |
| FSP051_ModulePotiValues .....                                     | 31 |
| 0x33 <sub>H</sub> /51 <sub>D</sub> /0x3333 <sub>ASCII</sub> ..... |    |
| FSP052_ModuleComparatorValues .....                               | 32 |
| 0x34 <sub>H</sub> /52 <sub>D</sub> /0x3334 <sub>ASCII</sub> ..... |    |
| FSP053_ModuleTemperatures .....                                   | 33 |
| 0x35 <sub>H</sub> /53 <sub>D</sub> /0x3335 <sub>ASCII</sub> ..... |    |
| FSP054_ModuleTemperaturesComparativeThresholds .....              | 34 |
| 0x36 <sub>H</sub> /54 <sub>D</sub> /0x3336 <sub>ASCII</sub> ..... |    |
| FSP058_ParameterChecksumValue .....                               | 35 |
| 0x3A <sub>H</sub> /58 <sub>D</sub> /0x3341 <sub>ASCII</sub> ..... |    |
| FSP059_ParameterChecksumValueCalculated .....                     | 36 |
| 0x3B <sub>H</sub> /59 <sub>D</sub> /0x3342 <sub>ASCII</sub> ..... |    |
| FSP060_ADC_Configuration .....                                    | 37 |
| 0x3C <sub>H</sub> /60 <sub>D</sub> /0x3343 <sub>ASCII</sub> ..... |    |
| FSP061_ADCCalibrationGAIN .....                                   | 38 |
| 0x3D <sub>H</sub> /61 <sub>D</sub> /0x3344 <sub>ASCII</sub> ..... |    |
| FSP062_ADCCalibrationOFFSET .....                                 | 39 |

|   |    |
|---|----|
| 0x3E <sub>H</sub> /62 <sub>D</sub> /0x3345 <sub>ASCII</sub> |    |
| FSP063_ADCFAVResult.....                                    | 40 |
| 0x3F <sub>H</sub> /63 <sub>D</sub> /0x3346 <sub>ASCII</sub> |    |
| FSP064_InterlockSelectMUX .....                             | 41 |
| 0x40 <sub>H</sub> /64 <sub>D</sub> /0x3440 <sub>ASCII</sub> |    |
| FSP066_ValCounter.....                                      | 42 |
| 0x42 <sub>H</sub> /66 <sub>D</sub> /0x3432 <sub>ASCII</sub> |    |
| FSP070_ICJX_Port_Configuration.....                         | 43 |
| 0x46 <sub>H</sub> /70 <sub>D</sub> /0x3436 <sub>ASCII</sub> |    |
| FSP071_ICJX_RD_Data .....                                   | 44 |
| 0x47 <sub>H</sub> /71 <sub>D</sub> /0x3437 <sub>ASCII</sub> |    |
| FSP072_DACxSourceSelectionMultiplexer .....                 | 45 |
| 0x48 <sub>H</sub> /72 <sub>D</sub> /0x3438 <sub>ASCII</sub> |    |
| FSP073_DACGain_Offset .....                                 | 47 |
| 0x49 <sub>H</sub> /73 <sub>D</sub> /0x3439 <sub>ASCII</sub> |    |
| FSP074_HighSpeed_ReturnChannel_SourceSelectionMux .....     | 48 |
| 0x4A <sub>H</sub> /74 <sub>D</sub> /0x3441 <sub>ASCII</sub> |    |
| FSP075_HighSpeed_IncomingChannel_SourceSelectionMux.....    | 53 |
| 0x4B <sub>H</sub> /75 <sub>D</sub> /0x3442 <sub>ASCII</sub> |    |
| FSP076_intFunctionGenerator.....                            | 55 |
| 0x4C <sub>H</sub> /76 <sub>D</sub> /0x3443 <sub>ASCII</sub> |    |
| FSP077_Generic_ADCs_ComparatorThresholds .....              | 57 |
| 0x4D <sub>H</sub> /77 <sub>D</sub> /0x3444 <sub>ASCII</sub> |    |
| FSP078_GenericADC_Data.....                                 | 58 |
| 0x4E <sub>H</sub> /78 <sub>D</sub> /0x3445 <sub>ASCII</sub> |    |

**1. Änderungsliste**

| Datum      | Name      | Kommentar                               |
|------------|-----------|---|
| 31.03.2022 | D. Schupp | Dokument erstellt aus ACU-FSP mUSIc TFT |
| 29.09.2022 | D. Schupp | Auf Ver. II FW 7.1.x reduziert          |
|            |           |   |
|            |           |   |
|            |           |   |
|            |           |   |
|            |           |   |
|            |           |   |

## **2. FSPs ADC DAC IO (Ver.II) FG660.46x**

Dieses Kapitel behandelt modulspezifische FSPs des ADC\_DAC\_IO Moduls Ver.II ab FG660.460.

|         |  |
|---------|--|
| Name    | <b>FSP001_ModuleStatus</b>                                   |
| Adresse | <b>0x01<sub>H</sub>/1<sub>D</sub>/0x3031<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit  |
| I/O     | lesen  |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                          |

- [23] wenn ,1', Hauptschütz geschlossen
- [22] n.u., immer ,1'
- [21] n.u., immer ,1'
- [20] wenn ,1', Regler über Switching Operations freigegeben
- [19..16] Status des Moduls

| [3..0] | Status  |
|--------|---|
| 0x0    | Kein Status lesbar  |
| 0x1    | <i>cSTATUSSetDefaults/<br/>cSTATUSWaitForParameters</i><br>keine definierter Status   |
| 0x2    | <i>cSTATUSUnitOff</i><br>Gerät ausgeschaltet  |
| 0x3    | <i>cSTATUSLoadingBank</i><br>Bank laden   |
| 0x4    | <i>cSTATUSSwitchingUnitOn</i><br>Gerät einschalten  |
| 0x5    | <i>cSTATUSUnitOn</i><br>Gerät eingeschaltet   |
| 0x6    | <i>cSTATUSControllerDisabledByFPGAInternalCause</i><br>FPGA interne Gründe (des Status erzeugenden Moduls) sperren den Regler |
| 0x7    | <i>cSTATUSControllerEnabled</i><br>Regler freigegeben   |
| 0x8    | <i>cSTATUSSwitchingUnitOff</i><br>Gerät ausschalten   |
| 0x9    | <i>cSTATUSControllerDisabledByCommand</i><br>Das Kommando <i>cCMDDisableController</i> sperrt den Regler                      |
| 0xA    | <i>cSTATUSControllerDisabledByFPGAExternalCause</i><br>FPGA externe Gründe (des Status erzeugenden Moduls) sperren den Regler |
| 0xB    | <i>cSTATUSResetInterlocks</i>   |
| 0xC    | <i>cSTATUSMachineProtection</i>   |
| 0xD    | n.u.  |
| 0xE    | <i>cSTATUSPowerOnReset</i>  |
| 0xF    | <i>cSTATUSWhenOthers</i><br>keine definierter Status  |

- [15..12] Modul Kommando  
→ siehe FSP010\_ModuleCommands
- [11..9] Reserviert  
Reserviert für zukünftige Anwendungen
- [8] USIIsHighSpeed  
wenn ,1' ist USI im Highspeed Mode
- [7..6] Reserviert  
Reserviert für zukünftige Anwendungen

- [5] NoInterlocks  
wenn ,1' stehen keine Interlocks an  
Im Modul sind keine Interlocks gespeichert und es stehen auch keine Interlocks an.
- [4] NoErrors  
wenn ,1' ist Modul fehlerfrei  
Im Modul sind keine Fehler gespeichert die den Betrieb stören.
- [3] NoWarnings  
wenn ,1' ist Modul ohne Warnungen  
Im Modul sind keine Warnmeldungen vorhanden die den Betrieb zwar nicht stören aber trotzdem überprüft werden müssten (Details im FSP für die Warnungsbits) z.B. Temperatur zu hoch.
- [2] ModuleReady  
wenn ,1' ist Modul betriebsbereit  
Das Modul ist voll betriebsbereit
- [1] ChecksumOK  
wenn ,1' Parameter Checksumme OK  
Die Prüfsumme für die Modulparameter ist bestätigt.
- [0] ParametersLoaded  
wenn ,1' sind die Parameter geladen  
Das Modul hat seine Konfigurationsparameter geladen.

|         |  |
|---------|--|
| Name    | <b>FSP002_ModuleWarnings</b>                                 |
| Adresse | <b>0x02<sub>H</sub>/2<sub>D</sub>/0x3032<sub>ASCII</sub></b> |
| Tiefe   | modulabhängig  |
| I/O     | 3 Byte / 24 Bit  |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                          |

Im FSP werden alle Warnungen bitcodiert aufgelistet die den unmittelbaren Betrieb des Moduls nicht stören, aber trotzdem von einem Techniker untersucht werden müssen, dargestellt ( z.B. Temperatur des Moduls zu hoch ).

Liegt eine Warnung vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [3] das FSP001\_ModuleStatus= ,0'.

[23..0]      n.u., immer ,1'



|         |  |
|---------|--|
| Name    | <b>FSP003_ModuleErrors</b>                                   |
| Adresse | <b>0x03<sub>H</sub>/3<sub>D</sub>/0x3033<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit  |
| I/O     | lesen  |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                          |

Der FSP enthält alle Fehler die den unmittelbaren Betrieb des Moduls und damit des Übergeordneten Gerätes gefährdet und zu einer Abschaltung führt.

Liegt ein Fehler vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [4] das FSP001\_ModuleStatus = ,0'.

[23..0]      n.u., immer ,1'

|         |  |
|---------|--|
| Name    | <b>FSP004_ModuleInterlocks</b>                               |
| Adresse | <b>0x04<sub>H</sub>/4<sub>D</sub>/0x3034<sub>ASCII</sub></b> |
| Tiefe   | 8 Byte / 64 Bit  |
| I/O     | lesen  |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                          |

Im FSP sind alle Interlocks des Moduls abgebildet sowohl die aktuell anstehenden wie auch die gespeicherten Interlockmeldungen.

Die Grenze liegt in der Mitte des FSP, wobei immer ganze Bytes für die Gruppen verwendet werden müssen. d.h. für 3 Interlocks müssen trotzdem 2 Bytes verwendet werden. 1 Byte für den aktuellen Status und 1 Byte für die gespeicherte Meldung.

Die unteren Bytes [n/2..0] des FSP sind für den aktuellen Status bestimmt und die oberen Bytes [n .. n/2] für die gespeicherten Interlocks.

Liegt ein Interlock vor ist das korrespondierende Bit ,0' andernfalls ,1'. Außerdem ist Bit [5] das FSP001\_ModuleStatus = ,0'.

Nicht genutzte Interlockbits müssen ,1' sein!

#### **Gespeicherte Interlocks**

|           |   |
|-----------|---|
| [63...59] | n.u., immer ,1'   |
| [58]      | USI Slave 3 HighSpeed Abbruch   |
| [57]      | USI Slave 2 HighSpeed Abbruch   |
| [56]      | USI Slave 1 HighSpeed Abbruch   |
| [55]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals D des generischen 13 Bit ADC überschritten  |
| [54]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals D des generischen 13 Bit ADC unterschritten |
| [53]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals C des generischen 13 Bit ADC überschritten  |
| [52]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals C des generischen 13 Bit ADC unterschritten |
| [51]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals B des generischen 13 Bit ADC überschritten  |
| [50]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals B des generischen 13 Bit ADC unterschritten |
| [49]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals A des generischen 13 Bit ADC überschritten  |
| [48]      | wenn ,0', Komparator-Schwellen des FPGA internen Komparators vom Kanals A des generischen 13 Bit ADC unterschritten |
| [47]      | wenn ,0', Komparator-Schwellen des HW-Komparators des 18-Bit Haupt ADC überschritten                                |
| [46]      | wenn ,0', Komparator-Schwellen des HW-Komparators des 18-Bit Haupt ADC unterschritten                               |
| [45]      | n.u., immer ,1'   |
| [44]      | wenn ,0', Hauptschütz nicht geschlossen (festgelegt via PCA'Main contactot interlock bit)                           |
| [43]      | wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 3   |
| [42]      | wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 2   |
| [41]      | wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 1   |
| [40]      | wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 0   |

- [39] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 3
- [38] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 2
- [37] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 1
- [36] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 0
- [35] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 3
- [34] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 2
- [22] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 1
- [32] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 0

#### **Aktuell anstehende Interlocks**

- [31...27] n.u., immer ,1'
- [26] USI Slave 3 HighSpeed Abbruch
- [25] USI Slave 2 HighSpeed Abbruch
- [24] USI Slave 1 HighSpeed Abbruch
- [23] wenn ,0', pos. Schwellen des FPGA internen Komparators vom Kanals D des generischen 13 Bit ADC überschritten
- [22] wenn ,0', neg. Schwellen des FPGA internen Komparators vom Kanals D des generischen 13 Bit ADC unterschritten
- [21] wenn ,0', pos. Schwellen des FPGA internen Komparators vom Kanals C des generischen 13 Bit ADC überschritten
- [20] wenn ,0', neg. Schwellen des FPGA internen Komparators vom Kanals C des generischen 13 Bit ADC unterschritten
- [19] wenn ,0', pos. Schwellen des FPGA internen Komparators vom Kanals B des generischen 13 Bit ADC überschritten
- [18] wenn ,0', neg. Schwellen des FPGA internen Komparators vom Kanals B des generischen 13 Bit ADC unterschritten
- [17] wenn ,0', pos. Schwellen des FPGA internen Komparators vom Kanals A des generischen 13 Bit ADC überschritten
- [16] wenn ,0', neg. Schwellen des FPGA internen Komparators vom Kanals A des generischen 13 Bit ADC unterschritten
- [15] wenn ,0', pos. Schwellen des HW-Komparators des 18-Bit Haupt ADC überschritten
- [14] wenn ,0', neg. Schwellen des HW-Komparators des 18-Bit Haupt ADC unterschritten
- [13] n.u., immer ,1'
- [12] wenn ,0', Hauptschütz nicht geschlossen (festgelegt via PCA'Main contactot interlock bit)
- [11] wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 3
- [10] wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 2
- [9] wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 1
- [8] wenn ,0', Interlock kommend vom ICJX, Nibble 2, Bit 0
- [7] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 3
- [6] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 2
- [5] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 1
- [4] wenn ,0', Interlock kommend vom ICJX, Nibble 1, Bit 0
- [3] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 3

- [2] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 2
- [1] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 1
- [0] wenn ,0', Interlock kommend vom ICJX, Nibble 0, Bit 0

|         |  |
|---------|--|
| Name    | <b>FSP006_InterlocksArrivalSequence</b>                      |
| Adresse | <b>0x06<sub>H</sub>/6<sub>D</sub>/0x3036<sub>ASCII</sub></b> |
| Tiefe   | 6 Byte / 48 Byte   |
| I/O     | lesen  |
| Reset   | Reset:0x(siehe Beschreibung) <sub>H</sub>                    |

Dieser FSP liefert die zeitliche Abfolge auftretender Interlocks. Liegen mehrere Interlocks an, kann über diesen FSP die zeitliche Abfolge von deren Auftreten gelesen werden.

Zu beachten ist, treten Interlocks zeitgleich (also im selben Taktzyklus) auf, wird nur das hochwertigste Interlockbit erfasst und in diesem FSP abgelegt.

Werden also z.B. die Interlocks Bit[1], Bit[3] und Bit[7] im selben Takt erfasst, wird nur Bit[7] im FSP abgelegt.

Das FSP erfasst die 5 zuerst auftretenden Interlocks dieses Moduls.

- [47..40] Das Interlockbit des zuerst aufgetretenen Interlocks (i)
- [39..32] Das Interlockbit des vor (i) aufgetretenen Interlocks (i-1)
- [31..24] Das Interlockbit des vor (i-1) aufgetretenen Interlocks (i-2)
- [23..16] Das Interlockbit des vor (i-2) aufgetretenen Interlocks (i-3)
- [15..8] Das Interlockbit des zuletzt aufgetretenen Interlocks (i-4)
- [7..0] Anzahl der erfassten Interlock im FSP006 insgesamt (0..5)

|         |  |
|---------|--|
| Name    | <b>FSP009_ModuleSerialNumber</b>                             |
| Adresse | <b>0x09<sub>H</sub>/9<sub>D</sub>/0x3039<sub>ASCII</sub></b> |
| Tiefe   | 6 Byte / 48 Bit  |
| I/O     | lesen  |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                          |

Der FSP enthält die Modul Serien Nummern

Die Serien Nummer ist über einen One Wire Chip von Dallas/Maxim zu erzeugen, da gewährleistet sein muss das die Serien Nummer weltweit nur einmal vergeben ist.

[47..0]      ADC DAC IO Modul Seriennummer

|         |   |
|---------|---|
| Name    | <b>FSP010_ModuleCommands</b>                                  |
| Adresse | <b>0x0A<sub>H</sub>/10<sub>D</sub>/0x3041<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | lesen / schreiben   |
| Reset   | 0x00 <sub>H</sub>   |

Wenn ein Modul Kommandos unterstützt (Einschalten, Ausschalten, Reset usw.) dann werden diese über diesen FSP gesetzt.

[7..4] n.u.

[3..0] Diese Kommandos werden von der MFU oder PowerConfigAdvanced gesetzt und steuern die Module-/Gerätefunktionen

| [3..0] | Kommando  |
|--------|---|
| 0x0    | <i>cCMDNoAction</i><br>keine Aktion                         |
| 0x1    | <i>cCMDSwitchUnitOn</i><br>Gerät einschalten (wenn möglich) |
| 0x2    | <i>cCMDSwitchUnitOff</i><br>Gerät abschalten                |
| 0x3    | <i>cCMDResetUnit</i><br>Reset durchführen (Interlocks)      |
| 0x4    | <i>cCMDDisableController</i>                                |

|         |   |
|---------|---|
| Name    | <b>FSP011_ModuleInterlocksMask_n</b>                          |
| Adresse | <b>0x0B<sub>H</sub>/11<sub>D</sub>/0x3042<sub>ASCII</sub></b> |
| Tiefe   | 12 Byte / 96 Bit  |
| I/O     | Lesen / schreiben   |
| Reset   | 0xFF002000_ FF002000_ FF002000H                               |

Dieser FSP enthält Bitmasken, die zum einen nicht verwendete Interlocks vollständig ausmaskiert, d.h. alle nicht zu benutzenden Interlocks sind mit ,1' zu setzen. Zum anderen lassen sich Interlocks mit diesem FSP so maskieren, dass diese erst nach Freigabe des Reglers aktiviert werden. Deren Erfassung wird also während einer Reglersperre ignoriert. Hierbei ist das zugehörige Bit für verzögerte Freigabe des Interlocks (zusammen mit der Reglerfreigabe) mit ,1' zu setzen.

#### **Zugelassene Interlocks nach der Reglerfreigabe**

Diese Maske beeinflusst welche Interlocks erst nach der Reglerfreigabe zugelassen werden und ob diese dann vom FPGA erkannt und bearbeitet werden dürfen oder nicht.

Interlocks mit gesetztem Bit (,1') werden erst verzögert mit der erteilten Reglerfreigabe erfasst.

(Beispiel: Der Hauptschutz darf erst zugelassen werden, wenn die Reglerfreigabe erteilt ist. Andernfalls würde das anliegende Hauptschutz Interlock das Einschalten der SVE dauerhaft verhindern. Daher ist das zugehörige Bit auf ,1' zu setzen)

- [95..91] n.u., immer ,1'
- [90] wenn ,0', wird Interlock USI Slave 3 HighSpeed Abbruch dauerhaft erfasst
- [89] wenn ,0', wird Interlock USI Slave 2 HighSpeed Abbruch dauerhaft erfasst
- [88] wenn ,0', wird Interlock USI Slave 1 HighSpeed Abbruch dauerhaft erfasst
- [87..86] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals D des 13 Bit ADC überschritten [87], bzw. unterschritten [86] dauerhaft erfasst
- [85..84] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals C des 13 Bit ADC überschritten [85], bzw. unterschritten [84] dauerhaft erfasst
- [83..82] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals B des 13 Bit ADC überschritten [83], bzw. unterschritten [82] dauerhaft erfasst
- [81..80] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals A des 13 Bit ADC überschritten [81], bzw. unterschritten [80] dauerhaft erfasst
- [79..78] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des HW-Komparators des 18-Bit ADC überschritten [79], bzw. unterschritten [78] dauerhaft erfasst
- [76] wenn ,0', wird Interlock ,MainContactorClosedFailure\_n' - Hauptschutz wurde nicht geschlossen dauerhaft erfasst
- [75..64] wenn ,0', werden zugehörige Interlock kommend vom ICJX dauerhaft erfasst

#### **Gespeicherte Interlocks**

Diese Maske beeinflusst gespeicherte Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht.

- [63..59] n.u., immer ,1'
- [58] wenn ,0', wird Interlock USI Slave 3 HighSpeed Abbruch gespeichert
- [57] wenn ,0', wird Interlock USI Slave 2 HighSpeed Abbruch gespeichert
- [56] wenn ,0', wird Interlock USI Slave 1 HighSpeed Abbruch gespeichert



- [55..54] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals D des 13 Bit ADC überschritten [55], bzw. unterschritten [54] gespeichert
- [53..52] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals C des 13 Bit ADC überschritten [53], bzw. unterschritten [52] gespeichert
- [51..50] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals B des 13 Bit ADC überschritten [51], bzw. unterschritten [50] gespeichert
- [49..48] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals A des 13 Bit ADC überschritten [49], bzw. unterschritten [48] gespeichert
- [47..46] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des HW-Komparators des 18-Bit ADC überschritten [47], bzw. unterschritten [46] angezeigt
- [45] n.u., immer ,1'
- [44] wenn ,0', wird Interlock ,MainContactorClosedFailure\_n' - Hauptschütz wurde nicht geschlossen gespeichert
- [43..32] wenn ,0', werden zugehörige Interlock kommend vom ICJX gespeichert

#### Aktuell anstehende Interlocks

Diese Maske beeinflusst aktuell anstehende Interlocks und ob diese vom FPGA erkannt und bearbeitet werden sollen oder nicht

- [31..27] n.u., immer ,1'
- [26] wenn ,0', wird Interlock USI Slave 3 HighSpeed Abbruch angezeigt
- [25] wenn ,0', wird Interlock USI Slave 2 HighSpeed Abbruch angezeigt
- [24] wenn ,0', wird Interlock USI Slave 1 HighSpeed Abbruch angezeigt
- [23..22] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals D des 13 Bit ADC überschritten [23], bzw. unterschritten [22] angezeigt
- [21..20] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals C des 13 Bit ADC überschritten [21], bzw. unterschritten [20] angezeigt
- [19..18] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals B des 13 Bit ADC überschritten [19], bzw. unterschritten [18] angezeigt
- [17..16] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des FPGA internen Komparators vom Kanals A des 13 Bit ADC überschritten [17]}, bzw. unterschritten [16] angezeigt
- [15..14] wenn ,0', werden Interlock bezüglich der Komparator-Schwellen des HW-Komparators des 18-Bit ADC überschritten [15], bzw. unterschritten [14] angezeigt
- [13] n.u., immer ,1'
- [12] wenn ,0', wird Interlock ,MainContactorClosedFailure\_n' - Hauptschütz wurde nicht geschlossen angezeigt
- [11..0] wenn ,0', werden zugehörige Interlock kommend vom ICJX angezeigt

|         |   |
|---------|---|
| Name    | <b>FSP012_USIConfig</b>                                       |
| Adresse | <b>0x0C<sub>H</sub>/12<sub>D</sub>/0x3043<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | Lesen / schreiben   |
| Reset   | 0x00 <sub>H</sub>   |

Dieser FSP definiert die USI Konfiguration

[7]                   wenn ,1' USI im HighSpeed Modus, wenn ,0' USI im normalen Modus

[4..3]               n.u.

[2..0]               USI Bitrate

| [2..0] | Bitrate              |
|--------|----------------------|
| 111    | 115,2 kBit (default) |
| 110    | 1 MBit               |
| 101    | 2 MBit               |
| 100    | 5 MBit               |
| 011    | 10 MBit              |
| 010    | 16,6 MBit            |
| 001    | 20 MBit              |
| 000    | 25 MBit (Test only!) |

|         |   |
|---------|---|
| Name    | <b>FSP013_PeripheralConfig</b>                                |
| Adresse | <b>0x0D<sub>H</sub>/13<sub>D</sub>/0x3044<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | lesen / schreiben   |
| Reset   | 0x80 <sub>H</sub>   |

Auf dem Modul befindliche Peripherie kann mit diesem FSP konfiguriert werden

- [7] Nach einschalten der Spannungsversorgung wird dieses Bit automatisch auf ,1' gesetzt. Werden Parameter durch die MFU oder per PC geladen, die zur Prüfsummenbildung beitragen sollen, muss dieses Bit gelöscht werden, bevor der erste Parameter übertragen wird. Ist das Laden der Parameter beendet, muss dieses Bit wieder auf ,1' gesetzt werden. Im Anschluss daran wird die Vergleichs-Prüfsumme an „FSP058\_ParameterChecksumValue“ gesendet. Die Modul-Freigabe erfolgt aber nur, wenn die Vergleichs-Prüfsumme auch zu der aus den restlichen Parametern gebildeten Prüfsumme passt.  
Das Löschen dieses Bit löscht die „alte“ im Modul errechnete Prüfsumme.
- [6..0] n.u.

|         |   |
|---------|---|
| Name    | <b>FSP020_ActualValue_A</b>                                   |
| Adresse | <b>0x14<sub>H</sub>/20<sub>D</sub>/0x3134<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Gibt den gleitenden Mittelwert des Haupt ADC zurück (FAV: Floating Average Value). Der ADC läuft frei und erfasst permanent Werte. Diese werden bis zu 16fach gemittelt (siehe: „FSP060\_ADC\_Configuration“)

[23..0] Vorzeichenbehafteter ADC Wert (20 Bit), bis zu 16fach gemittelt

|         |   |
|---------|---|
| Name    | <b>FSP030_SetValue_A</b>                                      |
| Adresse | <b>0x1E<sub>H</sub>/30<sub>D</sub>/0x3145<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

Dieser FSP dient zur Übermittlung eines 20 Bit Sollwertes\_A an diverse Ziele.

[23..0] 20 Bit Sollwert\_A, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_A vorgegeben:

- Als DAC\_1 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_2 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_3 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_4 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.

|         |   |
|---------|---|
| Name    | <b>FSP031_SetValue_B</b>                                      |
| Adresse | <b>0x1F<sub>H</sub>/31<sub>D</sub>/0x3146<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

Dieser FSP dient zur Übermittlung eines 20 Bit Sollwertes\_B an diverse Ziele.

[23..0] 20 Bit Sollwert\_B, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_B vorgegeben:

- Als DAC\_1 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_2 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_3 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_4 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.

|         |   |
|---------|---|
| Name    | <b>FSP033_SetValue_C</b>                                      |
| Adresse | <b>0x20<sub>H</sub>/33<sub>D</sub>/0x3230<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

Dieser FSP dient zur Übermittlung eines 20 Bit Sollwertes\_C an diverse Ziele.

[23..0] 20 Bit Sollwert\_C, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_C vorgegeben:

- Als DAC\_1 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_2 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_3 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_4 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.

|         |   |
|---------|---|
| Name    | <b>FSP034_SetValue_D</b>                                      |
| Adresse | <b>0x21<sub>H</sub>/34<sub>D</sub>/0x3231<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

Dieser FSP dient zur Übermittlung eines 20 Bit Sollwertes\_D an diverse Ziele.

[23..0] 20 Bit Sollwert\_D, wird über verschiedene Multiplexer wahlweise diversen Zielen als endgültiger Sollwert\_D vorgegeben:

- Als DAC\_1 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_2 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_3 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.
- Als DAC\_4 Quelle mittels des DAC Quellen Multiplexers, der über „FSP072\_DACxSourceSelectionMultiplexer“ konfiguriert wird.



|         |   |
|---------|---|
| Name    | <b>FSP040_RemoteUpdateStatus</b>                              |
| Adresse | <b>0x28<sub>H</sub>/40<sub>D</sub>/0x3238<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Beim Fernupdate wird dieser FSP für das Rücklesen der Statusinformationen des Fernupdates verwendet.

[7..3] n.u.

[2] FSP042\_Busy  
wenn ,1' ist FSP42 beschäftigt (z.B. weil gerade Flashsektoren gelöscht oder programmiert werden) und es sollten KEIN Zugriffe darauf erfolgen

[1] FSP042\_ReadyToSendData,  
wenn ,1' können Daten vom Host an FSP42 abgeholt werden

[0] FSP042\_ReadyToReceiveData,  
wenn ,1' können Daten vom Host an FSP42 gesendet werden

|         |   |
|---------|---|
| Name    | <b>FSP041_RemoteUpdateCommands</b>                            |
| Adresse | <b>0x29<sub>H</sub>/41<sub>D</sub>/0x3239<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | lesen / schreiben   |
| Reset   | 0x00 <sub>H</sub>   |

Dieser FSP überträgt die Kommandos für das Fernupdate

[7..3] n.u.

[2..0] Kommandos für den RemoteUpdateHandler

| [2..0] | Kommando  |
|--------|---|
| 000    | NOP   |
| 001    | Erase Bulk, das gesamte Flash löschen                           |
| 010    | Erase Sector, nur den an 'DataAddress' angegeben Sektor löschen |
| 011    | Write single bytes, ein einzelnes Bytes ins Flash schreiben     |
| 100    | Write continuously, beliebige Anzahl Bytes ins Flash schreiben  |
| 101    | Read single byte, ein einzelnes Bytes aus dem Flash lesen       |
| 110    | Read continuously, beliebige Anzahl Bytes aus dem Flash lesen   |
| 111    | Init  |

|         |   |
|---------|---|
| Name    | <b>FSP042_RemoteUpdateData</b>                                |
| Adresse | <b>0x2A<sub>H</sub>/42<sub>D</sub>/0x3241<sub>ASCII</sub></b> |
| Tiefe   | 256 Byte / 2048 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Dieser FSP überträgt die Daten für das Fernupdate entweder vom Host zum Modul oder umgekehrt.

**Achtung:** Dieses FSP ist besonders im Hinblick auf Lesen und Schreiben. Da das FSP ein nachgeschalteter serieller Flash bedient und die empfangenen Daten direkt in diesen Flash programmiert, bzw. aus dem Flash ausgelesene Daten direkt an den Host versendet werden

#### Zugriffe einleiten

Zugriffe auf FSP042 müssen generell über FSP041 eingeleitet werden.

Das erste „Kommando“ an FSP041 lautet immer „000“ NOP. Der FSP041 muss mit ACK antworten. Darauf erfolgt das Kommando „111“ (Init). FSP041 muss auch hier mit ACK antworten.

#### Lesen

Bevor Daten aus dem FSP042 gelesen werden, muss das Lesen mit FSP041 eingeleitet werden.

Zum Lesen eines einzelnen Byte wird das Kommando: „101“ (Read single byte) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu senden (Bit[1]).

Anschließend wird FSP042 einmalig gelesen. Dabei wird das erste Byte gesendet. Der Ausleseprozess beginnt an Adresse 0x0 und wird automatisch inkrementiert. D.h. wird ein weiteres Lesekommando an FSP042 geschickt, wird das folgende Byte ausgegeben.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) gelesen werden, erfolgt dies mit dem Kommando: „110“ an FSP041.

Anschließend wird mit jedem Lesebefehl an FSP042 jeweils eine Seite Daten übertragen. Die Seiten werden dabei automatisch inkrementiert.

#### Schreiben

Bevor Daten sinnvoll ins Flash geschrieben werden können, muss dieses gelöscht werden.

Das Kommando „001“ an FSP041 löscht dieses komplett, das Kommando „010“ an FSP041 hingegen nur die aktuell adressierte Page. Da ein direktes Adressieren der Page im ASCII nicht möglich ist, entfällt die Verwendung dieses Kommandos. In jedem Fall muss FSP042 ACK antworten. Der EPCS Controller beginnt dann unmittelbar mit dem Löschen des Flashs.

Jetzt kann sofort ein erneutes Init-Kommando („111“) an FSP041 gesendet werden. Dieser muss mit ACK antworten.

Jetzt erfolgt die Einleitung des Schreibkommandos.

Zum Schreiben eines einzelnen Byte wird das Kommando: „011“ (Write single bytes) an FSP041 gesendet. FSP041 muss mit ACK antworten.

Sollen hingegen die Daten seitenweise (jeweils 256 Byte) geschrieben werden, erfolgt dies mit dem Kommando: „100“.

Durch lesen von FSP040 lässt sich kontrollieren, ob FSP042 prinzipiell bereit ist Daten zu empfangen, sobald das Bit[0] gesetzt wird. Dieses wird gesetzt, wenn der Löschvorgang abgeschlossen und ein Schreibkommando geschickt wurde. Der Löschvorgang kann bis zu 20 Sekunden dauern.

Anschließend wird abhängig vom Schreibkommando mit dem Schreibbefehl an FSP042 jeweils entweder ein Byte oder jeweils eine Seite Daten ins Flash übertragen. Die Adressen, bzw. Seiten werden dabei automatisch inkrementiert.

Der Schreibvorgang beginnt dabei in jedem Fall bei Adresse 0x0.

#### Abbrechen/Beenden

Alle Zugriffe (schreiben/lesen) auf den Flash über FSP042 lassen sich mit einem „111“ (Init) an FSP041 abbrechen/beenden.

|         |   |
|---------|---|
| Name    | <b>FSP043_FSP_Image_Generator</b>                             |
| Adresse | <b>0x2B<sub>H</sub>/43<sub>D</sub>/0x3242<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x00_00_00 <sub>H</sub>                                       |

Über diesen FSP wird ein FSP Image erzeugt und im seriellen Flash gespeichert, bzw. die Images der FSPs aus dem seriellen Flash geladen. Der serielle Flash ist hierdurch auch löschtbar. Statusrückmeldungen gibt das „FSP044\_FSP\_Image\_Status“.

#### Hinweis

Zwischen den Funktionen „FSPImgLoadImage“, „FSPImgMakelImage“ und „FSPImgEraseAll“ dürfen die Bitwechsel nicht unmittelbar erfolgen. D.h. sofern eine der Funktion benutzt wurde, muss das zugehörige Bit zuerst gelöscht werden, bevor das Bit einer anderen Funktion gesetzt wird.

- [23..16] FSPImgSectorAddress, sofern FSPImgUseSectorAddress; = ,1' wird der hier angegebene Sektor im ext. seriellen Flash gelöscht, zur Sicherung, bzw. zum Laden von FSP Daten genutzt.
- [15..8] FSPImgFSPNumber, gibt die FSP Nummer an, die mittels ,FSPImgMakelImage' ins ext. serielle Flash gesichert werden soll.
- [7..4] n.u.
- [3] FSPImgUseSectorAddress, wenn '1' wird das Image in den 'FSPImgSectorAddress' Sektor geschrieben, wenn ,0' wird die Startadresse aus dem ,M25P\_Access' Modulgeneric ,gFSPImgStartAddress' verwendet.
- [2] FSPImgEraseAll, wenn ,1' wird ein Sektor im ext. seriellen Flash gelöscht. Dieser ist abhängig von ,FSPImgUseSectorAddress' und ,FSPImgSectorAddress' oder 'gFSPImgStartAddress'. Zum Starten des Löschvorgangs muss ein ,0' → ,1' Übergang erfolgen.
- [1] FSPImgMakelImage, wenn ,1' wird der Inhalt des FSP ,FSPImgFSPNumber' ins ext. serielle Flash gesichert. Zum Starten des Sicherungsvorgangs muss ein ,0' → ,1' Übergang erfolgen. Sollen mehrere FSP gesichert werden ist ,FSPImgMakelImage' mehrfach zu aktivieren und die jeweilige FSP Nummer in ,FSPImgFSPNumber' anzugeben.
- [0] FSPImgLoadImage, wenn ,1' wird der Inhalt des ext. seriellen Flashs in die FSPs geladen. Sind zuvor mehrere FSP gesichert worden, werden alle Sicherungen geladen. Zum Starten des Ladevorgangs muss ein ,0' → ,1' Übergang erfolgen.

|         |   |
|---------|---|
| Name    | <b>FSP044_FSP_Image_Status</b>                                |
| Adresse | <b>0x2C<sub>H</sub>/44<sub>D</sub>/0x3243<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Liefert Statusrückmeldungen bzgl. des Sicherungsvorgangs von FSP Daten. Die Sicherung wird über FSP043 gesteuert.

[7..1] n.u., immer ,0'

[0] FSPImgReady, ist ,1' wenn das ext. Flash Zugriffe zum sichern/laden von FSP Daten gestattet, ist ,0' wenn Daten gesichert oder gelesen werden, bzw. ein Löschvorgang durchgeführt wird. Ist diese Bit ,0' und mittels FSP043 werden Zugriffe auf das ext. Flash gestartet ist das Ergebnis undefiniert.

|         |   |
|---------|---|
| Name    | <b>FSP045_AlteraRemoteUpdateCmd</b>                           |
| Adresse | <b>0x2D<sub>H</sub>/45<sub>D</sub>/0x3244<sub>ASCII</sub></b> |
| Tiefe   | 6 Byte / 48 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | Reset:0x0100000_0_0_0_0_0 <sub>H</sub>                        |

Dieser FSP dient als Kommando FSP für die Altera Remote Update Funktion

#### **Imagetyyp lesen**

Bit[4] = ,0' (Read)

Bit[8] = ,1' (steigende Flanke startet lesen des Imagetyps)

FSP046[1..0] enthält nun den aktuellen Imagetyyp.

#### **Imagetyyp wechseln**

Bit[4] = ,1' (Write)

Bit[12] = ,1' (steigende Flanke wechselt das Image)

[47..44] n.u.

[43..20] Flash Start Address (ab dieser Adresse wird das Image geschrieben)

[19..17] n.u.

[16] Reset WD Disable (only for debug)

[15..13] n.u.

[12] Start Write (steigende Flanke an diesem Bit startet die FSM zum Imagetyyp-Wechsel)

[11..9] n.u.

[8] Start Read (steigende Flanke an diesem Bit startet die FSM zum lesen des Image-Type)

[7..5] n.u.

[4] Read\_n\_Write\_Enable (muss ,0' sein damit ,Start Read' überhaupt ausgeführt wird, muss ,1' sein damit ,Start Write' überhaupt ausgeführt wird)

[3..2] n.u.

[1..0] Read Source

|         |   |
|---------|---|
| Name    | <b>FSP046_AlteraRemoteUpdateStatus</b>                        |
| Adresse | <b>0x2E<sub>H</sub>/46<sub>D</sub>/0x3245<sub>ASCII</sub></b> |
| Tiefe   | 10 Byte / 80 Bit  |
| I/O     | lesen   |
| Reset   | Reset:0x(siehe Beschreibung) <sub>H</sub>                     |

Dieser FSP dient als Status FSP für die Altera Remote Update Funktion

- [79..72] ReconfTriggerCondition
- [71..69] Force Osc\_int n.u.
- [68] Force Osc\_int
- [67..44] Boot Address
- [43..41] Watchdog Enable n.u.
- [40] Watchdog Enable
- [39..8] Watchdog timeout
- [7..5] Cd\_early n.u.
- [4] Cd\_early, wenn ,1' ist ein gültiges Application-Image an der Bootadresse zu finden
- [3..2] MSM State n.u.
- [1..0] MSM State ('00' = Factory Image, '11' = Application Image)



|         |   |
|---------|---|
| Name    | <b>FSP050_ModuleSupplyValues</b>                              |
| Adresse | <b>0x32<sub>H</sub>/50<sub>D</sub>/0x3332<sub>ASCII</sub></b> |
| Tiefe   | 16 Byte / 128 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Liefert die vorzeichenbehafteten Betriebsspannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 8 Spannungen ist dieses FSP 16 Byte tief Die Spannungen sind dabei wie folgt sortiert.

- [127..112] vorzeichenbehaftete VREF, 2,75 Volt (13 Bit)
- [111..96] vorzeichenbehaftete -12 Volt (13 Bit)
- [95..80] vorzeichenbehaftete 12 Volt (13 Bit)
- [79..64] vorzeichenbehaftete 5 Volt Analog (13 Bit)
- [63..48] vorzeichenbehaftete 5 Volt Digital (13 Bit)
- [47..32] vorzeichenbehaftete 3,3 Volt (13 Bit)
- [31..16] vorzeichenbehaftete 2,5 Volt (13 Bit)
- [15..0] vorzeichenbehaftete 1,2 Volt (13 Bit)

|         |   |
|---------|---|
| Name    | <b>FSP051_ModulePotiValues</b>                                |
| Adresse | <b>0x33<sub>H</sub>/51<sub>D</sub>/0x3333<sub>ASCII</sub></b> |
| Tiefe   | 4 Byte / 32 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Liefert die vorzeichenbehafteten Poti-Spannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 2 Spannungen ist dieses FSP 4 Byte tief. Die Spannungen sind dabei wie folgt sortiert.

[31..16]      vorzeichenbehaftete Poti-Spannung der positiven Schweller des 18 Bit ADC HW Komparators (13 Bit)

[15..0]      vorzeichenbehaftete Poti-Spannung der negativen Schweller des 18 Bit ADC HW Komparators (13 Bit)

|         |   |
|---------|---|
| Name    | <b>FSP052_ModuleComparatorValues</b>                          |
| Adresse | <b>0x34<sub>H</sub>/52<sub>D</sub>/0x3334<sub>ASCII</sub></b> |
| Tiefe   | 4 Byte / 32 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Liefert die vorzeichenbehafteten Komparator Spannungen des Moduls. Immer 2 Byte stehen für eine Spannung. Bei 2 Spannungen ist dieses FSP 4 Byte tief. Die Spannungen sind dabei wie folgt sortiert.

[31..16]      vorzeichenbehaftete positive Spannung des 18 Bit ADC HW Komparators (13 Bit)

[15..0]      vorzeichenbehaftete negativen Spannung des 18 Bit ADC HW Komparators (13 Bit)

|         |   |
|---------|---|
| Name    | <b>FSP053_ModuleTemperatures</b>                              |
| Adresse | <b>0x35<sub>H</sub>/53<sub>D</sub>/0x3335<sub>ASCII</sub></b> |
| Tiefe   | 4 Byte / 32 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Liefert verschiedene Temperaturen des Moduls.

3 Sensoren vom Typ TC74 liefern Statustemperaturen des Moduls mit 8 Bit Auflösung (inkl. Vorzeichen). Diese Sensoren können für Alarmzwecke verwendet werden. Die Alarmschwellen sind zur Laufzeit änderbar und im Standard FSP 054 hinterlegt.

1 Sensor vom Typ ADT7410 liefert die Temperatur im ADC Blechgehäuse mit 16 Bit Auflösung (inkl. Vorzeichen)

[31..24] TC74\_Control\_Alarm\_Info

| [7..0] | Bedeutung  |
|--------|--|
| 0x00   | n.u., Resetzustand   |
| 0x01   | Device 1 nicht bereit                                      |
| 0x02   | Device 2 nicht bereit                                      |
| 0x04   | Device 3 nicht bereit                                      |
| 0x08   | DeviceSearchRunDone  |
| 0x10   | Device 1 Grenze überschritten                              |
| 0x20   | Device 2 Grenze überschritten                              |
| 0x40   | Device 3 Grenze überschritten                              |
| 0x80   | Alarm Interrupt wenn Grenze bei einem Device überschritten |

[23..16] TC74 Sensor 3: Temperatur Modul Mitte (8 Bit inkl. Vorzeichen)

[15..8] TC74 Sensor 2: Temperatur FPGA (8 Bit inkl. Vorzeichen)

[7..0] TC74 Sensor 1: Temperatur DC-DC Wandler (8 Bit inkl. Vorzeichen)

|         |   |
|---------|---|
| Name    | <b>FSP054_ModuleTemperaturesComparativeThresholds</b>         |
| Adresse | <b>0x36<sub>H</sub>/54<sub>D</sub>/0x3336<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | Lesen / schreiben   |
| Reset   | 0x46_46_46 <sub>H</sub>                                       |

Stellt die vorzeichenbehafteten Vergleichswerte zur Verfügung bei denen die TC74 Temperatursensoren Alarm auslösen sollen, sofern die Temperatur überschritten wurde.

Je Temperatur 2 Byte ASCII, also je 1 Byte Vorzeichen behaftetes HEX Zeichen.

Als Standardwert ist 70° Celsius (70<sub>D</sub> = 46<sub>H</sub>) gewählt.

[23..16]      Sensor 3: Temperatur Modul Mitte (8 Bit)

[15..8]        Sensor 2: Temperatur FPGA (8 Bit)

[7..0]         Sensor 1: Temperatur DC-DC Wandler (8 Bit)

|         |   |
|---------|---|
| Name    | <b>FSP058_ParameterChecksumValue</b>                          |
| Adresse | <b>0x3A<sub>H</sub>/58<sub>D</sub>/0x3341<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

Repräsentiert die Vergleichs-Prüfsumme der vom Module empfangenen Parameter. Dieser Wert dient zum Vergleich der im Modul errechneten Prüfsumme.

Die Modul-Prüfsumme wird dabei aus den empfangenen Datenbytes durch aufaddieren gebildet und abschließend mit dem Eintrag von „FSP059\_ParameterChecksumValueCalculated“ verglichen.

[23..0]      Checksumme der Datenübertragung zum ADC.

Die Prüfsumme wird im Modul ChecksumBuilder der Teil von mUISC (modular-USI-control) ist aus den Daten der beschriebenen FSP gebildet und abschließend mit dem Wert dieses FSP verglichen.

|         |   |
|---------|---|
| Name    | <b>FSP059_ParameterChecksumValueCalculated</b>                |
| Adresse | <b>0x3B<sub>H</sub>/59<sub>D</sub>/0x3342<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Repräsentiert die errechnete Prüfsumme innerhalb des Moduls. Gibt die aktuell im Modul errechnete Prüfsumme zurück. Dadurch kann der Fortschritt der Prüfsummenbildung jederzeit verifiziert werden.

[23..0]       errechnete Checksumme der Datenübertragung vom PC, bzw. MFU.

|         |   |
|---------|---|
| Name    | <b>FSP060_ADC_Configuration</b>                               |
| Adresse | <b>0x3C<sub>H</sub>/60<sub>D</sub>/0x3343<sub>ASCII</sub></b> |
| Tiefe   | 1 Byte / 8 Bit  |
| I/O     | Lesen / schreiben   |
| Reset   | 0x00 <sub>H</sub>   |

Repräsentiert verschiedene Konfigurationszustände des ADC Moduls.

[7..4] n.u.

[5] ADC\_ExternalConStartSignal\_Enable, wenn ,1' wird der ADC über den HighSpeedReceiver getriggert, andernfalls läuft er frei. D.h. jedes Mal, wenn vom Host ein neuer HighSpeed Wert am ADC DAC IO Module ankommt und erfolgreich ausdekodiert wurde, also im Modul zur Verfügung steht, startet eine neue ADC Messung.

[4] Remove Outliers, wenn ,1' werden der größte und der kleinste Wert bei der Mittelwertbildung ausgeblendet. Wenn ,0' werden alle Werte zur Mittelwertbildung (sofern diese nicht abgeschaltet ist) herangezogen.

[3..0] ADC Mittelwertbildung

| [3..0] | Mittelwertbildung     |
|--------|-----------------------|
| 0x0    | Mittelwertbildung aus |
| 0x1    | 2fach Mittelung       |
| 0x2    | 4fach Mittelung       |
| 0x3    | 8fach Mittelung       |
| 0x4    | 16fach Mittelung      |



|         |   |
|---------|---|
| Name    | <b>FSP061_ ADCCalibrationGAIN</b>                             |
| Adresse | <b>0x3D<sub>H</sub>/61<sub>D</sub>/0x3344<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x4010E4 <sub>H</sub>   |

Wird als Hilfs-FSP zur Kalibrierung des ADC DAC IO Moduls verwendet. Enthält die Verstärkungskorrektur (Skalierungsfaktor) des 18 Bit ADC, der über PowerConfigAdvanced beim Kalibriervorgang ermittelt und dann nicht flüchtig im ADC DAC IO Modul gespeichert wird. Nach dem Einschalten der Spannungsversorgung wird dieses FSP im Falle einer durchgeführten Kalibrierung mit dem gespeicherten Kalibrierwert geladen. Der Resetwert wird dabei überschrieben.

[23..0] Vorzeichenbehafteter 18 Bit Skalierungswert zur Korrektur der ADC Verstärkung

|         |   |
|---------|---|
| Name    | <b>FSP062_ADCCalibrationOFFSET</b>                            |
| Adresse | <b>0x3E<sub>H</sub>/62<sub>D</sub>/0x3345<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000EC9 <sub>H</sub>   |

Wird als Hilfs-FSP zur Kalibrierung des ADC DAC Moduls verwendet. Enthält die Offsetkorrektur des 18 Bit ADC, der über PowerConfigAdvanced beim Kalibriervorgang ermittelt und dann nicht flüchtig im ADC DAC IO Moduls gespeichert wird. Nach dem Einschalten der Spannungsversorgung wird dieses FSP im Falle einer durchgeführten Kalibrierung mit dem gespeicherten Kalibrierwert geladen. Der Resetwert wird dabei überschrieben.

[23..0]      Vorzeichenbehaftete 18 Bit Offsetkorrektur des ADC

|         |   |
|---------|---|
| Name    | <b>FSP063_ADCFAVResult</b>                                    |
| Adresse | <b>0x3F<sub>H</sub>/63<sub>D</sub>/0x3346<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Gibt den gleitenden Mittelwert des 18 Bit ADC zurück (FAV: Floating Average Value). Der ADC läuft frei und erfasst permanent Werte. Diese werden bis zu 16fach gemittelt (siehe: „FSP060\_ADC\_Configuration“)

[23..0]      Vorzeichenbehafteter ADC Wert (20 Bit), bis zu 16fach gemittelt

|         |   |
|---------|---|
| Name    | <b>FSP064_InterlockSelectMUX</b>                              |
| Adresse | <b>0x40<sub>H</sub>/64<sub>D</sub>/0x3440<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte /24 Bit  |
| I/O     | lesen / schreiben   |
| Reset   | 0x00_OC_00 <sub>H</sub>                                       |

Diese FSP legt fest welches korrespondierende Bit der anstehenden Interlocks eine Sonderfunktion auslöst.

Der dabei zu selektierende Bit-Bus ist 32 Bit breit (gezählt werden die Bits von 0..31) und ist wie folgt belegt:

[InterlockBits(31..0)]

InterlockBits entspricht dabei der Interlockverteilung aus „FSP004\_ModuleInterlocks“.

[23..22] n.u.

[20..16] Bitposition, an der das Hauptschütz-Interlock zu finden ist.  
 Das Hauptschütz wird über einen elektrischen Schaltausgang bedient.  
 Das Hauptschütz-Interlock ist im abgeschalteten Zustand des Gerätes immer aktiv, da das offene Hauptschütz automatisch einen Fehler signalisiert. Soll das Gerät nun eingeschaltet werden, muss das Hauptschütz-Interlock zunächst über die  
 „FSP011\_ModuleInterlocksMask\_n“ als zugelassenes Interlocks nach der ReglerFreigabe definiert werden. Dadurch ist der zugehörige Interlockeingang bis zur Regler-Freigabe deaktiviert. Außerdem muss die Bitposition in diesem FSP festgelegt werden, damit die Rückmeldung des Hauptschützes über den zugehörigen Interlockeingang im ADC DAC IO Modul korrekt verarbeitet werden kann. Andernfalls wird das ADC DAC IO Modul keine Regler-Freigabe erteilen.

Nach dem Reset ist Interlockbit[12] ausgewählt.

[15..0] n.u.

|         |   |
|---------|---|
| Name    | <b>FSP066_ValCounter</b>                                      |
| Adresse | <b>0x42<sub>H</sub>/66<sub>D</sub>/0x3432<sub>ASCII</sub></b> |
| Tiefe   | 4 Byte / 32 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x00_00_00_00 <sub>H</sub>                                    |

Gibt Zeiten vor, die das ADC DAC IO für die Ein-/Ausschaltzyklen benötigt

- [31..24] ,Val\_CutOffTime\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Wiedereinschaltssperre des Gerätes freigegeben wird nachdem das Gerät ausgeschaltet wurde
- [23..16] ,Val\_Timer3\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis die Regler-Freigabe erfolgt nachdem der elektrische Schaltkontakt 3 eingeschaltet wurde
- [15..8] ,Val\_Timer2\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunden, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 3 eingeschaltet wird nachdem der elektrische Schaltkontakt 2 eingeschaltet wurde
- [7..0] ,Val\_Timer1\_RunTime\_in\_s' = Wertigkeit \* 1 Sekunde, gibt die Zeit an die vergeht, bis der elektrische Schaltkontakt 2 eingeschaltet wird nachdem der elektrische Schaltkontakt 1 eingeschaltet wurde

|         |   |
|---------|---|
| Name    | <b>FSP070_ICJX_Port_Configuration</b>                         |
| Adresse | <b>0x46<sub>H</sub>/70<sub>D</sub>/0x3436<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x000000 <sub>H</sub>   |

- [23] RD/nWr, wenn ,1' Daten lesen, wenn ,0' Daten schreiben
- [22] Anzahl der zu lesenden oder schreibenden Bytes,  
wenn ,0' = 1 Byte,  
wenn ,1' = 2 Byte
- [21] Mode,  
wenn ,1' - der ICJX wird nur über die FSPs konfiguriert und betrieben  
wenn ,0' - der Chip läuft selbstständig als Interlockkontroller und Schaltsystem.
- [20..16] 5 Bit Register Startadresse
- [15..0] 16 Bit Register Daten beim schreiben; beim Lesen sind diese Bit ,don't care'

|         |   |
|---------|---|
| Name    | <b>FSP071_ICJX_RD_Data</b>                                    |
| Adresse | <b>0x47<sub>H</sub>/71<sub>D</sub>/0x3437<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Die aus dem ICJX gelesenen Daten

Ist in „FSP070\_ICJX\_Port\_Configuration[21]“ = Mode 0 gewählt läuft der ICJX selbstständig als Interlockkontroller und Schaltsystem

|         |   |
|---------|---|
| Name    | <b>FSP072_DACxSourceSelectionMultiplexer</b>                  |
| Adresse | <b>0x48<sub>H</sub>/72<sub>D</sub>/0x3438<sub>ASCII</sub></b> |
| Tiefe   | 3 Byte / 24 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x00_0_0_0_0 <sub>H</sub>                                     |

Repräsentiert die Einstellungen der DAC Eingangsmultiplexer.

[23..20] n.u.

[19] '1' Ausgangswert des Multiplexers [DAC\_4\_Source[19..0]] → X8 wird invertiert

[18] '1' Ausgangswert des Multiplexers [DAC\_3\_Source[19..0]] → X7 wird invertiert

[17] '1' Ausgangswert des Multiplexers [DAC\_2\_Source[19..0]] → X6 wird invertiert

[16] '1' Ausgangswert des Multiplexers [DAC\_1\_Source[19..0]] → X5 wird invertiert

[15..12] Quellenwahl für Multiplexer Ausgangssignal [DAC\_4\_Source[19..0]] → X8

| [3..0] | Ausgang des Multiplexers                            |
|--------|---|
| 0x0    | 0   |
| 0x1    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0x2    | FSP031_SetValue_B[23..4] (20 Bit)                   |
| 0x3    | FSP032_SetValue_C[23..4]                            |
| 0x4    | FSP033_SetValue_D[23..4]                            |
| 0x5    | MainADC_FAV_Result[19..0]                           |
| 0x6    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x7    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x8    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x9    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0xA    | intFuncGenOutput (20 Bit)                           |
| 0xB    | ReceivedHighSpeedMux_A[19..0]                       |
| 0xC    | ReceivedHighSpeedMux_B[19..0]                       |
| 0xD    | ReceivedHighSpeedMux_C[19..0]                       |
| 0xE    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0xF    | FSP031_SetValue_B[23..4] (20 Bit)                   |

[11..8] Quellenwahl für Multiplexer Ausgangssignal [DAC\_3\_Source[19..0]] → X7

| [3..0] | Ausgang des Multiplexers                            |
|--------|---|
| 0x0    | 0   |
| 0x1    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0x2    | FSP031_SetValue_B[23..4] (20 Bit)                   |
| 0x3    | FSP032_SetValue_C[23..4]                            |
| 0x4    | FSP033_SetValue_D[23..4]                            |
| 0x5    | MainADC_FAV_Result[19..0]                           |
| 0x6    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x7    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x8    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x9    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0xA    | intFuncGenOutput (20 Bit)                           |
| 0xB    | ReceivedHighSpeedMux_A[19..0]                       |
| 0xC    | ReceivedHighSpeedMux_B[19..0]                       |



[7..4]

|     |                                   |
|-----|-----------------------------------|
| 0xD | ReceivedHighSpeedMux_C[19..0]     |
| 0xE | FSP030_SetValue_A[23..4] (20 Bit) |
| 0xF | FSP031_SetValue_B[23..4] (20 Bit) |

Quellenwahl für Multiplexer Ausgangssignal [DAC\_2\_Source[19..0]] → X6

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                            |
| 0x0    | 0   |
| 0x1    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0x2    | FSP031_SetValue_B[23..4] (20 Bit)                   |
| 0x3    | FSP032_SetValue_C[23..4]                            |
| 0x4    | FSP033_SetValue_D[23..4]                            |
| 0x5    | MainADC_FAV_Result[19..0]                           |
| 0x6    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x7    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x8    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x9    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0xA    | intFuncGenOutput (20 Bit)                           |
| 0xB    | ReceivedHighSpeedMux_A[19..0]                       |
| 0xC    | ReceivedHighSpeedMux_B[19..0]                       |
| 0xD    | ReceivedHighSpeedMux_C[19..0]                       |
| 0xE    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0xF    | FSP031_SetValue_B[23..4] (20 Bit)                   |

[3..0]

Quellenwahl für Multiplexer Ausgangssignal [DAC\_1\_Source[19..0]] → X5

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                            |
| 0x0    | 0   |
| 0x1    | FSP030_SetValue_A[23..4] (20 Bit)                   |
| 0x2    | FSP031_SetValue_B[23..4] (20 Bit)                   |
| 0x3    | FSP032_SetValue_C[23..4]                            |
| 0x4    | FSP033_SetValue_D[23..4]                            |
| 0x5    | MainADC_FAV_Result[19..0]                           |
| 0x6    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x7    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x8    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x9    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0xA    | intFuncGenOutput (20 Bit)                           |
| 0xB    | ReceivedHighSpeedMux_A[19..0]                       |
| 0xC    | ReceivedHighSpeedMux_B[19..0]                       |
| 0xD    | ReceivedHighSpeedMux_C[19..0]                       |
| 0xE    | n.u.  |
| 0xF    | n.u.  |

|         |   |
|---------|---|
| Name    | <b>FSP073_DACGain_Offset</b>                                  |
| Adresse | <b>0x49<sub>H</sub>/73<sub>D</sub>/0x3439<sub>ASCII</sub></b> |
| Tiefe   | 24 Byte / 192 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x4000 0000 4000 0000 4000 0000 4000 0000 <sub>H</sub>        |

Repräsentiert den Verstärkungsfaktor und Offsetwert des 4-fachen DAC für die vorne am ADC\_DAC\_IO-Modul vorhandenen DAC Diagnosebuchsen.

- [191..168] DAC 4 (Lemo X9) Gain, vorzeichenbehafteter 19 Bit Wert
- [167..144] DAC 4 (Lemo X9) Offset, vorzeichenbehafteter 18 Bit Wert
- [143..120] DAC 3 (Lemo X7) Gain, vorzeichenbehafteter 19 Bit Wert
- [119..96] DAC 3 (Lemo X7) Offset, vorzeichenbehafteter 18 Bit Wert
- [95..72] DAC 2 (Lemo X6) Gain, vorzeichenbehafteter 19 Bit Wert
- [71..48] DAC 2 (Lemo X6) Offset, vorzeichenbehafteter 18 Bit Wert
- [47..24] DAC 1 (Lemo X5) Gain, vorzeichenbehafteter 19 Bit Wert
- [23..0] DAC 1 (Lemo X5) Offset, vorzeichenbehafteter 18 Bit Wert

|         |   |
|---------|---|
| Name    | <b>FSP074_HighSpeed_ReturnChannel_SourceSelectionMux</b>      |
| Adresse | <b>0x4A<sub>H</sub>/74<sub>D</sub>/0x3441<sub>ASCII</sub></b> |
| Tiefe   | 5 Byte / 40 Bit   |
| I/O     | schreiben/lesen   |
| Reset   | 0x0_0_0_0_0_0_0_0_0_0 <sub>H</sub>                            |

ADC\_DAC\_IO\_Ver.II verfügt über insgesamt 3 USI Anschlüsse.

Ermöglicht das Setzen der HighSpeed Rückkanal-Multiplexer

Die drei HighSpeed Rückkanal verfügen über insgesamt maximal 32 Bits, die wie folgt belegt sind.

HighSpeed\_ReturnChannel\_Higher\_14Bits\_Mux [31..18] definierbar

HighSpeed\_ReturnChannel\_Lower\_14Bits\_Mux [17..4] definierbar

SwitchingOperationsStatus [3..0] fix

[39..36] HighSpeed\_ReturnChannel\_USI\_Slave\_3\_Dw[19..0]

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                    |
| 0x0    | 0   |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0]           |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0]           |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0]           |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0]           |
| 0x5    | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6    | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7    | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8    | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9    | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA    | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB    | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC    | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |
| 0xD    | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
| 0xE    | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
| 0xF    | intFuncGenOutput[19..0]                     |

[35..32] HighSpeed\_ReturnChannel\_USI\_Slave\_3\_Up[19..0]

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                    |
| 0x0    | 0   |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0]           |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0]           |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0]           |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0]           |
| 0x5    | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6    | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7    | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8    | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9    | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA    | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB    | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC    | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |

|          |   |   |
|----------|---|---|
|          | 0xD   | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
|          | 0xE   | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
|          | 0xF   | intFuncGenOutput[19..0]                     |
| [31..28] | HighSpeed_ReturnChannel_USI_Slave_2_Dw[19..0] |   |

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                    |
| 0x0    | 0   |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0]           |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0]           |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0]           |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0]           |
| 0x5    | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6    | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7    | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8    | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9    | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA    | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB    | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC    | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |
| 0xD    | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
| 0xE    | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
| 0xF    | intFuncGenOutput[19..0]                     |

[27..24] HighSpeed\_ReturnChannel\_USI\_Slave\_2\_Up[19..0]

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                    |
| 0x0    | 0   |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0]           |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0]           |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0]           |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0]           |
| 0x5    | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6    | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7    | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8    | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9    | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA    | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB    | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC    | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |
| 0xD    | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
| 0xE    | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
| 0xF    | intFuncGenOutput[19..0]                     |

[23..20] HighSpeed\_ReturnChannel\_Lower\_14Bits[19..0]

|        |                                   |
|--------|-----------------------------------|
| [3..0] | Ausgang des Multiplexers          |
| 0x0    | 0                                 |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0] |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0] |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0] |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0] |

|     |   |
|-----|---|
| 0x5 | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6 | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7 | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8 | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9 | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |
| 0xD | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
| 0xE | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
| 0xF | intFuncGenOutput[19..0]                     |

[19..16] HighSpeed\_ReturnChannel\_Upper\_14Bits[19..0]

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                    |
| 0x0    | 0   |
| 0x1    | ADC_MuxOut_A[19..6],GND_BUS[5..0]           |
| 0x2    | ADC_MuxOut_B[19..6],GND_BUS[5..0]           |
| 0x3    | ADC_MuxOut_C[19..6],GND_BUS[5..0]           |
| 0x4    | ADC_MuxOut_D[19..6],GND_BUS[5..0]           |
| 0x5    | ReceivedHighSpeedMux_A[19..6],GND_BUS[5..0] |
| 0x6    | ReceivedHighSpeedMux_B[19..6],GND_BUS[5..0] |
| 0x7    | ReceivedHighSpeedMux_C[19..6],GND_BUS[5..0] |
| 0x8    | ADC_MuxOut_A[5..0],GND_BUS[13..0]           |
| 0x9    | ADC_MuxOut_B[5..0],GND_BUS[13..0]           |
| 0xA    | ADC_MuxOut_C[5..0],GND_BUS[13..0]           |
| 0xB    | ADC_MuxOut_D[5..0],GND_BUS[13..0]           |
| 0xC    | ReceivedHighSpeedMux_A[5..0],GND_BUS[13..0] |
| 0xD    | ReceivedHighSpeedMux_B[5..0],GND_BUS[13..0] |
| 0xE    | ReceivedHighSpeedMux_C[5..0],GND_BUS[13..0] |
| 0xF    | intFuncGenOutput[19..0]                     |

[15..12] ADC\_MuxOut\_D[19..0]

Trifft ein Vorauswahl bzgl. des „ADC\_MuxOut\_D“ Wertes

|        |   |
|--------|---|
| [3..0] | Ausgang des Multiplexers                            |
| 0x0    | 0   |
| 0x1    | MainADC_FAV_Result[19..0]                           |
| 0x2    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x3    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x4    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x5    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0x6    | MainADC_ResCalibr[17..0],GND_BUS[1..0]              |
| 0x7    | GND_BUS[19..0]                                      |
| 0x8    | GND_BUS[19..0]                                      |
| 0x9    | GND_BUS[19..0]                                      |
| 0xA    | GND_BUS[19..0]                                      |
| 0xB    | GND_BUS[19..0]                                      |
| 0xC    | GND_BUS[19..0]                                      |
| 0xD    | GND_BUS[19..0]                                      |

[11..8]

ADC\_MuxOut\_C[19..0]

Trifft ein Vorauswahl bzgl. des „ADC\_MuxOut\_C“ Wertes

| [3..0] | Ausgang des Multiplexers                            |
|--------|---|
| 0x0    | 0   |
| 0x1    | MainADC_FAV_Result[19..0]                           |
| 0x2    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x3    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x4    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x5    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0x6    | MainADC_ResCalibr[17..0],GND_BUS[1..0]              |
| 0x7    | GND_BUS[19..0]                                      |
| 0x8    | GND_BUS[19..0]                                      |
| 0x9    | GND_BUS[19..0]                                      |
| 0xA    | GND_BUS[19..0]                                      |
| 0xB    | GND_BUS[19..0]                                      |
| 0xC    | GND_BUS[19..0]                                      |
| 0xD    | GND_BUS[19..0]                                      |
| 0xE    | GND_BUS[19..0]                                      |
| 0xF    | GND_BUS[19..0]                                      |

[7..4]

ADC\_MuxOut\_B[19..0]

Trifft ein Vorauswahl bzgl. des „ADC\_MuxOut\_B“ Wertes

| [3..0] | Ausgang des Multiplexers                            |
|--------|---|
| 0x0    | 0   |
| 0x1    | MainADC_FAV_Result[19..0]                           |
| 0x2    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |
| 0x3    | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x4    | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x5    | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0x6    | MainADC_ResCalibr[17..0],GND_BUS[1..0]              |
| 0x7    | GND_BUS[19..0]                                      |
| 0x8    | GND_BUS[19..0]                                      |
| 0x9    | GND_BUS[19..0]                                      |
| 0xA    | GND_BUS[19..0]                                      |
| 0xB    | GND_BUS[19..0]                                      |
| 0xC    | GND_BUS[19..0]                                      |
| 0xD    | GND_BUS[19..0]                                      |
| 0xE    | GND_BUS[19..0]                                      |
| 0xF    | GND_BUS[19..0]                                      |

[3..0]

ADC\_MuxOut\_A[19..0]

Trifft ein Vorauswahl bzgl. des „ADC\_MuxOut\_A“ Wertes

| [3..0] | Ausgang des Multiplexers                            |
|--------|---|
| 0x0    | 0   |
| 0x1    | MainADC_FAV_Result[19..0]                           |
| 0x2    | GenericADC_Value_Ch4[15..0],GND_BUS[3..0] (Kanal A) |

|     |   |
|-----|---|
| 0x3 | GenericADC_Value_Ch5[15..0],GND_BUS[3..0] (Kanal B) |
| 0x4 | GenericADC_Value_Ch6[15..0],GND_BUS[3..0] (Kanal C) |
| 0x5 | GenericADC_Value_Ch7[15..0],GND_BUS[3..0] (Kanal D) |
| 0x6 | MainADC_ResCalibr[17..0],GND_BUS[1..0]              |
| 0x7 | GND_BUS[19..0]                                      |
| 0x8 | GND_BUS[19..0]                                      |
| 0x9 | GND_BUS[19..0]                                      |
| 0xA | GND_BUS[19..0]                                      |
| 0xB | GND_BUS[19..0]                                      |
| 0xC | GND_BUS[19..0]                                      |
| 0xD | GND_BUS[19..0]                                      |
| 0xE | GND_BUS[19..0]                                      |
| 0xF | GND_BUS[19..0]                                      |

|         |   |
|---------|---|
| Name    | <b>FSP075_HighSpeed_IncomingChannel_SourceSelectionMux</b>    |
| Adresse | <b>0x4B<sub>H</sub>/75<sub>D</sub>/0x3442<sub>ASCII</sub></b> |
| Tiefe   | 2 Byte / 16 Bit   |
| I/O     | schreiben/lesen   |
| Reset   | 0x0_0_0_0_0 <sub>H</sub>                                      |

ADC\_DAC\_IO\_Ver.II verfügt über insgesamt 3 USI Anschlüsse.

Über diesen FSP wird ausgewählt, welche über diese USI ankommenden Daten im Modul ggf. verwendet werden können.

[15..12] n.u.

[11..8] ReceivedHighSpeedMux\_C [19..0]

| [3..0] | Ausgang des Multiplexers                                     |
|--------|--|
| 0x0    | 0  |
| 0x1    | HighSpeedPort_USI_Slave_1_ReceivedData[31..12]               |
| 0x2    | HighSpeedPort_USI_Slave_1_ReceivedData[31..18],GND_BUS[5..0] |
| 0x3    | HighSpeedPort_USI_Slave_1_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x4    | HighSpeedPort_USI_Slave_2_ReceivedData[31..12]               |
| 0x5    | HighSpeedPort_USI_Slave_2_ReceivedData[31..18],GND_BUS[5..0] |
| 0x6    | HighSpeedPort_USI_Slave_2_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x7    | HighSpeedPort_USI_Slave_3_ReceivedData[31..12]               |
| 0x8    | HighSpeedPort_USI_Slave_3_ReceivedData[31..18],GND_BUS[5..0] |
| 0x9    | HighSpeedPort_USI_Slave_3_ReceivedData[17..4],GND_BUS[5..0]  |
| 0xA    | n.u.   |
| 0xB    | n.u.   |
| 0xC    | n.u.   |
| 0xD    | n.u.   |
| 0xE    | n.u.   |
| 0xF    | n.u.   |

[7..4] ReceivedHighSpeedMux\_B [19..0]

| [3..0] | Ausgang des Multiplexers                                     |
|--------|--|
| 0x0    | 0  |
| 0x1    | HighSpeedPort_USI_Slave_1_ReceivedData[31..12]               |
| 0x2    | HighSpeedPort_USI_Slave_1_ReceivedData[31..18],GND_BUS[5..0] |
| 0x3    | HighSpeedPort_USI_Slave_1_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x4    | HighSpeedPort_USI_Slave_2_ReceivedData[31..12]               |
| 0x5    | HighSpeedPort_USI_Slave_2_ReceivedData[31..18],GND_BUS[5..0] |
| 0x6    | HighSpeedPort_USI_Slave_2_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x7    | HighSpeedPort_USI_Slave_3_ReceivedData[31..12]               |
| 0x8    | HighSpeedPort_USI_Slave_3_ReceivedData[31..18],GND_BUS[5..0] |
| 0x9    | HighSpeedPort_USI_Slave_3_ReceivedData[17..4],GND_BUS[5..0]  |
| 0xA    | n.u.   |
| 0xB    | n.u.   |
| 0xC    | n.u.   |
| 0xD    | n.u.   |
| 0xE    | n.u.   |



|     |      |
|-----|------|
| 0xF | n.u. |
|-----|------|

[3..0] ReceivedHighSpeedMux\_A [19..0]

|        |  |
|--------|--|
| [3..0] | Ausgang des Multiplexers                                     |
| 0x0    | 0  |
| 0x1    | HighSpeedPort_USI_Slave_1_ReceivedData[31..12]               |
| 0x2    | HighSpeedPort_USI_Slave_1_ReceivedData[31..18],GND_BUS[5..0] |
| 0x3    | HighSpeedPort_USI_Slave_1_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x4    | HighSpeedPort_USI_Slave_2_ReceivedData[31..12]               |
| 0x5    | HighSpeedPort_USI_Slave_2_ReceivedData[31..18],GND_BUS[5..0] |
| 0x6    | HighSpeedPort_USI_Slave_2_ReceivedData[17..4],GND_BUS[5..0]  |
| 0x7    | HighSpeedPort_USI_Slave_3_ReceivedData[31..12]               |
| 0x8    | HighSpeedPort_USI_Slave_3_ReceivedData[31..18],GND_BUS[5..0] |
| 0x9    | HighSpeedPort_USI_Slave_3_ReceivedData[17..4],GND_BUS[5..0]  |
| 0xA    | n.u.   |
| 0xB    | n.u.   |
| 0xC    | n.u.   |
| 0xD    | n.u.   |
| 0xE    | n.u.   |
| 0xF    | n.u.   |

|         |   |
|---------|---|
| Name    | <b>FSP076_intFunctionGenerator</b>                            |
| Adresse | <b>0x4C<sub>H</sub>/76<sub>D</sub>/0x3443<sub>ASCII</sub></b> |
| Tiefe   | 16 Byte / 128 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x0_0_000000_000000_000000_00000_0_00000_0 <sub>H</sub>       |

Repräsentiert die Parameter für den internen Funktionsgenerator

[127..125] ExtSyncConfig

| [3..0] | ExtSyncConfig   |
|--------|---|
| 0x0    | Funktionsgenerator läuft frei, unabhängig ‚ExtSyncSource‘   |
| 0x1    | Rampe aufwärts startet nur mit High-Signal an ‚ExtSyncSource‘, Rampe abwärts findet NICHT statt                             |
| 0x2    | Rampe aufwärts startet nur mit High-Signal an ‚ExtSyncSource‘, Rampe abwärts startet nur mit High-Signal an ‚ExtSyncSource‘ |
| 0x3    | -   |
| 0x4    | -   |
| 0x5    | -   |
| 0x6    | -   |
| 0x7    | -   |
| 0x8    | -   |
| 0x9    | -   |
| 0xA    | -   |
| 0xB    | -   |
| 0xC    | -   |
| 0xD    | -   |
| 0xE    | -   |
| 0xF    | -   |

[126..123] ExtSyncSource

| [3..0] | ExtSyncConfig                |
|--------|------------------------------|
| 0x0    | GND                          |
| 0x1    | VCC                          |
| 0x2    | intScopeTriggerEventDetected |
| 0x3    | Front LEMO In 1              |
| 0x4    | Front LEMO In 2              |
| 0x5    | GND                          |
| 0x6    | GND                          |
| 0x7    | GND                          |
| 0x8    | GND                          |
| 0x9    | GND                          |
| 0xA    | GND                          |
| 0xB    | GND                          |
| 0xC    | GND                          |
| 0xD    | GND                          |
| 0xE    | GND                          |
| 0xF    | GND                          |

- [119..96] RampRiseTime (24 Bit), Wenn X"00\_0000" pulst der Funktionsgenerator, andernfalls wird gerammt. RampTime repräsentiert dabei die Pausenzeit zwischen zwei Rampenpunkten während der Anstiegs-, bzw. Abstiegszeit der Rampe. Gibt die Zeit der Pausenintervalle zwischen den einzelnen Inkrementen zwischen dem ‚PauseValue‘ und dem ‚PulseValue‘ an. Das Pausenintervall entspricht „(RampRise \* 10ns) + 10 ns“.  
 Beispiel: PauseValue = -32768<sub>D</sub>  
 PulseValue = 32767<sub>D</sub>  
 RampTime = 1<sub>D</sub>  
 Es liegen 65535 Stützpunkte zwischen dem Minimal und Maximalwert.  
 Es wird alle „(RampRise \* 10ns) + 10ns“ ein neuer Stützpunkt ausgegeben, d.h. alle 20ns.  
 Eine Rampe dauert also 65535 \* ((1\*10ns)+10ns)
- [95..89] n.u. (7 Bit)
- [88..72] PauseDuration (17 Bit), repräsentiert die Zeit die der Pausewert des internen Funktionsgenerators anstehen soll. Ist Bit [16] gesetzt gilt der Wert von Bit [15..0] in uSekunde. Ist Bit [16] nicht gesetzt gilt der Wert von Bit [15..0] in mSekunden.
- [71..65] n.u. (7 Bit)
- [64..48] PulseDuration (17 Bit), repräsentiert die Zeit die der Pulswert des internen Funktionsgenerators anstehen soll. Ist Bit [16] gesetzt gilt der Wert von Bit [15..0] in uSekunde. Ist Bit [16] nicht gesetzt gilt der Wert von Bit [15..0] in mSekunden.
- [47..28] PauseValue (20 Bit), repräsentiert den unteren (minimalen) Pausewert des internen Funktionsgenerators. Vorzeichenbehafteter Wert im Bereich zwischen -11..+11 Volt.
- [27..24] n.u. (4 Bit)
- [23..4] PulseValue (20 Bit), repräsentiert den oberen (maximalen) Pulswert des internen Funktionsgenerators. Vorzeichenbehafteter Wert im Bereich zwischen -11..+11 Volt.
- [3..0] n.u. (4 Bit)

|         |   |
|---------|---|
| Name    | <b>FSP077_Generic_ADCs_ComparatorThresholds</b>               |
| Adresse | <b>0x4D<sub>H</sub>/77<sub>D</sub>/0x3444<sub>ASCII</sub></b> |
| Tiefe   | 16 Byte / 128 Bit   |
| I/O     | lesen / schreiben   |
| Reset   | 0x745D_8BA2_745D_8BA2_745D_8BA2 <sub>H</sub>                  |

Legt die Schwellwerte für die FPGA internen Komparatoren der 4 generischen ADC Kanäle A-D fest.

- [127..112] generischer Komparator A (X4, Pin 1, 2 UND/ODER X1-A25), obere Schwelle
- [111..96] generischer Komparator A (X4, Pin 1, 2 UND/ODER X1-A25), untere Schwelle
- [95..80] generischer Komparator B (X4, Pin 3, 4 UND/ODER X1-A26), obere Schwelle
- [79..64] generischer Komparator B (X4, Pin 3, 4 UND/ODER X1-A26), untere Schwelle
- [63..48] generischer Komparator C (X4, Pin 5, 6 UND/ODER X1-A27), obere Schwelle
- [47..32] generischer Komparator C (X4, Pin 5, 6 UND/ODER X1-A27), untere Schwelle
- [31..16] generischer Komparator D (X4, Pin 7, 8 UND/ODER X1-A28), obere Schwelle
- [15..0] generischer Komparator D (X4, Pin 7, 8 UND/ODER X1-A28), untere Schwelle

|         |   |
|---------|---|
| Name    | <b>FSP078_GenericADC_Data</b>                                 |
| Adresse | <b>0x4E<sub>H</sub>/78<sub>D</sub>/0x3445<sub>ASCII</sub></b> |
| Tiefe   | 8 Byte / 64 Bit   |
| I/O     | lesen   |
| Reset   | 0x(siehe Beschreibung) <sub>H</sub>                           |

Enthält die Messwerte der 4 generischen ADC Kanäle.

- [63..48]      Messwert generischer ADC A/1 (X4, Pin 1, 2 UND/ODER X1-A25)
- [47..32]      Messwert generischer ADC B/2 (X4, Pin 3, 4 UND/ODER X1-A26)
- [31..16]      Messwert generischer ADC C/3 (X4, Pin 5, 6 UND/ODER X1-A27)
- [15..0]       Messwert generischer ADC D/4 (X4, Pin 7, 8 UND/ODER X1-A28)