



SCU exklusiver Registersatz Device Interface

Derek Schupp

Version vom: Donnerstag, 15. Oktober 2020, 13:47:00

Aktuelle Versionen immer unter:

<https://wiki.gsi.de/foswiki/bin/view/EPS/ACUDocuments>

Inhaltsverzeichnis

1.	Änderungsliste	1
2.	Abkürzungen	2
3.	Überblick.....	3
4.	Register (FSPs) innerhalb eines ACU Systems.....	4
5.	Registerstruktur der SCU exklusiven Register im Device Interface	4
5.1.	ACU nach SCUB Device Interface	4
5.1.1.	Status_1	7
5.1.2.	Status_2	9
5.1.3.	Status_3	10
5.1.4.	Command_1.....	10
5.1.5.	Command_2.....	10
5.1.6.	FunctionGenerator_.....	11
5.1.7.	CurrentValue_1_.....	12
5.1.8.	CurrentValue_2_.....	13
5.1.9.	SetValue_.....	13
5.1.10.	CurrentValue_.....	13
5.1.11.	Interlocks_.....	14
5.1.12.	Errors_.....	17
5.1.13.	Warnings_.....	17

1. Änderungsliste

<i>Datum</i>	<i>Name</i>	<i>Kommentar</i>
15.10.2020	D. Schupp	Dokument erstellt

2. Abkürzungen

Um den Text übersichtlich und kurz zu gestalten werden bestimmte Begriffe abgekürzt:

ACU	<i>Adaptive Control Unit</i> - alle zur Steuer- und Kontrolleinheit eines Netzgerätes gehörenden Komponenten
ADC	<i>Analog Digital Converter</i>
DCCT	<i>DC Current Transformer</i>
FPGA	<i>Field Programmable Gate Array</i> - ein programmierbarer Logikbaustein der die Funktionalitäten eines ACU Moduls beinhaltet
ICM	<i>Interlock-and Control Module</i>
MFU	<i>Multi Function Unit</i> - zentrale Grundeinheit eines ACU-Systems
NIOSII	Mikroprozessor in der MFU der die Benutzerschnittstelle zur Verfügung stellt
FW	<i>Firmware</i> - die notwendige Programmierung des FPGA. Es wird unterschieden zwischen Application und Factory Image. Das Application Image ist i.d.R. durch den Endanwender ersetzbar. Das Factory Image hingegen nur durch das Support-Team.
SCU	<i>Scalable Control Unit</i>
SW	<i>Software</i> - Betriebssoftware der NIOSII/VNC2 Mikroprozessoren innerhalb der MFU. Auch hier wird unterschieden zwischen Application und Factory Image. Das Application Image ist i.d.R. durch den Endanwender ersetzbar. Das Factory Image hingegen nur durch das Support-Team.
SVE	<i>Strom-Versorgungs-Einheit</i> (Netzgerät)
USI	<i>Universal Serial Interface</i>
PCA	<i>Power Config Advanced</i> (Software)
PPS	<i>Personal Protection System</i>
Quench	Sudden transition from superconducting to normal conditions

3. Überblick

Über das SCU/Nios- Interface ist es der SCU prinzipiell möglich jedes FSP (Register) innerhalb eines ACU-Systems direkt zu erreichen. Dazu wird das USI-Protokoll verwendet.

Im Weiteren gibt es eine Reihe SCU exklusiver Register, die ausschließlich dem Zugriff mittels SCU vorbehalten sind.

Diese Register sind im Device Interface der MFU abgelegt.

4. Register (FSPs) innerhalb eines ACU Systems

Die Beschreibung der FSPs findet sich im Dokument: „ACU-FSPs_mUSIC_TFT.pdf“ und kann dem ACU Wiki entnommen werden.

5. Registerstruktur der SCU exklusiven Register im Device Interface

Der Registersatz ist in Gruppen aufgeteilt, die jeweils einen bestimmten Adressbereich belegen. Alle Register haben eine Breite von 16 Bit.

Adresse(n)	Gruppe	Beschreibung
030xh	Quadratischer Funktionsgenerator 1	Die Registerbeschreibung des quadratischen Funktionsgenerator entnehmen Sie der zugehörigen Dokumentation.
034xh	Quadratischer Funktionsgenerator 2	
0x08xx	Register Kompatibilitäts-Block	Diese Register sind veraltet und nur aus Kompatibilitätsgründen zur Interfacekarte noch unterstützt. Sie sind nicht Bestandteil dieses Dokuments.
1xxxh	ACU nach SCUB Device Interface	Register zur Gerätesteuerung und Betriebszustandsüberwachung angeschlossener Geräte.
103xh	Linearer Funktionsgenerator 1	bis einschließlich MFU FW 7.3.x
105xh	Linearer Funktionsgenerator 1	Die Registerbeschreibung des linearen Funktionsgenerator entnehmen Sie der zugehörigen Dokumentation.

Tabelle 1: Struktur des Registersatzes

5.1. ACU nach SCUB Device Interface

Die linearen Funktionsgeneratoren sind/waren Bestandteil des ACU nach SCUB Device Interfaces.

Die quadratischen Funktionsgeneratoren befinden sich nicht mehr innerhalb des ACU nach SCUB Device Interfaces.

Nicht alle Register des ACU nach SCUB Device Interfaces werden gegenwärtig benutzt.

Nicht genutzte Register sind nachfolgend farblich hervorgehoben.

Register deren Beschreibung nicht Bestandteil dieses Dokuments sind, sind bläulich hinterlegt.

Register	Offset	Adresse	w/r	Beschreibung
Status_1	00 _d	1000h	r	In diesen Registern wird der Status des Gerätes angezeigt
Status_2	01 _d	1001h	r	
Status_3	02 _d	1002h	r	
Status_4	03 _d	1003h	r	
Status_32	31 _d	101Fh	r	
Command_1	32 _d	1020h	r/w	Mit den Kommandoregistern wird das Gerät gesteuert.
Command_2	33 _d	1021h	r/w	
Command_3	34 _d	1022h	r/w	
Command_32	47 _d	102Fh	r/w	
FunctionGenerator_1_1	48 _d	1030h	r/w	In diesem Adressraum ist der erste Funktionsgenerator (Stromsollwert) adressiert
FunctionGenerator_1_32	79 _d	104Fh	r/w	
FunctionGenerator_2_1	80 _d	1050h	r/w	In diesem Adressraum ist der zweite Funktionsgenerator (Spannungssollwert) adressiert
FunctionGenerator_2_32	111 _d	106Fh	r/w	
CurrentValue_1_LW	112 _d	1070h	r	Istwert 1 Bit 0 - 15
CurrentValue_1_HW	113 _d	1071h	r	Istwert 1 Bit 16 - 31
CurrentValue_2_LW	128 _d	1080h	r	Istwert 2 Bit 0 - 15
CurrentValue_2_HW	129 _d	1081h	r	Istwert 2 Bit 16 - 31
SetValue_1_Scaling_1	144 _d	1090h	r/w	Normierung, Skalierung und Einheit Sollwert 1
SetValue_1_Scaling_16	159 _d	109Fh	r/w	
SetValue_2_Scaling_1	256 _d	1100h	r/w	Normierung, Skalierung und Einheit Sollwert 2
SetValue_2_Scaling_16	271 _d	110Fh	r/w	
CurrentValue_1_Scaling_1	272 _d	1110h	r/w	Normierung, Skalierung und Einheit Istwert 1
CurrentValue_1_Scaling_2	273 _d	1111h	r/w	
CurrentValue_1_Scaling_16	287 _d	111Fh	r/w	
CurrentValue_2_Scaling_1	288 _d	1120h	r/w	Normierung, Skalierung und Einheit Istwert 2
CurrentValue_2_Scaling_2	289 _d	1121h	r/w	
CurrentValue_2_Scaling_16	303 _d	112Fh	r/w	
Interlocks_1	512 _d	1200h	r	Bitweise Anzeige der Interlocks des Gerätes
Interlocks_64	575 _d	123Fh	r	
Errors_1_AddrOffset	576 _d	1240h	r	Bitweise Anzeige von Fehlern in der Steuerhardware die zum Ausfall des Gerätes führen
Errors_32_AddrOffset	607 _d	125Fh	r	
Warnings_1_AddrOffset	608 _d	1260h	r	Bitweise Anzeige von Warnungen die zwar vom einem Servicemitarbeiter überprüft werden sollten aber NICHT zum Ausfall des Gerätes führen (Temperatur im Gerät o. Ä.)
Warnings_32_AddrOffset	639 _d	127Fh	r	

Tabelle 2: Register des ACU nach SCUB Device Interfaces

5.1.1. Status_1

Bit	Quelle/Signal	#define	Beschreibung
0	VCC_BUS[0]	PSU_HasControlVoltage_IsAvailable	immer '1' sofern SVE mit Steuerspannung versorgt
1	FRONT_SWITCH_REMOTE_LOCALn_DB	PSU_IsLocalOrRemote	'0' bei Lokalbetrieb, '1' bei Remotebetrieb
2	CPU_STATUS[14]	PSU_BootSequenceFailedOrCompleted	'0' wenn Bootsequenz noch nicht abgeschlossen oder fehlgeschlagen, '1' wenn Bootsequenz erfolgreich abgeschlossen wurde
3	CPU_STATUS[17]	PSU_ParametersNotValidOrValid	'0' wenn Parameter nicht gültig sind, '1' wenn Parameter erfolgreich geladen wurden
4	CPU_STATUS[0]	PSU_IsSwitchedOFForON	'0' wenn SVE ausgeschaltet ist (per 'OFF' Befehl), '1' wenn SVE eingeschaltet ist (per 'ON' Befehl)
5	PSU1_Status1_ControllerEnabled	PSU_ControllerIsDisabledOrEnabled	'0' wenn Regler gesperrt, '1' wenn Regler freigegeben
6	CPU_STATUS[1]	PSU_IsCurrentControlledOrField	'0' wenn Stromgeregelt, '1' wenn Feldgeregelt
7	CPU_STATUS[20]	PSU_HasInterlocksOrNot	'0' wenn Interlocks anstehen, '1' wenn KEINE Interlocks anliegen
8	VCC_BUS[0]	PSU_HasHWWarningsOrNoWarning	'0' wenn HW Warnungen anstehen, '1' wenn KEINE HW Warnungen vorliegen
9	CPU_STATUS[8]	PSU_HasSWWarningsOrNoWarning	'0' wenn SW Warnungen anstehen, '1' wenn KEINE SW Warnungen vorliegen
10	VCC_BUS[0]	PSU_HasHWErrorsOrNoErrors	'0' wenn HW Fehler anstehen, '1' wenn KEINE HW Fehler aufgetreten sind
11	CPU_STATUS[9]	PSU_HasSWErrorsOrNoErrors	'0' wenn SW Fehler anstehen, '1' wenn KEINE SW Fehler aufgetreten sind
12..15	USixHS_ICM_WithUnitStatusInfo[3..0]	0x0: STATUS_UNIT_STATUS_NOSTATUS	No Status Readable / Kein Status lesbar
		0x1: STATUS_UNIT_STATUS_WAIT_FOR_PARAMETERS	Waiting for Parameters / Warten auf Parameter
		0x2: STATUS_UNIT_STATUS_UNITOFF	Unit is Switched Off / SVE ist AUS
		0x3: STATUS_UNIT_STATUS_CHARGING	Charging Capacitor Bank / Kondensatorbank wird geladen
		0x4: STATUS_UNIT_STATUS_SWITCHING_ON	Switching Unit On / SVE wird eingeschaltet
		0x5: STATUS_UNIT_STATUS_UNITON	Unit is On / SVE ist eingeschaltet, Regler ist noch gesperrt (FSM: folgt direkt auf 0x4)
		0x6: STATUS_UNIT_STATUS_CONTROLLER_DISABLED_BY_FPGA_INTERNAL_CAUSE	Contr. disab. FPGA int. / SVE ist eingeschaltet, Regler ist noch gesperrt (FSM: folgt direkt auf 0x5)

	0x7: STATUS_UNIT_STATUS_CONTROLLER_ENABLED	Controller Enabled / SVE ist eingeschaltet, Regler ist frei gegeben
	0x8: STATUS_UNIT_STATUS_SWITCHING_OFF	Switching Unit Off / SVE schaltet ab
	0x9: STATUS_UNIT_STATUS_CONTROLLER_DISABLED_BY_COMMAND	Contr. disab. by Cmd. / SVE ist eingeschaltet, Regler wurde via Kommando (z.B. über PCA) gesperrt
	0xA: STATUS_UNIT_STATUS_CONTROLLER_DISABLED_BY_FPGA_EXTERNAL_CAUSE	Contr. disab. FPGA int. / SVE ist eingeschaltet, Regler wurde ext. Eingang in eine Reglersperre geschaltet
	0xB: STATUS_UNIT_STATUS_RESET_INTERLOCKS	Resetting Interlocks / Interlock Reset wird durchgeführt
	0xC: STATUS_MACHINE_PROTECTION	Machine Protection
	0xD: --	
	0xE: STATUS_UNIT_STATUS_POWERON_RESET	Power On Reset / Power On Reset wird durchgeführt
	0xF: STATUS_UNIT_STATUS_NOT_DEFINED	WhenOthers / Wenn alle Stricke reißen

Tabelle 3: Bitbedeutung Status_1

5.1.2. Status_2

Bit	Quelle/Signal	#define	Beschreibung
13..15	GND_BUS[2..0]	immer '0'	
12	CPU_STATUS[19]	PSU_ReceivingSystemParametersRAM	'1' wenn Systemparameter ins RAM geschrieben werden, z.B. durch lokalen PC
11	CPU_STATUS [18]	PSU_AtLeasOneModuleNotVerifiedOrAllModulesVerfied	'0' wenn mind. ein Modul nicht verifizierbar, '1' wenn alle Module der ACU einsatzbereit sind
10	CPU_STATUS[16]	PSU_LoadingInternalParameters	'1' wenn gerade die internen Parameter aus dem eeflash geladen
9	CPU_STATUS[15]	PSU_NiosII_Watchdog	z.Zt. nicht benutzt
8	CPU_STATUS[13]	PSU_VNC2NotProgrammed	Der VNC2 (Hostcontrolelr) ist nicht programmiert
7	CPU_STATUS[12]	PSU_USBDevicePermitted	wenn '1' wurde eine "legitimierter" USB-Stick erkannt und es dürfen ALLE Menuezugriffe erfolgen
6	CPU_STATUS[11]	PSU_USBDeviceDetected	wenn '1' wurde ein USB-Stick am USB Port erkannt
5	CPU_STATUS[10]	PSU_UsingInternalParameters	wenn '1' werden die MFU internen Parameter verwendet
4	CPU_STATUS[7]	PSU_RecordingSystemParameters	wenn '1' empfängt die MFU Systemparameter und zeichnet diese ins int. EEFLASH auf
3	CPU_STATUS[6]	PSU_FetchingInterlocks	wenn '1' sammelt die MFU Interlockinformationen von den Modulen ein
2	CPU_STATUS[5]	PSU_PerformingUSIScan	wenn '1' führt die MFU einen USI Suchlauf durch
1	CPU_STATUS[4]	PSU_ResetButtonActive	wenn '1' wird die RESET-Taste an der MFU Front gedrückt
0	CPU_STATUS[3]	PSU_StandardScreenActive	wenn '1' zeigt die MFU den Standardbildschirm an

Tabelle 4: Bitbedeutung Status_2

5.1.3. Status_3

Zeigt im Falle eines Lastumschaltmoduls die Ziel-Last ausgewählte und verbundene Ziel-Last an.

Ist keine Last ausgewählt (Command_2 Register ist 0x0000) und ist ein Lastumschaltmodul vorhanden, wird das Lastumschaltmodul die Reißleine nicht freigeben und dadurch das Einschalten der SVE verhindern.

Sind die Inhalte von Status_3 und Command_2 identisch, ist die ausgewählte Last angefahren.

Bit	Quelle/Signal	#define	Beschreibung
8..15	Nicht benutzt		
7	cSelect_Load_8_BitPos	0x80	Last 8 ausgewählt
6	cSelect_Load_7_BitPos	0x40	Last 7 ausgewählt
5	cSelect_Load_6_BitPos	0x20	Last 6 ausgewählt
4	cSelect_Load_5_BitPos	0x10	Last 5 ausgewählt
3	cSelect_Load_4_BitPos	0x08	Last 4 ausgewählt
2	cSelect_Load_3_BitPos	0x04	Last 3 ausgewählt
1	cSelect_Load_2_BitPos	0x02	Last 2 ausgewählt
0	cSelect_Load_1_BitPos	0x01	Last 1 ausgewählt

Tabelle 5: Bitbedeutung Status_3

5.1.4. Command_1

Bit	Quelle/Signal	#define	Beschreibung
15..4	n.u.		
3..0		0x0: cCmd_NoAction	
		0x1: cCmd_SwitchUnitON	
		0x2: cCmd_SwitchUnitOFF	
		0x3: cCmd_UnitRESET	
		0x4: cCmd_ControllerLocked	

Tabelle 6: Bitbedeutung Command_1

5.1.5. Command_2

Hierrüber wird im Falle eines Lastumschaltmoduls die Ziel-Last ausgewählt.

Ist keine Last ausgewählt (Register ist 0x0000) und ist ein Lastumschaltmodul vorhanden, wird dieses Lastumschaltmodul die Reißleine nicht freigeben und dadurch das Einschalten der SVE verhindern.

Der Status der gewählten Last ist über das Statusregister Status_3 rücklesbar. Sind die Inhalte von Status_3 und Command_2 identisch, ist die ausgewählte Last angefahren.

Bit	Quelle/Signal	#define	Beschreibung
8..15	Nicht benutzt		
7	cLoad_8_Selected_BitPos	0x80	Last 8 anwählen
6	cLoad_7_Selected_BitPos	0x40	Last 7 anwählen
5	cLoad_6_Selected_BitPos	0x20	Last 6 anwählen
4	cLoad_5_Selected_BitPos	0x10	Last 5 anwählen
3	cLoad_4_Selected_BitPos	0x08	Last 4 anwählen
2	cLoad_3_Selected_BitPos	0x04	Last 3 anwählen
1	cLoad_2_Selected_BitPos	0x02	Last 2 anwählen
0	cLoad_1_Selected_BitPos	0x01	Last 1 anwählen

Tabelle 7: Bitbedeutung Command_2

5.1.6. *FunctionGenerator_...*

Die Register der Funktionsgeneratoren werden nicht in diesem Dokument beschrieben.

5.1.7. CurrentValue_1_...

Liefert den aktuellen Istwert A entsprechend dem FSP020 der MFU. I.d.R. wird dies der aktuelle Stromwert der SVE sein.

CurrentValue_1_LW															lesen
1070 _H /Offset 112 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CurrentValue_1_LW															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

CurrentValue_1_HW															lesen
1071 _H /Offset 113 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CurrentValue_1_HW															
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Zum aktuellen Zeitpunkt (MFU FW 7.5.1) liefert das ACU-System 20 Bit Istwerte. Es sind aber nur die oberen 16 davon an die CurrentValue_1_...-Register angeschlossen.

[15..0] CurrentValue_1_HW – obere 16 Bit des 20 Bit Istwertes A

[15..0] CurrentValue_1_LW – immer '0'

5.1.8. CurrentValue_2_...

Liefert den aktuellen Istwert B entsprechend dem FSP021 der MFU. I.d.R. wird dies der aktuelle Spannungswert der SVE sein.

CurrentValue_2_LW															lesen
1080 _H /Offset 128 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CurrentValue_2_LW															
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

CurrentValue_2_HW																Lesen
1081 _H /Offset 129 _D																Reset:0x(siehe Beschreibung) _H
15	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
CurrentValue_2_HW																
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Zum aktuellen Zeitpunkt (MFU FW 7.5.1) liefert das ACU-System 20 Bit Istwerte. Es sind aber nur die oberen 16 davon an die CurrentValue_2_...-Register angeschlossen.

[31..16] CurrentValue_2_HW – obere 16 Bit des 20 Bit Istwertes B

[15..0] CurrentValue_2_LW – immer '0'

5.1.9. SetValue_...

Die SetValue_...-Register werden gegenwärtig noch nicht genutzt.

5.1.10. CurrentValue_...

Die CurrentValue_...-Register werden gegenwärtig noch nicht genutzt.

5.1.11. Interlocks_...

Kommunizieren die von den Modulen an den USIs abgefragten Interlocks nach außen zur weiteren Verarbeitung. Es werden die aktuell anstehenden Interlocks übermittelt.

Die genau verwendete Anzahl von Interlocks_...-Registern ist abhängig von der Gerätekonfiguration.

Es können max. 1024 Interlock Informationen mittels der 64 Interlocks_...-Register übermittelt werden.

Das Füllen der Interlocks_...-Register erfolgt dabei nach dem folgenden Prinzip.

Beispiel:

An einer MFU sind 4 Module angeschlossen

USI 1: Modul 1 mit 10 Interlocks

USI 2: Modul 1 mit 24 Interlocks

USI 4: Modul 1 mit 4 Interlocks, Modul 2 mit 24 Interlocks

In der Summe werden also mindestens $10+24+4+24=62$ Interlockbits benötigt. Interlocks werden aber immer in Speichertiefen mit vielfachen von 8 verarbeitet, d.h. für das Modul an USI 1 werden 16 Bit und das Modul 1 an USI 4 acht Bit verwendet. In diesem Beispiel werden also 72 Bit, bzw. die ersten 5 Interlocks_...-Register verwendet.

Das Füllen der Interlocks_...-Register geschieht wie folgt:

Beginnend von Interlocks_1[Bit 0] werden die Interlockinformationen der einzelnen USIs und deren Module aufsteigend zum MSB eingetragen.

Interlocks_1															lesen
1200 _H /Offset 512 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
frei, immer '1'						USI 1, Modul 1: Interlockbits[9..0]									
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Interlocks_2															lesen
1201 _H /Offset 513 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USI 2, Modul 1: Interlockbits[15..0]															
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Interlocks_3															lesen
1202 _H /Offset 514 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
frei, immer '1'				USI 4, Modul 1: Interlockbits [3..0]				USI 2, Modul 1: Interlockbits[23..16]							
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Interlocks_4															lesen
1203 _H /Offset 515 _D															Reset:0x(siehe Beschreibung) _H
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USI 4, Modul 2: Interlockbits[15..0]															
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Interlocks_5													lesen		
1204 _H /Offset 516 _D													Reset:0x(siehe Beschreibung) _H		
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Unbenutzt, immer '1'							USI 4, Modul 2: Interlockbits[23..16]								
r	R	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Die notwendige Information darüber, welches Interlockbit welchem Modulinterlock entspricht wird mittels PowerConfigAdvanced erstellt. Aus der Gerätekonfiguration lässt sich dort eine InterlockListFile_*.csv Datei erstellen.

Eine derartige Datei kann wie folgt aussehen.

Interlocks_1-Register, Interlocks_2-Register, Interlocks_3-Register

Global interlock bit number	Module name	USI number	Module number	Module interlock bit number	Interlock type	Interlock name	Interlock name on TFT displayed	interlock in use
[0]	18 Bit ADC Module II V7.1.x	1	1	[0]	Analog interlock	Comp Neg 2 Average (Channel 4)	Comp Neg 2 Average (Channel 4)	True
[1]		1	1	[1]	Analog interlock	Comp Neg 1 (Channel 3)	Comp Neg 1 (Channel 3)	True
[2]		1	1	[2]	Analog interlock	Comp Pos 2 Average (Channel 2)	Comp Pos 2 Average (Channel 2)	True
[3]		1	1	[3]	Analog interlock	Comp Pos 1 (Channel 1)	Comp Pos 1 (Channel 1)	True
[4]		1	1	[4]	Digital electrical interlock	DCCT Error	DCCT Error	True
[5]		1	1	[5]	-	-	-	False
[6]		1	1	[6]	-	-	-	False
[7]		1	1	[7]	-	-	-	False
[8]	ADC DAC IO Module II V7.2.x	3	1	[0]	Digital software interlock	Digital Interlock 01	Digital Interlock 01	True
[9]		3	1	[1]	Digital software interlock	Digital Interlock 02	Digital Interlock 02	True
[10]		3	1	[2]	Digital software interlock	Digital Interlock 03	Digital Interlock 03	True
[11]		3	1	[3]	Digital software interlock	Digital Interlock 04	Digital Interlock 04	True
[12]		3	1	[4]	Digital software interlock	Digital Interlock 05	Digital Interlock 05	True
[13]		3	1	[5]	Digital software interlock	Digital Interlock 06	Digital Interlock 06	True
[14]		3	1	[6]	Digital software interlock	Digital Interlock 07	Digital Interlock 07	True
[15]		3	1	[7]	Digital software interlock	Digital Interlock 08	Digital Interlock 08	True
[16]		3	1	[8]	Digital software interlock	Digital Interlock 09	Digital Interlock 09	True
[17]		3	1	[9]	Digital software interlock	Digital Interlock 10	Digital Interlock 10	True
[18]		3	1	[10]	Digital software interlock	Digital Interlock 11	Digital Interlock 11	True
[19]		3	1	[11]	Digital software interlock	Digital Interlock 12	Digital Interlock 12	True
[20]		3	1	[12]	Digital electrical interlock	Main Contactor Closed Failure	Main Contactor Closed Failure	True
[21]		3	1	[13]	Undefined or disabled	Unused Bit 13	Unused Bit 13	False
[22]		3	1	[14]	Analog interlock	Negative comparator 01	Negative comparator 01	True
[23]		3	1	[15]	Analog interlock	Positive comparator 01	Positive comparator 01	True
[24]		3	1	[16]	Analog Software interlock	Negative comparator 02	Negative comparator 02	True
[25]		3	1	[17]	Analog Software interlock	Positive comparator 02	Positive comparator 02	True
[26]		3	1	[18]	Analog Software interlock	Negative comparator 03	Negative comparator 03	True
[27]		3	1	[19]	Analog Software interlock	Positive comparator 03	Positive comparator 03	True
[28]		3	1	[20]	Analog Software interlock	Negative comparator 04	Negative comparator 04	True
[29]		3	1	[21]	Analog Software interlock	Positive comparator 04	Positive comparator 04	True
[30]		3	1	[22]	Analog Software interlock	Negative comparator 05	Negative comparator 05	True
[31]		3	1	[23]	Analog Software interlock	Positive comparator 05	Positive comparator 05	True
[32]		3	1	[24]	Digital software interlock	USI Highspeed 01	USI Highspeed 01	True
[33]		3	1	[25]	Digital software interlock	USI Highspeed 02	USI Highspeed 02	True
[34]		3	1	[26]	Digital software interlock	USI Highspeed 03	USI Highspeed 03	True

[35]		3	1	[27]	Undefined or disabled	Unused Bit 27	Unused Bit 27	False
[36]		3	1	[28]	Undefined or disabled	Unused Bit 28	Unused Bit 28	False
[37]		3	1	[29]	Undefined or disabled	Unused Bit 29	Unused Bit 29	False
[38]		3	1	[30]	Undefined or disabled	Unused Bit 30	Unused Bit 30	False
[39]		3	1	[31]	Undefined or disabled	Unused Bit 31	Unused Bit 31	False
=====								
END OF FILE								

Abbildung 1: Beispiel einer „InterlockListFile_..csv“ Datei

Wenn ein USI mit Modul(en) registriert ist und eines der Module oder das gesamte USI verloren geht, werden alle zugehörigen Interlockbits auf ‚0‘ gesetzt.

D.h. stehen ALLE Interlocks für ein Modul zeitgleich an, ist vermutlich dieser Fall eingetreten.

5.1.12. Errors_...

Die Errors_...-Register werden gegenwärtig noch nicht genutzt.

5.1.13. Warnings_...

Die Warnings_...-Register werden gegenwärtig noch nicht genutzt