
Diplomarbeit:

**TDC -
Zeitmessung mit FPGAs im
Picosekunden-Bereich**

GSI-Vortrag

GSI

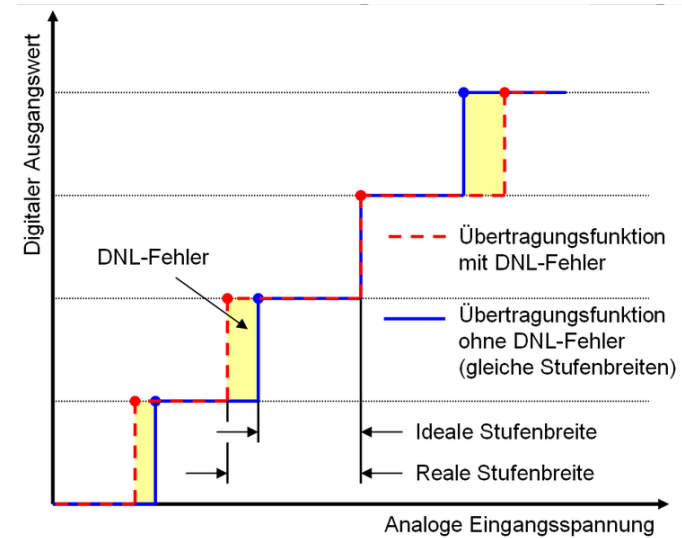
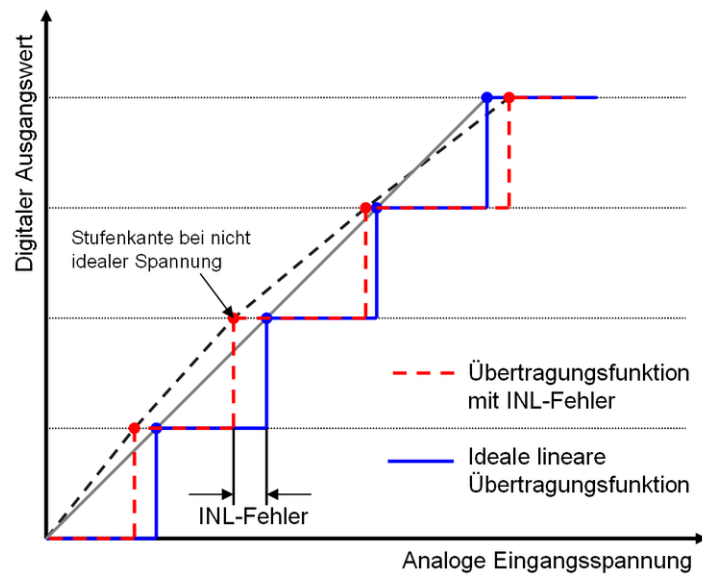


TECHNISCHE
UNIVERSITÄT
DARMSTADT

TDC Begriffe

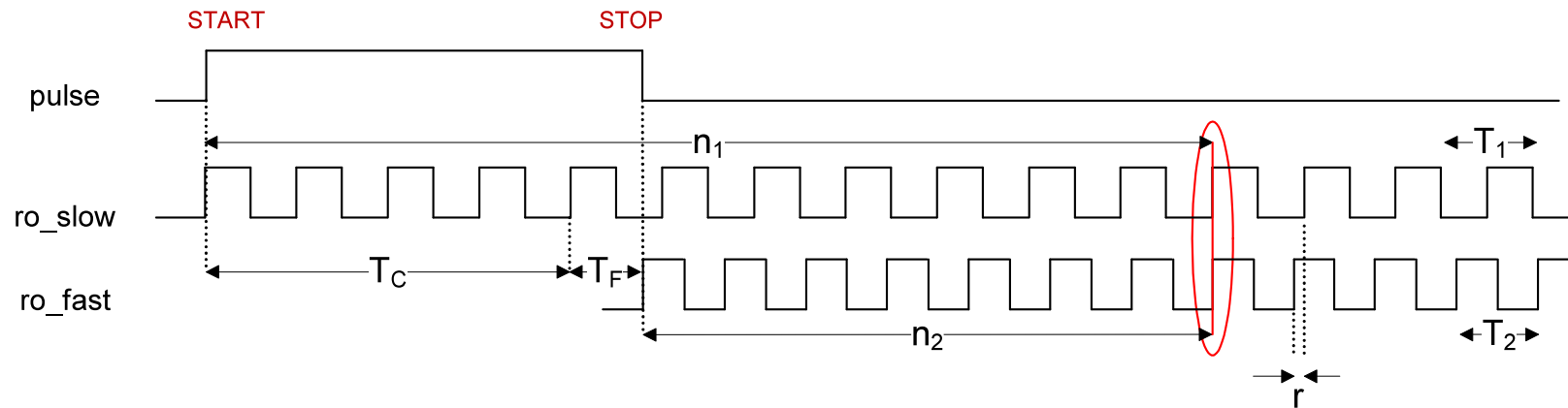
Begriffe:

- TDC = Time-to-Digital-Conversion
- Bin = kleinste diskrete Einheit (LSB)
- DNL = Differentielle Nichtlinearität
- INL = Integrale Nichtlinearität
- RMSD (rms) = Root Mean Square Deviation



Verfahren A: Ringoszillatoren

Funktionsweise:

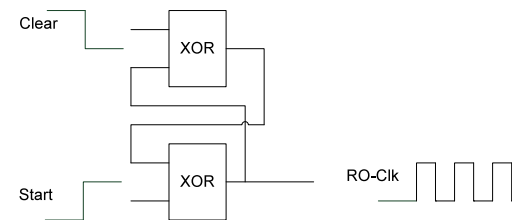


$$T = T_C + T_F = (n_1 - n_2)T_1 + (n_2 - 1)r$$

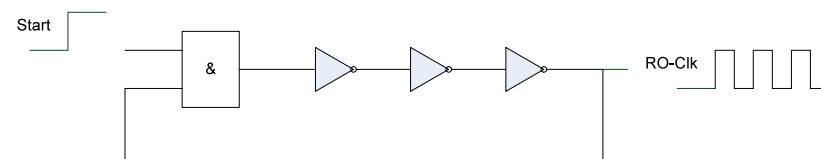
RO-Schaltungen:

- Regelung der Frequenz über CLB-Abstand (User Constraints) oder die Anzahl der Inverter.
- Einstellen der Taktdifferenz durch unterschiedliches Routing.

Carry-Chain + LUT:



LUTs:



Ringoszillatoren – Aktueller Stand

Implementierung:

Die mittlere Bin-Breite des implementierten TDC-Kanals von ca. 15 ps verspricht eine gute Auflösung.

Aber:

Je nach Position im Gitter ist die Frequenz der Ringoszillatoren unterschiedlich und damit auch der Frequenzabstand (=Auflösung).

→ Diese Bin-Breite lässt sich nicht ohne weiteres bei mehreren Kanälen reproduzieren. (Variationsbreite: 15 ps – 150 ps)

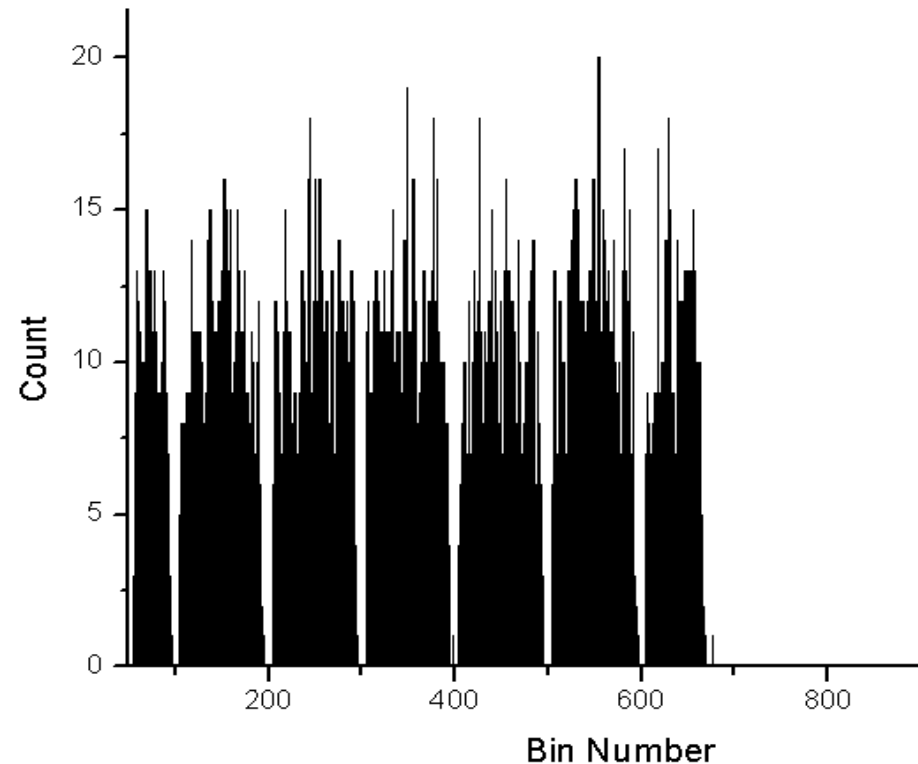
Ursache:

Begrenzte Kontrolle über das Routing und Nichthomogenität des FPGA-Gitters.

→ unvorhersagbarer Loading-Effekt (→ Frequenz) trotz fester relativer Platzierung der RO-Elemente.

=> Wird vorerst nicht weiterverfolgt!

Code-Dichte-Test:



Grobzähler-Periode: 1,6 ns

max Fein-Counter: 98

$1600 \text{ ps} / 98 = 16,3 \text{ ps Bin-Breite}$

$= 16,3 \text{ ps Auflösung}$

Verfahren B: Tapped Delay Lines

Funktionsweise:

Idee:

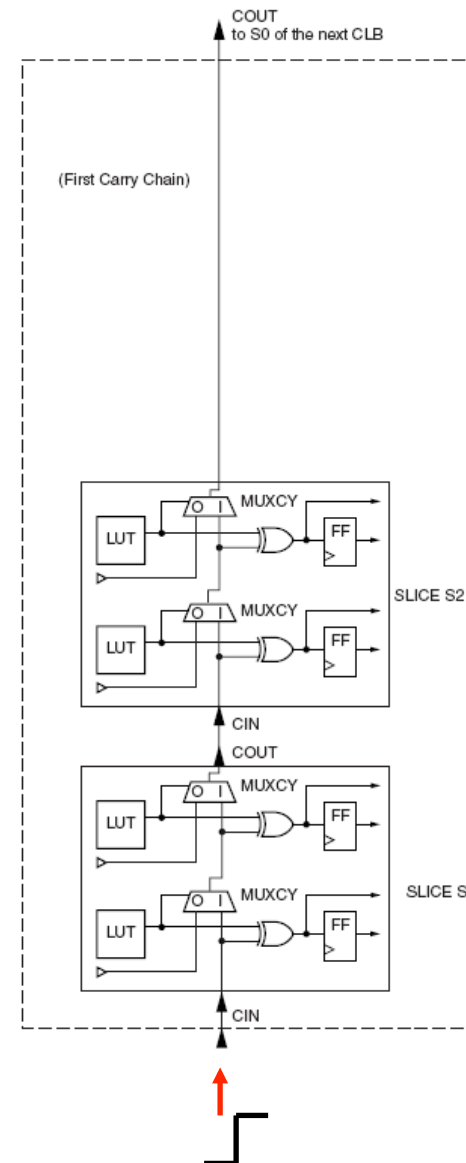
- Das asynchrone Eingangssignal durchläuft eine Kette von Verzögerungselementen.
- Die Position des 0/1 Übergangs in der Carry-Chain wird bei der steigenden Flanke der System-Clock in den Flip-Flops gespeichert.
- Die Verzögerung eines Elements in ps ist äquivalent zur Bin-Breite.

→ Thermometercode

- Es folgt eine Umwandlung Thermometercode → Binärcode

FPGA:

- Als Verzögerungskette fungiert hier die "Carry-Chain".
- Carry-Chain Multiplexer haben laut Datenblatt eine Verzögerung von nur 45 ps. (CIN→COUT = 90 ps, speed grade = 10)



Verfahren B: Tapped Delay Lines 2

Die Eigenschaften der Signallaufzeit in der Carry-Chain wurden näher untersucht...

1. Wie ist die mittlere Durchlaufverzögerung tatsächlich?

Ergebniss:

Bei 100 MHz Systemclock werden 295 Carry-Chain-Elemente durchlaufen

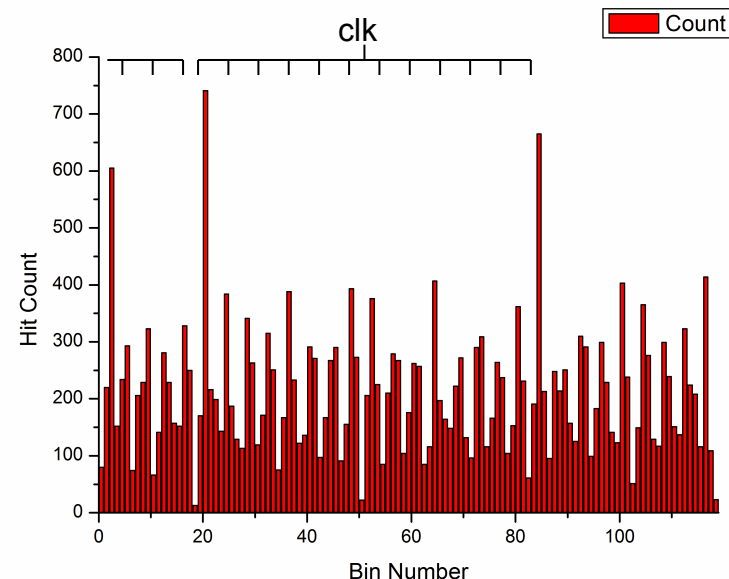
=> $10.000/295 \approx 35$ ps

2. Wie ist die Durchlaufverzögerung jedes einzelnen Elements?

Ergebniss: Stark schwankend!

Aber: Es ist eine Struktur erkennbar.

- das Verhältnis der Durchlaufzeiten innerhalb eines CLBs hat eine wiederkehrende Struktur.
- die außerordentlich breiten Bins ("ultra wide bins") markieren die Grenzen der Blätterknoten des "Clock-Tree" mit unterschiedlichen Elterknoten.



Verfahren B: Tapped Delay Lines 3

Problem: Stark schwankende Binbreite und Ultra-Wide-Bins

Lösungsmöglichkeiten für Ultra-Wide-Bins:

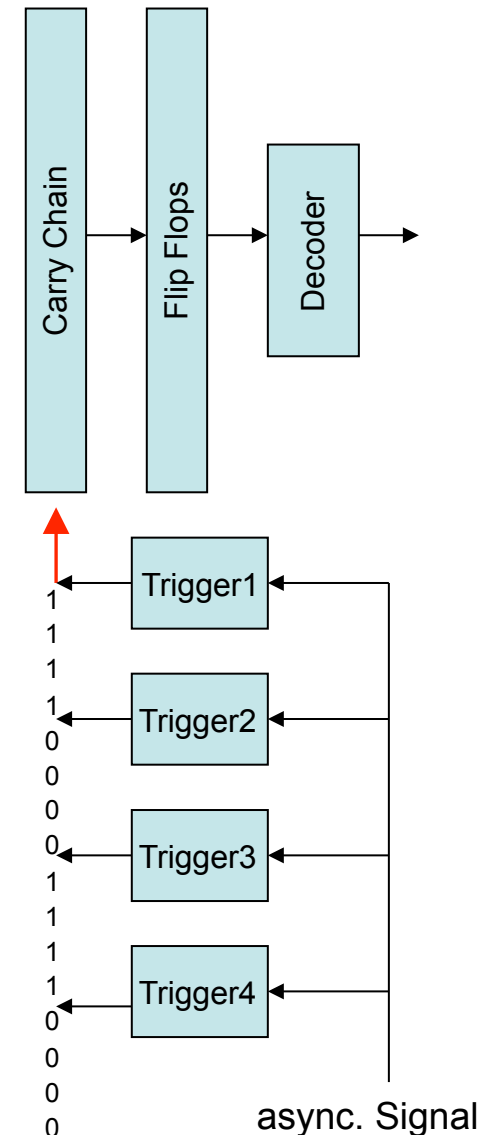
- mehrere Carry-Chains für ein Kanal (unterschiedliche Startverzögerung)
- besser: Wave-Union

Wave-Union Funktionsweise:

Nach dem Eintreffen der auslösenden asynchronen Flanke durchläuft eine Kette aus mehreren 0-1 Übergängen (sog. Wave-Union) die Carry-Chain.

- Die Summe aus den Positionen der Übergänge kodiert den "Fortschritt" des Signals in der Carry-Chain.
- Durch geschickte Wahl der Wave-Breite wird der Effekt der Ultra-Wide-Bins verringert. (Liegt ein 0-1 Übergang im UWB dann liegen die anderen in normalen Bins)

Problem: Die technische Umsetzung.

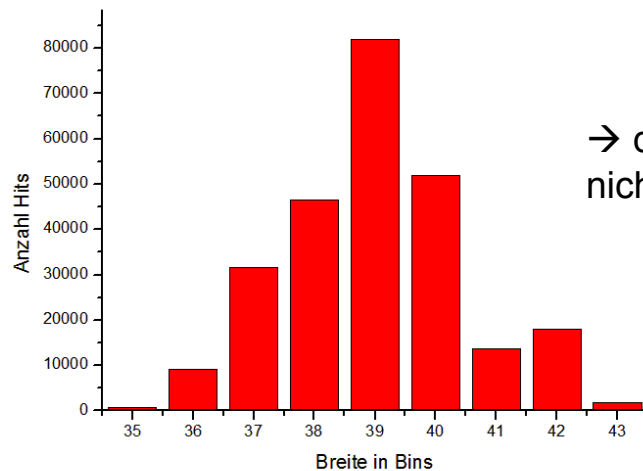


Verfahren B: Tapped Delay Lines 4

Wave-Union Funktionsweise Fortsetz. :

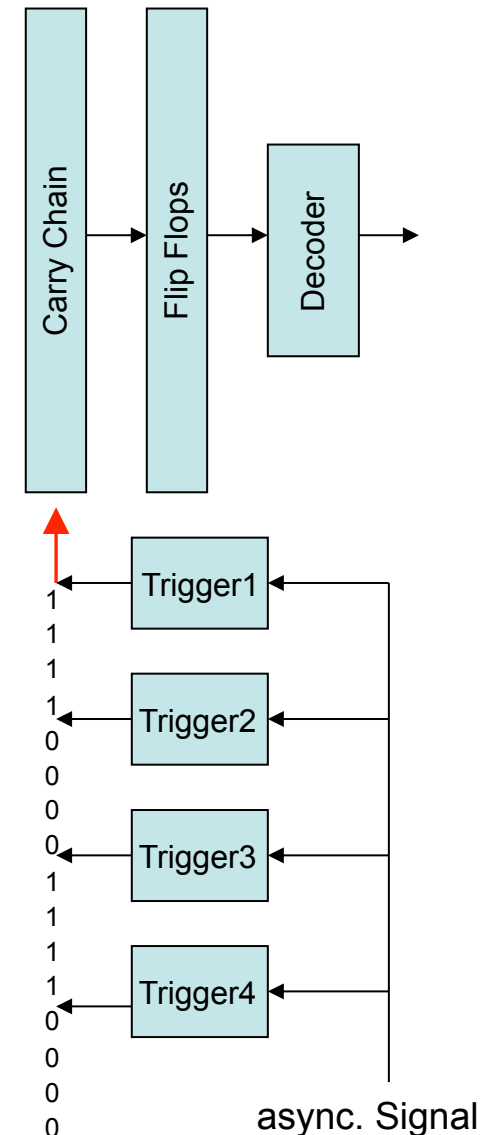
Problem: Die technische Umsetzung

- Die Wave-Union wird im "Wave-Launcher" gespeichert
- jeder 0-1 Übergang muss getrennt getriggert werden
→Korrumpierung der Wave-Form durch unterschiedliche Laufzeiten der asynchronen Trigger.
- zusätzlich schwankt die Breite der 0/1 Bereiche.
- Zu kurze "Wellen" werden von den UWB "verschluckt".



→ die Breite darf dadurch nicht zu kurz werden (s.o)

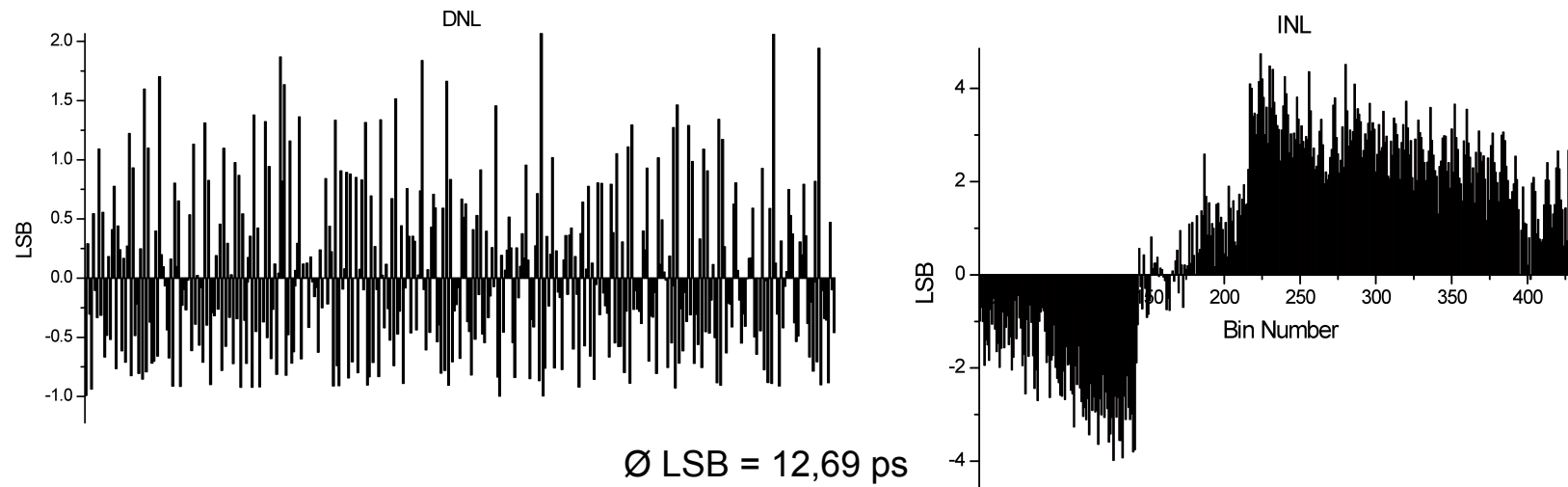
... und andere Probleme mit asynchronen Signalen und ihren Laufzeiten.



Tapped Delay Lines – Implementierung

- Es wurden mehrere TDC-Kanäle für eine 200 MHz System-Clock implementiert.
- Der Wave-Launcher beinhaltet zwei Übergänge
- Ressourceneffizienter Thermo-Binär Dekoder wurde entwickelt und getestet.
- Die Qualität des TDCs wurde mit statistischen Mitteln charakterisiert:

DNL und INL aus einem Code-Dichte-Test:



Für praktische Anwendung interessanter: Statistischer Fehler der kalibrierten Messgröße (rms)

→ Zeit messen....

Tapped Delay Lines – Zeitmessungen

Zeitmessung:

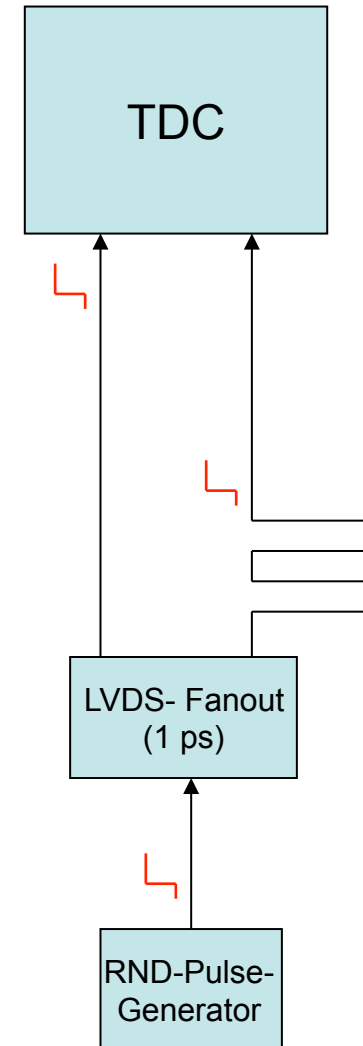
Messung des zeitlichen Abstands zwischen zwei Signalfanken N-mal mit anschließender Kalibrierung.

Einstellen der Zeitdifferenz:

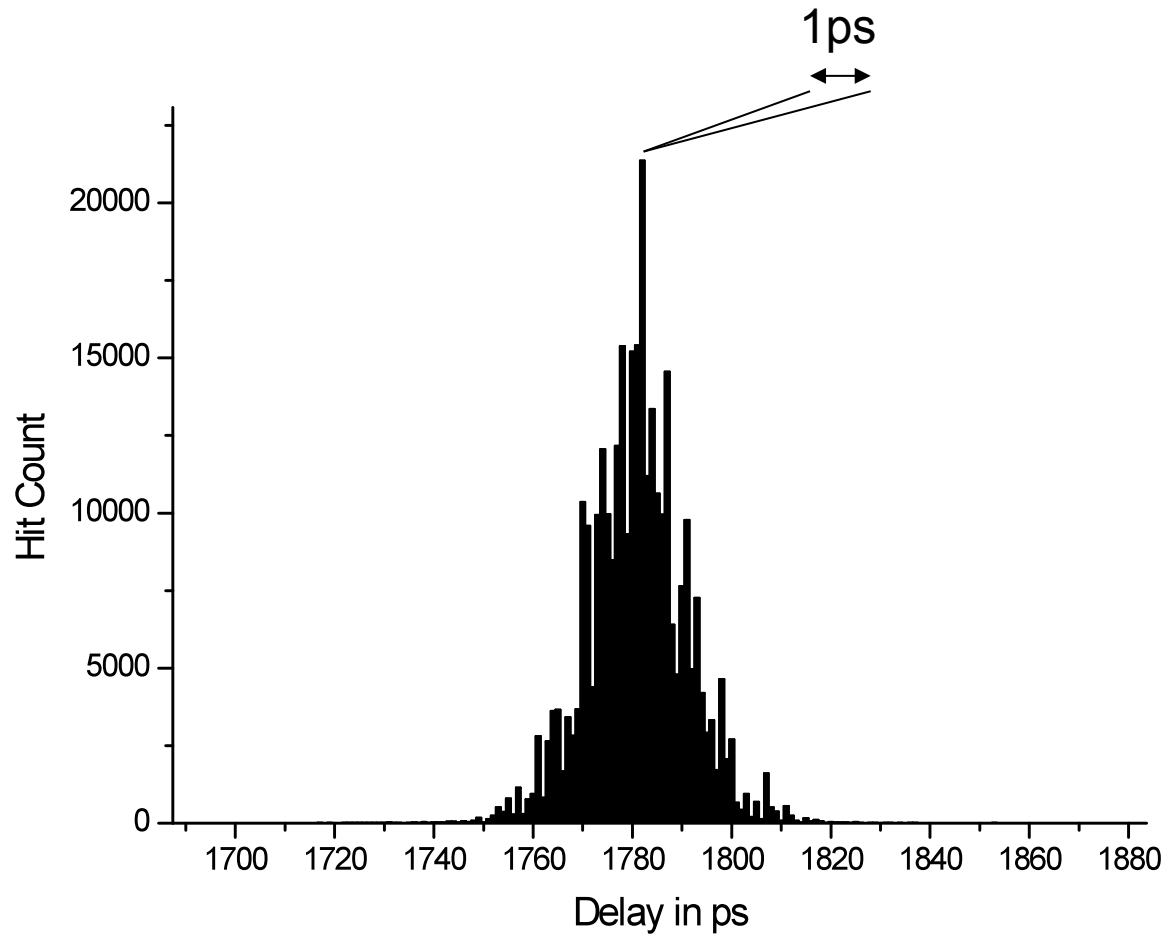
- Input: Zwei Pulse mit einer bestimmter zeitl. Verzögerung.
- für kurze Abstände (bis 2 ns) unterschiedliche Kabellängen.
- für Abstände >2 ns Erzeugen der präziser Abstände mit Tektronix Data Timing Generator (DTG 5078).

Messung:

- pro Kanal: Position in der Carry-Chain + Sys-Clk-Zeitstempel
- ~ 500.000 Mal pro Messaufbau
- Schreiben der Messwerte in den Kanal-FIFO
- Auslesen der Messwerte, Kalibrierung, Differenzberechnung
- Berechnung statistischer Werte (Mittelwert ,rms) ...

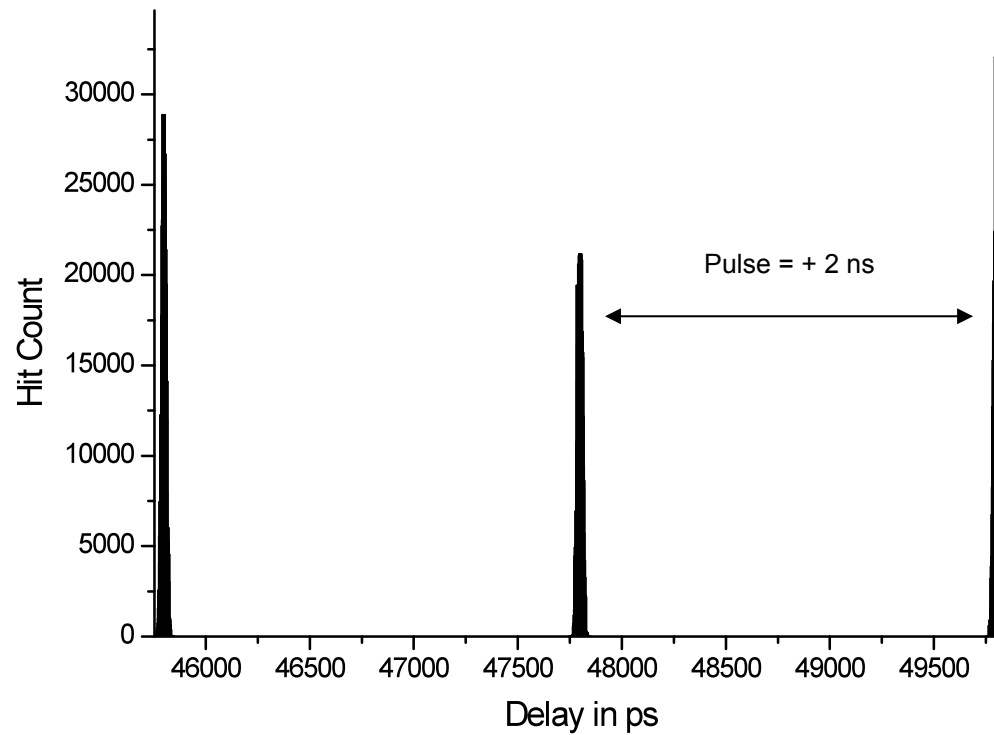


Tapped Delay Lines – typischer Messwert



Anzahl gesamt: 488771 hits
rms: ~10 ps

Tapped Delay Lines – Messreihe



DTG-Differenz	Mittelwert [ps]	rms [ps]
42 ns	45798.84	9
44 ns	47798.66	9
46 ns	49798.21	9

Tapped Delay Lines – Aktueller Stand

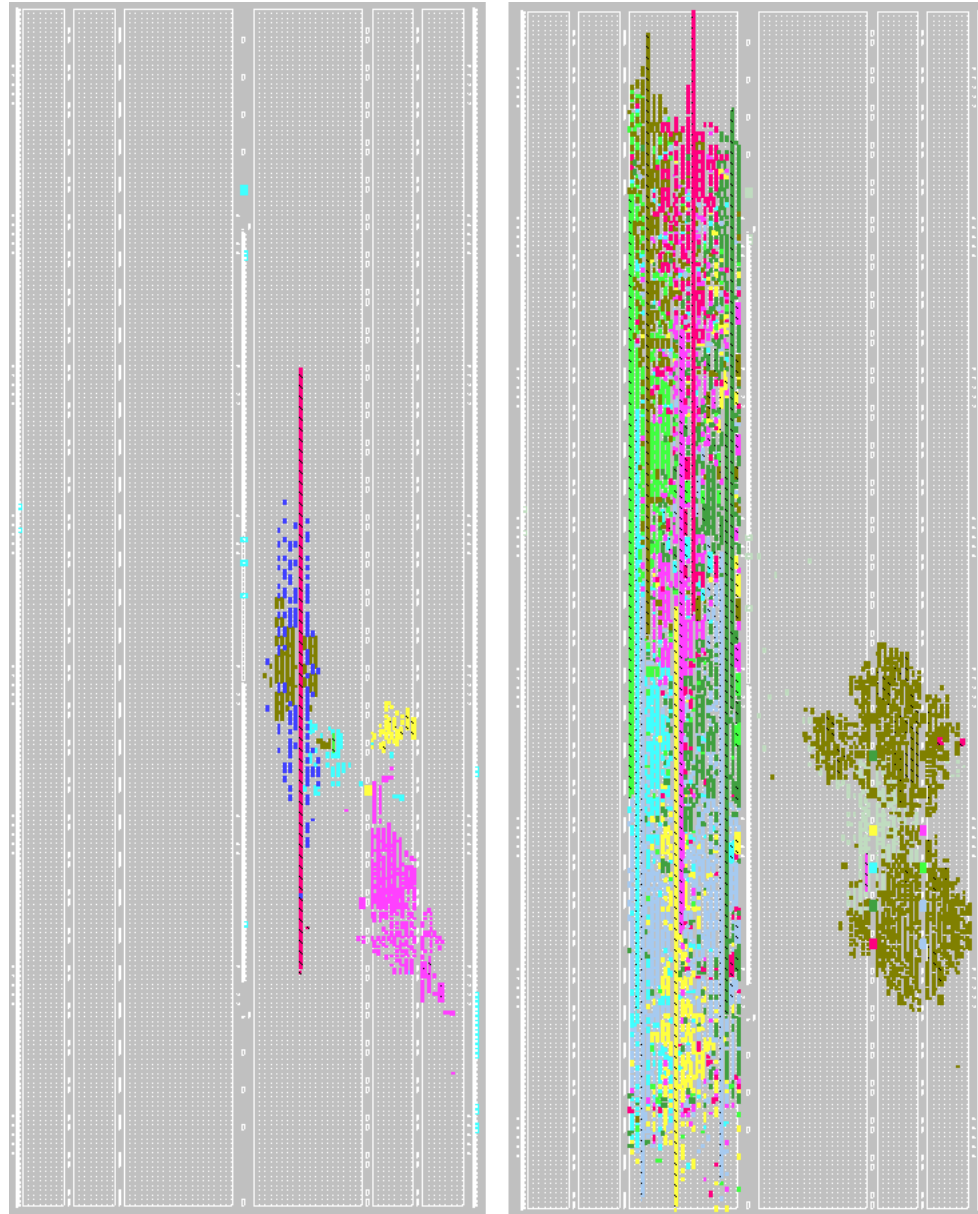
Aktueller Stand:

- Ein 2 Kanal FPGA-TDC mit 7 ps Auflösung wurde bereits implementiert.
- Die Zeitauflösung wurde im Nahbereich (50 ns), im Fernbereich (2 μ s) und innerhalb einer Systemclock (50 ps) erfolgreich getestet.
- Die Totzeit eines Kanals beträgt zur Zeit 10 Clock-Zyklen (50 ns). Reduzierung auf 5 Clock-Zyklen durch einen weiteren Dekoder pro Kanal ohne großen Aufwand möglich.
- Weitere Reduzierung der Totzeit durch eine schnellere Taktung möglich – das Dekoder-Design wurde mit 300 Mhz getestet.

Aktuelle Untersuchungen:

- Gibt es einen "Crosstalk" bei benachbarten Kanälen?
- Wie viele TDC Kanäle passen auf den FPGA (xc4vlx40)? ...

Tapped Delay Lines – FPGA-Ressourcenverbrauch





**Vielen Dank für Ihre
Aufmerksamkeit!**